

Основана в 1947 году
Выпуск 1199

О. Н. Лебедев

ПРИМЕНЕНИЕ МИКРОСХЕМ ПАМЯТИ В ЭЛЕКТРОННЫХ УСТРОЙСТВАХ

Справочное пособие



Москва
«Радио и связь»
1994

ББК 32.844
Л 33
УДК 681.327.67

Лебедев О. Н.

Л 33 Применение микросхем памяти в электронных устройствах: Справ. пособие. — М.: Радио и связь, 1994. — 216 с.: ил. — (Массовая радиобиблиотека; Выпуск 1199).
ISBN 5-256-00792-0.

Описаны функциональные возможности и режимы работы полупроводниковых микросхем памяти для оперативных и постоянных запоминающих устройств. Основное внимание уделено вопросам практического применения микросхем памяти в разработках электронных устройств различного назначения. Приведены рекомендации по выбору микросхем памяти для практических разработок, по схемотехнической реализации режимов управления микросхемами всех видов при записи, хранении, считывании информации, регенерации и программировании. Даны развернутые примеры применения микросхем памяти с детальным описанием содержания схемотехнических решений.

Для подготовленных радиолюбителей.

Л $\frac{2302020500-009}{046(01)-94}$ Без объявл. ББК 32.844

Справочное издание

Массовая радиобиблиотека. Выпуск 1199

Лебедев Олег Николаевич

ПРИМЕНЕНИЕ МИКРОСХЕМ ПАМЯТИ В ЭЛЕКТРОННЫХ УСТРОЙСТВАХ

Справочное пособие

Руководитель группы МРБ И. Н. Суслова
Редактор И. Н. Суслова
Художественный редактор В. И. Мусиенко
Технический редактор Л. А. Горшкова
Корректор Н. Л. Жукова

ИБ № 2328

ЛР № 010164 от 04.01.92
Сдано в набор 4.06.93 Подписано в печать 11.01.94
Формат 60×84 1/16 Бумага газетная Гарнитура литературная Печать высокая
Усл. печ. л. 12,55 Усл. кр.-отт. 12,9 Уч.-изд. л. 17,06 Тираж 20000 (2-й завод с 5001—15000) экз.
Изд. № 23171 Зак. № 72 С-009
Издательство «Радио и связь». 101000 Москва, Почтамт, а/я 693
Типография издательства «Радио и связь». 101000 Москва, Почтамт, а/я 693

ISBN 5-256-00792-0

СОДЕРЖАНИЕ

ПРЕДИСЛОВИЕ

Интегральные микросхемы памяти — один из наиболее важных по своему функциональному назначению, широко применяемых и динамично развивающихся видов элементной базы вычислительных средств и автоматизированной аппаратуры. Для современной номенклатуры микросхем памяти характерно большое разнообразие их видов и типов, отличающихся схемотехническим и конструктивно-технологическим исполнением, функциональными возможностями, электрическими характеристиками, областью применения.

Когда речь заходит о применении микросхем памяти, то прежде всего указывают на область вычислительной техники. Это обусловлено тем, что в вычислительных системах память занимает от 40 до 70% всего оборудования. От параметров запоминающих устройств в значительной степени зависят технические характеристики вычислительных средств. Основная функция микросхем памяти заключается в адресуемой записи, считывании информации и ее хранении. Однако возможности микросхем памяти и область их практического использования значительно шире.

Вниманию читателей предложены систематизированные сведения об устройстве, режимах работы, функциональных возможностях и электрических параметрах микросхем памяти, рекомендации по выбору микросхем для цифровых устройств различного назначения, развернутые примеры применения микросхем памяти в устройствах с анализом схемотехнических решений по реализации режимов управления микросхемами при записи, хранении, считывании и регенерации информации, а также при их программировании и перепрограммировании.

Изложенный в книге материал можно разделить на три основные части. В первой представлены сведения общего характера о микросхемах памяти: классификация, структуры и функциональные узлы, статические и динамические параметры, условные буквенные и графические обозначения, конструктивное оформление.

Вторая часть содержит численные значения параметров микросхем памяти, характеристику режимов и условий их реализации, требования к сигналам управления, а также рекомендации практического характера по работе с микросхемами при их применении. Систематизация сведений о функциональных возможностях, электрических параметрах и режимах работы микросхем различных серий осуществлена на основе их объединения в группы по схемно-технологическому признаку. Для микросхем оперативных запоминающих устройств (ОЗУ) определены четыре наиболее значимые технологические группы — на комплементарных МДП-транзисторных структурах, на n-канальных МДП-транзисторах, на биполярных транзисторах и полевых арсенид-галлиевых транзисторных структурах. Для микросхем постоянных запоминающих устройств (ПЗУ) определены три основные группы — масочные, программируемые пользователем по способу пережигания перемычек и репрограммируемые. Целесообразность такого подхода к описанию свойств микросхем памяти обусловлена тем, что микросхемы памяти одной схемно-технологической группы независимо от принадлежности к той или иной серии имеют много общего в устройстве, характеристиках и режимах управления их работой, а также в применении.

Третья часть посвящена описанию конкретных схемотехнических решений по реализации различных электронных устройств на основе микросхем памяти.

Основное направление применения микросхем памяти — блоки ОЗУ и ПЗУ микропроцессорных вычислительных и управляющих устройств — представлено в книге типовыми структурными решениями и детальными примерами их практической реализации. Эта часть материала книги призвана быть полезной читателям прежде всего при анализе и практическом воспроизведении профессиональных разработок блоков памяти в своих устройствах. Значительное внимание уделено задаче построения устройств управления микросхемами памяти в составе блоков ОЗУ и ПЗУ. На приведенных примерах можно убедиться в разнообразии вариантов схемотехнических построений устройств управления. Выбор наиболее рационального решения во многом зависит от того, насколько полно учтены особенности примененных микросхем памяти и условия реализации их режимов. Указанными соображениями обусловлена принятая в книге степень детализации сведений о режимах микросхем памяти, способах формирования управляющих сигналов, вариантах сопряжения блоков ОЗУ и ПЗУ с магистралями разных типов по интерфейсу.

Внимание читателей обращено и на тенденцию расширения области практического применения микросхем памяти устройствами для выполнения разнообразных функций по формированию и обработке цифровых и аналоговых сигналов, в том числе таких, как задержка сигналов, синтез сигналов заданной формы, формирование амплитудно-временных диаграмм управляющих сигналов, преобразование цифровых кодов, сопряжение цифровых и аналоговых устройств и т. д.

Для применений такого рода характерны нетрадиционные схемотехнические решения, необходимость тщательного учета статических, динамических параметров микросхем памяти и схемотехники их входных и выходных цепей, комплексирование микросхем памяти с разнообразными по свойствам и характеристикам цифровыми и аналоговыми микросхемами.

Следует согласиться с уже установившимся мнением о том, что эффективность использования этого класса микроэлектронных приборов в значительной степени зависит от знаний, схемотехнических навыков и творческого воображения разработчиков электронных устройств.

В книге четко выражен схемотехнический аспект применения микросхем памяти с детальным описанием функциональных схем электронных устройств и алгоритмов их работы. Приведенные схемотехнические решения следует рассматривать как примеры, позволяющие сориентироваться в разнообразных возможностях современных микросхем памяти и получить представление о способах реализации этих возможностей в различных областях их практического применения.

При написании материала книги использованы публикации в отечественных и зарубежных изданиях, справочные данные, а также результаты исследований и практической работы автора в области применения микросхем памяти. Автор надеется, что книга будет полезна радиолюбителям, а также специалистам смежных с электроникой областей знаний, желающих ознакомиться с возможностями микросхем памяти и вопросами их практического применения.

Сокращения и мнемонические обозначения

АЦП	— аналого-цифровой преобразователь
БИС	— большая интегральная схема
ИИЛ	— интегральная инжекционная логика
КЗУ	— контроллер запоминающего устройства
КМДП	— комплементарная МДП-структура
ЛИЗМОП	— структура «металл—окисел(кремния)—полупроводник» с лавинной инжекцией заряда
МДП	— структура «металл—диэлектрик—полупроводник»
*n*МДП	— структура МДП с каналом *n*-типа
*p*МДП	— структура МДП с каналом *p*-типа
МНОП	— структура «металл—нитрид кремния—окисел кремния—полупроводник(кремний)»
МПП	— магистральный приемопередатчик
МБР	— многорежимный буферный регистр
МПИ	— магистральный параллельный интерфейс
ОЗУ(RAM)	— оперативное запоминающее устройство
ОЭ	— открытый эмиттер
ОК	— открытый коллектор
ПЗУ(ROM)	— постоянное запоминающее устройство
МПЗУ	— масочное ПЗУ
ППЗУ(PROM)	— программируемое (пользователем) ПЗУ
ПЛМ(PLM)	— программируемая логическая матрица
ПТШ—GaAs	— арсенид-галлиевый полевой транзистор с затвором Шотки
ПЗ	— плавающий затвор
РПЗУ(RPROM)	— репрограммируемое ПЗУ
РШ	— разрядная шина
СППЗУ(EPROM)	— программируемое ПЗУ со стиранием ультрафиолетовым (УФ) излучением и записью электрическим сигналом
ТТЛ	— транзисторно-транзисторная логика
ТТЛШ	— транзисторно-транзисторная логика с диодами Шотки
УВВ	— устройство ввода-вывода
УУ	— устройство управления
ЦАП	— цифро-аналоговый преобразователь
ША	— шина адреса
ШД	— шина данных
ШАД	— шина «Адрес—Данные»
ШУ	— шина управления
ШФ	— шинный формирователь
ЭП	— элемент памяти
ЭСЛ	— эмиттерно-связанная логика
ЭСППЗУ(EEPROM)	— программируемое ПЗУ со стиранием и записью электрическим сигналом
ЯП	— ячейка памяти

A	Address	— адрес
AN	Answer	— ответ
BY	Byte	— байт
BHE	Byte High Enable	— разрешение старшего байта

BF	Buffer	— буфер
CAS	Column Address Select	— выбор адреса столбца
CS	Chip Select	— выбор кристалла
C	Clock	— синхронизация, тактирование
CE	Clock Enable	— разрешение тактирования
CY	Cycle	— цикл
CH/F	Check/Form	— проверка/формирование
D	Data	— данные
DI	Data Input	— входные данные
DO	Data Output	— выходные данные
DS	Data Serial	— последовательность данных
DC	Decoder	— дешифратор
E	Enable	— разрешение
EPROM	Erasable PROM	— стираемое ППЗУ
EEPROM	Electric Erasable PROM	— с электрическим стиранием ППЗУ
Err	Error	— ошибка
EWR	Enable Write	— разрешение записи
ER	Enable Reset	— разрешение стирания
ERD	Enable Read	— разрешение считывания
H	High	— высокий
IN	Inversion	— инвертирование
L	Low	— низкий
MWTC	Memory Write Control	— сигнал управления записью
MRDC	Memory Read Control	— сигнал управления считыванием
MUX	Multiplexer	— мультиплексор
MS	Multiplexer-Selector	— мультиплексор-селектор
OE	Output Enable	— разрешение выхода
PLM	Programmable Logic Matrix	— программируемая логическая матрица
PROM	Programmable ROM	— программируемое ПЗУ
PR	Programming	— программирование
RAM	Random Access Memory	— ОЗУ
RD	Read	— считывание
ROM	Read Only Memory	— ПЗУ
RG	Register	— регистр
RPROM	Reprogrammable ROM	— репрограммируемое ПЗУ
RAS	RewAddress Select	— выбор адреса строки
R/B	Ready/Block	— готовность/преграждение
RMW	Read—Modification—Write	— считывание—модификация—запись
SL	Select	— выбор
SYN	Synchronization	— синхронизация
T	Transmit	— передавать
WR	Write	— запись
WRBY	Write Byte	— запись байта
Z	Z-State	— Z-состояние
t_{SU}	Set—up time	— время установления
t_{H}	Hold time	— время удержания
t_{V}	Valid time	— время сохранения
t_{A}	Access time	— время выборки
t_{CY}	Cycle time	— время цикла
t_{REC}	Recover time	— время восстановления
T_{REF}	Refresh period	— период регенерации

1. ОБЩАЯ ХАРАКТЕРИСТИКА МИКРОСХЕМ ПАМЯТИ

1.1. Классификация микросхем памяти

Микросхемы памяти представляют собой функционально- и конструктивно-законченные микроэлектронные изделия, предназначенные для реализации запоминающих устройств (ЗУ).

Для микросхем памяти, выпускаемых отечественной промышленностью, характерны широкая номенклатура типов, разнообразие вариантов конструктивно-технологического исполнения, большой диапазон функциональных возможностей, характеристик и значений параметров, существенные различия в режимах работы и применениях [3, 36, 49, 50, 67].

Общепринятой является классификация микросхем памяти по следующим признакам: функциональное назначение, способ хранения информации, степень зависимости от источников питания, схемно-технологическое исполнение. Современные микросхемы памяти изготавливают методами полупроводниковой технологии, используя в качестве исходного материала в основном кремний Si. В последние годы промышленность активно осваивает арсенид галлия GaAs.

По функциональному назначению микросхемы памяти подразделяют на микросхемы оперативных ЗУ (ОЗУ) и постоянных ЗУ (ПЗУ). Оперативные ЗУ предназначены для хранения переменной информации: программ и промежуточных результатов обработки данных. Такие ЗУ работают в режимах записи, хранения и считывания информации и допускают оперативную смену своего информационного содержания. Постоянные ЗУ предназначены для хранения информации, неменяющейся в процессе работы устройства: стандартных программ, табличных данных, коэффициентов, констант и т. п. Такие ЗУ работают в режимах хранения и считывания информации, которая заносится в них предварительно, например при их изготовлении, и во время работы не изменяется.

Функциональные возможности ОЗУ, таким образом, шире, чем ПЗУ: ОЗУ может работать в качестве ПЗУ, т. е. в режиме многократного считывания записанной информации, а ПЗУ в качестве ОЗУ использовано быть не может, так как не позволяет изменять занесенную в него информацию.

Основной составной частью структуры любой микросхемы памяти является матрица накопителя, представляющая собой однородный массив элементов памяти. Элемент памяти (ЭП) может хранить один бит (0 или 1) информации. Схемотехнический принцип построения элемента памяти в значительной степени определяет способ хранения информации в накопителе. По этому признаку микросхемы памяти можно разделить на статические и динамические.

В микросхемах статических ЗУ информация в режиме хранения неподвижна, т. е. находится в статическом состоянии. В этот класс микросхем памяти входят микросхемы ОЗУ, у которых элементом памяти является статический триггер, и микросхемы ПЗУ.

В микросхемах динамических ЗУ записанная в накопитель информация в режиме хранения периодически перезаписывается с целью ее восстановления (регенерации). К этому классу микросхем памяти относят микросхемы динамических ОЗУ. Элементом памяти в таких микросхемах является МДП-конденсатор, сформированный внутри полупроводникового кристалла. Информация, имеющая форму уровня напряжения (заряда) на конденсаторе, из-за наличия токов утечки в объеме и на поверхности полупроводникового кристалла не может сохраняться длительное время и поэтому нуждается в периодическом восстановлении.

Микросхемы динамических ОЗУ имеют бо́льшую информационную емкость, чем микросхемы статических ОЗУ, что обусловлено меньшим числом компонентов в одном элементе памяти и, следовательно, более плотным их размещением в полупроводниковом кристалле. Однако динамические ОЗУ сложнее в применении, поскольку нуждаются в организации принудительной регенерации, а значит, в дополнительном оборудовании и в усложнении устройств управления.

Для хранения небольших объемов информации широко применяют регистровые ЗУ. В обширной номенклатуре микросхем регистров некоторая их часть содержит многорегистровые структуры, которые можно использовать для одновременного хранения нескольких слов. Возможности таких микросхем зависят от их структурного построения и способа адресации регистров. Некоторые допускают адресное обращение к каждому из регистров (регистровые файлы), другие работают по принципу «магазинного» ЗУ, заполняясь информацией по мере ее поступления и освобождаясь от нее в порядке ее поступления по правилу «первым вошел — первым вышел» (FIFO — First Input-First Output) или в обратном порядке «последним вошел — первым вышел» (LIFO — Last Input-First Output). Магазинные ЗУ нередко называют стеком (Stack — штабель). Стековые регистровые ЗУ широко применяют в калькуляторах, микропроцессорных контроллерах и других вычислительных устройствах.

В микросхемах ПЗУ функции элементов памяти выполняют перемычки между линиями строк и столбцов в накопителе. Эти перемычки представляют собой либо тонкопленочные проводники, либо диоды и транзисторы. Наличие перемычки кодируется 1, ее отсутствие — 0. Возможна и обратная кодировка.

Занесение информации в микросхемы ПЗУ, т. е. их программирование, осуществляют в основном двумя способами. Один из них заключается в формировании перемычек в накопителе на заключительной стадии изготовления микросхемы с использованием трафарета (маски). Такие микросхемы получили название масочных ПЗУ (МПЗУ). Другой способ состоит в пережигании легкоплавких токопроводящих перемычек в тех точках накопителя, где должен быть записан 0 или 1 в зависимости от принятого кодирования состояний перемычек. Программирование микросхем ПЗУ осуществляет пользователь с помощью специального устройства — программатора.

Микросхемы масочных ПЗУ и микросхемы программируемых пользователем ПЗУ (ППЗУ) допускают однократную запись информации, поскольку при программировании происходит необратимое разрушение соединений в накопителе. Существует разновидность ПЗУ, допускающая неоднократное программирование, т. е. перепрограммирование или, иначе, репрограммирование. Этим свойством репрограммируемые ПЗУ (РПЗУ) обладают благодаря использованию в них элементов памяти на основе МДП-транзисторов специальной конструкции, способных переходить из непроводящего состояния в проводящее и обратно под воздействием внешнего программирующего напряжения, причем оба состояния могут сохраняться длительное время (тысячи часов) без напряжения питания.

По способу стирания информации в накопителе микросхемы РПЗУ разделяют на два вида, которые называют программируемыми ПЗУ со стиранием электрическим сигналом (ЭСППЗУ) и ультрафиолетовым излучением (СППЗУ).

Наряду с полупроводниковыми микросхемами ОЗУ и ПЗУ промышленность выпускает микросхемы памяти на тонких магнитных пленках, элементами памяти в которых являются цилиндрические магнитные домены (ЦМД). Микронные размеры ЦМД позволяют разместить в тонкой пленке магнитного материала на диэлектрической подложке размерами 100×100 мм^2 накопитель с информационной емкостью в десятки миллионов бит. Микросхемы памяти на ЦМД предназначены для реализации внешних запоминающих устройств, отличающихся от устройств на магнитных лентах и дисках более высокой надежностью функционирования и быстродействием благодаря полностью электронной системе записи и считывания информации.

Рассмотренные разновидности микросхем памяти систематизированы в классификационной диаграмме, приведенной на рис. 1.1. Здесь же показаны международные буквенные обозначения микросхем памяти различных видов и типов, которые помещают на их условных графических изображениях [14].

По степени зависимости от источников питания различают энергозависимые и энергонезависимые ЗУ. В первых при отключении и сбоях питания информация разрушается. Такими являются микросхемы ОЗУ. В энергонезависимых ЗУ электропитание необходимо только при записи и считывании, а в режиме хранения оно может быть отключено. К таким ЗУ относятся микросхемы ПЗУ.

Микросхемы памяти выпускают сериями. Серия представляет собой совокупность микросхем, имеющих единое конструктивно-технологическое исполнение, совместимые электрические, эксплуатационные и надежностные показатели и отличающихся информационной емкостью, быстродействием и некоторыми другими характеристиками, например наличием дополнительных входов для сигналов управления [17].

В общем случае в серию могут входить микросхемы памяти разных видов, например микросхемы ОЗУ и ППЗУ. Однако большинство серий имеет однородный видовой состав, т. е. состоит из микросхем одного вида: либо ОЗУ, либо ППЗУ, либо РПЗУ. Достаточно широко микросхемы памяти представлены в составе многофункциональных серий наряду с микросхемами логических элементов, триггеров, кодопреобразователей, регистров, счетчиков и др.

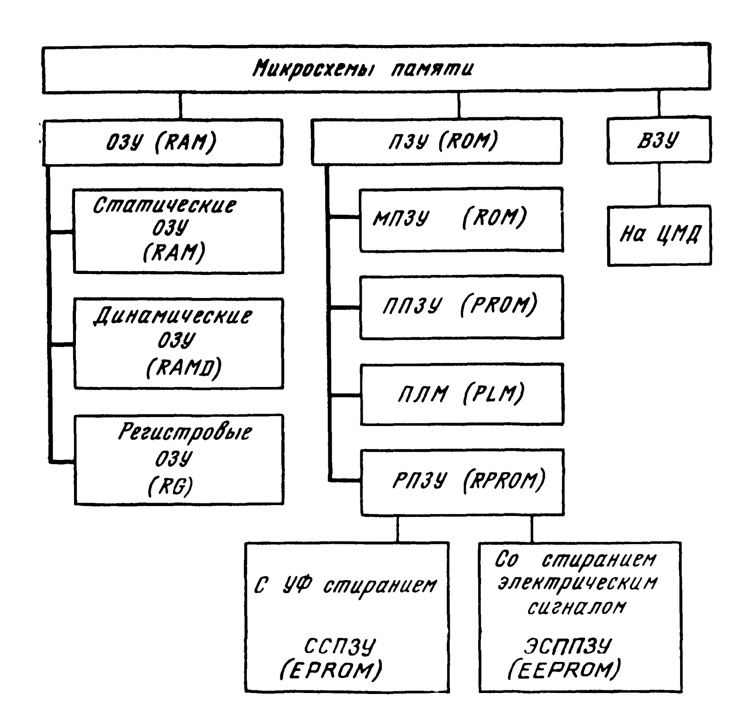


Рис. 1.1. Классификация микросхем памяти

Информацию о принадлежности микросхемы к определенной серии содержит ее условное буквенное обозначение. В соответствии с принятой системой обозначение микросхемы представляет собой цифробуквенный код, состоящий из следующих частей [3]:

а) трех-, четырехзначное число, обозначающее номер серии, в котором первая цифра указывает на конструктивно-технологическое исполнение микросхемы: 1, 5, 6, 7 — полупроводниковые, 2, 4, 8 — гибридные, 3 — пленочные, керамические и прочие; последующие две-три цифры являются порядковым номером разработки. При четырехзначном номере серии вторая цифра указывает на область применения или на функциональное предназначение микросхем серии: 0 — бытовая радиоэлектронная аппаратура, 1 — аналоговая техника, 4 — операционные усилители, 5 — цифровая техника, 6 — запоминающие устройства, 8 — микропроцессорная техника;

б) двухбуквенный индекс, в котором первая буква обозначает подгруппу, а вторая — вид микросхемы по функциональному назначению: РУ — оперативные ЗУ с управлением, РМ — матрицы оперативных ЗУ, РЕ — масочные ПЗУ, РТ — программируемые ПЗУ, РР — репрограммируемые ПЗУ со стиранием информации электрическим сигналом (ЭСППЗУ), РФ — репрограммируемые ПЗУ со стиранием информации ультрафиолетовым излучением (СППЗУ), РЦ — запоминающие устройства на ЦМД, ИР — регистры;

в) одно-, двух- или трехзначный номер разработки микросхемы среди ей подобных в данной серии;

г) буква, указывающая типономинал микросхемы;

д) при необходимости в начале буквенного обозначения располагают двухбуквенный префикс, первая буква которого К обозначает микросхемы широкого (общетехнического) применения, а вторая — материал и тип корпуса: А — пластмассовый типа 4; Б — бескорпусное исполнение; Е — металлополимерный типа 2; И — стеклокерамический типа 4; М — керамический, металлокерамический типа 2; Н — керамический типа 5; Р — пластмассовый типа 2; С — стеклокерамический типа 2; Ф — пластмассовый подтипа 43. Вторая буква в префиксе может отсутствовать. Типы корпусов рассмотрены в § 1.5. Микросхемы, предназначенные для экспорта, имеют перед начальной буквой К в условном обозначении букву Э.

Примеры условных обозначений:

КР565РУ6Б — микросхема общетехнического применения в пластмассовом корпусе, полупроводниковая, серия 565, оперативное запоминающее устройство с управлением, разработка 6, типономинал Б;

КМ1609РР11 — микросхема общетехнического применения в металлокерамическом корпусе, полупроводниковая, серия 1609, репрограммируемое ПЗУ со стиранием электрическим сигналом, разработка 11;

К573РФ6А — микросхема общетехнического применения, полупроводниковая, серия 573, репрограммируемое ПЗУ со стиранием УФ-излучением, разработка 6, типономинал А.

По физико-технологическому признаку микросхемы памяти можно разделить на два класса: биполярные и униполярные. Первые изготавливают по технологии биполярных транзисторов, вторые — по технологии полевых транзисторов, в основном МДП-транзисторов.

По схемно-технологическому признаку биполярные микросхемы обычно классифицируют на микросхемы эмиттерно-связанной логики (ЭСЛ), транзисторно-транзисторной логики (ТТЛ) и ТТЛ с диодами Шотки (ТТЛШ), интегральной инжекционной логики (ИИЛ). Обычным является применение комбинаций схемно-технологических решений при производстве микросхем памяти, например ЭСЛ и ТТЛШ или ТТЛ и ИИЛ и т. д.

Для биполярных микросхем памяти, в частности для ЭСЛ- и ТТЛШ-микросхем, характерны высокое быстродействие, значительная нагрузочная способность, повышенное энергопотребление.

В классе униполярных микросхем памяти наиболее широко представлены микросхемы на МДП-транзисторах с каналом *n*-типа и микросхемы на комплементарных парах МДП-транзисторов (КМДП-микросхемы). Для *n*МДП-микросхем памяти характерно сравнительно высокое быстродействие, соизмеримое с быстродействием ТТЛШ-микросхем, а для КМДП-микросхем — самый низкий уровень энергопотребления и способность функционировать в условиях значительных изменений напряжения питания.

В настоящее время активное развитие получает смешанная БиКМДП-технология, позволяющая объединить положительные свойства биполярной и КМДП-технологий: высокое быстродействие биполярных элементов и малую потребляемую мощность элементов КМДП-структуры.

Среди новых разработок микросхем памяти следует выделить микросхемы на основе арсенида галлия. Активным прибором в таких микросхемах является полевой транзистор с управляющим затвором Шотки (ПТШ — GaAs). Арсенид-галлиевые микросхемы памяти характеризуются самым высоким быстродействием, а также самым значительным уровнем энергопотребления по сравнению с кремниевыми микросхемами [1].

1.2. Типовые структуры и функциональные узлы микросхем памяти

Для характеристики микросхемы памяти как функционального узла электронной аппаратуры необходимо знать прежде всего режимы работы, сигналы управления, способы сопряжения с другими функциональными узлами в аппаратуре, систему электрических параметров и их значения. Указанный круг сведений необходим для грамотного применения микросхем памяти в разработках электронных устройств различного назначения, а также для приобретения умения и навыков чтения функциональных и принципиальных схем устройств, содержащих микросхемы памяти.

Обобщенная структурная схема запоминающего устройства, характерная для ОЗУ и ПЗУ, представлена на рис. 1.2. Она включает следующие функциональные узлы: накопитель, дешифратор кода адреса (ДШ), устройство ввода-вывода (УВВ), устройство управления (УУ).

Накопитель представляет собой совокупность элементов памяти, объединенных в матрицу. В матрице ЭП размещены на пересечениях горизонтальных и вертикальных проводников, называемых соответственно строками и столбцами. Каждый ЭП может хранить один бит (0 или 1) информации. Для хранения n-разрядного слова требуются n элементов памяти. Совокупность эле-

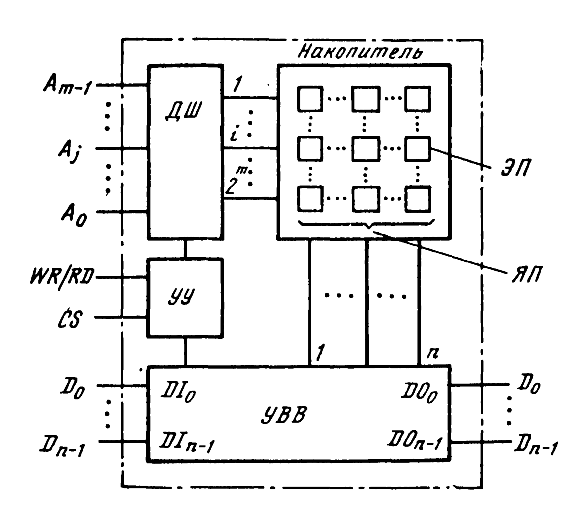


Рис. 1.2. Обобщенная структурная схема ЗУ

ментов памяти, предназначенная для хранения одного слова, называется ячейкой памяти (ЯП).

Накопитель может иметь одноразрядную и многоразрядную (словарную) организацию. Их принципиальное различие состоит в следующем. При обращении к накопителю с одноразрядной организацией в него можно записать или из него вывести только один бит информации, т.е. одноразрядное слово. Накопитель со словарной организацией позволяет за одно обращение к нему записать или считать n разрядов, составляющих слово. На рис. 1.2 представлена структура микросхемы памяти со словарной организацией. Как видно, она имеет n информационных входов и столько же выходов, что позволяет записывать и считывать информацию n-разрядным параллельным кодом. Микросхема с одноразрядной организацией имеет один информационный вход и один выход.

Организация ЗУ предусматривает возможность обращения к любой ЯП для записи или считывания информации. Для этой цели служит дешифратор (ДШ). Он преобразует код адреса $A_{m-1} \ldots A_0$ в активный сигнал выборки ЯП. Число ЯП в накопителе равно 2^m, где m — число разрядов в адресном коде. Если ЗУ допускает выборку любой ЯП в произвольном порядке, то его называют ЗУ с произвольной выборкой (ЗУПВ).

Устройство ввода-вывода (УВВ) предназначено для усиления и нормализации информационных сигналов $D_{n-1} \ldots D_0$, подаваемых на входы ЗУ DI при записи и снимаемых с выходов DO при считывании. Многие микросхемы имеют совмещенные входы-выходы. В таких микросхемах УВВ дополнительно выполняет и функцию разделения внутренних цепей приема и выдачи информации. К УВВ предъявляется также требование сопряжения входов и выходов с внешними линиями передачи.

Устройство управления формирует внутренние сигналы для воздействия на функциональные узлы ЗУ, соответствующего внешним сигналам управления: «Запись/Считывание» (WR/RD), «Выбор кристалла (микросхемы)» (CS). Сигнал WR/RD определяет режим записи при WR/RD=1 и считывания при WR/RD=0. Сигнал CS разрешает при CS=1 или запрещает доступ к накопителю по информационным входам и выходам при CS=0. У большинства микросхем памяти сигнал CS является основным для установления микросхемы в режим хранения независимо от состояний сигналов на других входах.

Принцип действия изображенной на рис. 1.2 схемы применительно к ОЗУ заключается в следующем. Для записи слова $D_{n-1} \ldots D_0$ в заданную ЯП его необходимо подать на информационные входы $DI_{n-1} \ldots DI_0$. Одновременно на адресные входы $A_{m-1} \ldots A_0$ должен быть подан код адреса выбираемой ЯП, а на входы управления — сигналы WR/RD=1 и CS=1. После выполнения этих операций входная информация через УВВ пройдет в накопитель и запишется в выбранную ячейку памяти. Для обеспечения режима хранения достаточно подать сигнал CS=0. Режим считывания реализуется аналогично режиму записи, но при значении сигнала WR/RD=0.

Типовая схема ПЗУ отличается от ОЗУ отсутствием входов для информационных сигналов.

Следует заметить, что сигналы на входах и выходах микросхем ОЗУ и ПЗУ могут быть представлены своими прямыми значениями, как, например,

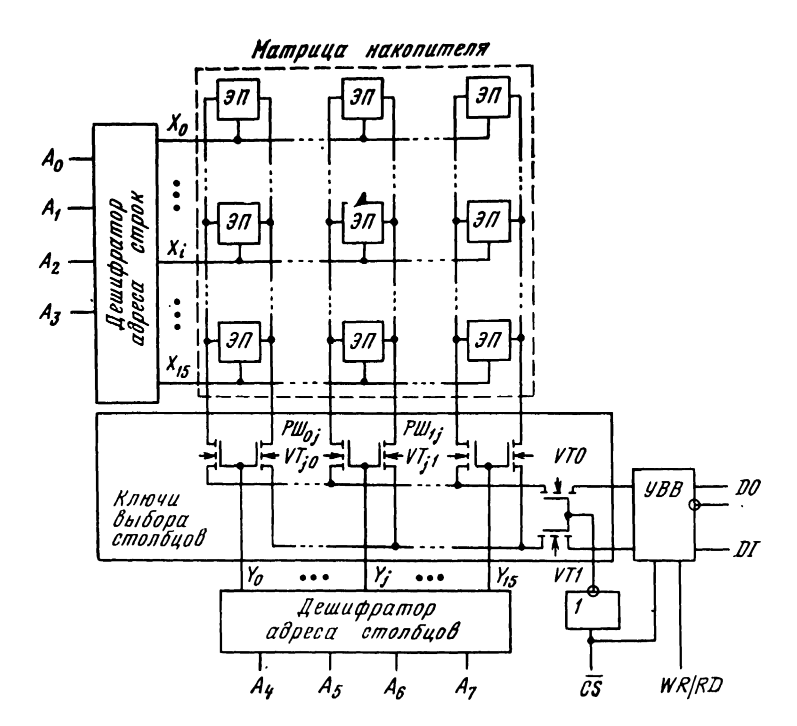


Рис. 1.3. Структура микросхемы ОЗУ с одноразрядной организацией

в вышеприведенном рассмотрении, так и инверсными. В случае инверсного представления сигнала его активное состояние изменяется на обратное, например, при $\overline{\mathrm{WR}}/\mathrm{RD}=0$ будет осуществлен режим записи, а при $\overline{\mathrm{WR}}/\mathrm{RD}=1$ — режим считывания. Аналогично при сигнале $\overline{\mathrm{CS}}=0$ будет обеспечен доступ к микросхеме, а при $\overline{\mathrm{CS}}=1$ микросхема будет находиться в режиме хранения.

Структуры и функциональные узлы микросхем статических ОЗУ. Вариант построения микросхемы статического ОЗУ с одноразрядной организацией приведен на рис. 1.3. Для примера выбрана сравнительно несложная микросхема К561РУ2 емкостью 256 бит. Структурная схема включает матрицу накопителя, дешифраторы кода адреса строк $A_3 \ldots A_0$ (A_0 — младший разряд) и столбцов $A_7 \ldots A_4$, ключи выбора столбцов и УВВ. Режимом микросхемы управляют сигналы WR/RD и $\overline{\mathrm{CS}}$.

Матрица накопителя содержит 256 элементов памяти, расположенных на пересечениях 16 строк и 16 столбцов. Каждый ЭП представляет собой статический триггер на КМДП-транзисторах (рис. 1.4, *а*): VT1, VT2 — с *n*-каналами, VT3, VT4 — с *p*-каналами. Триггер имеет два парафазных совмещенных входа-выхода. С разрядными шинами $РШ_1$ и $РШ_0$ триггер соединен через ключевые транзисторы VT5, VT6. По разрядным шинам к триггеру подводится при записи и отводится от него при считывании информация в парафазной форме

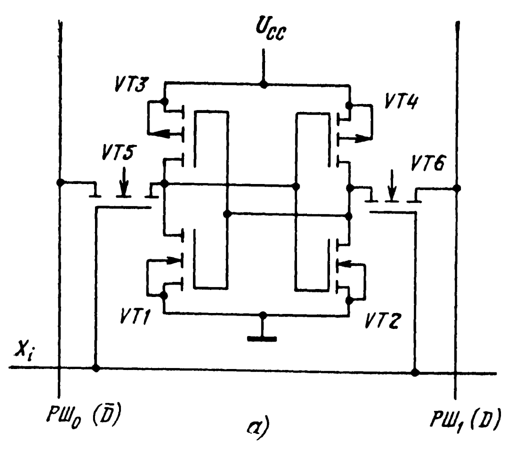
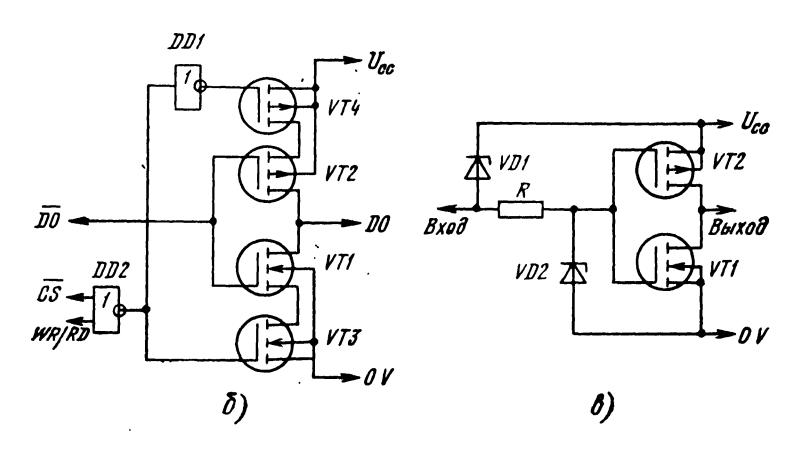


Рис. 1.4. Функциональные узлы КМДП-микросхем ОЗУ:

а — элемент памяти; *б* — выходной усилитель-формирователь; *в* — входной инвертор



представления: по $РШ_1$ — своим прямым значением, по $РШ_0$ — инверсным. Ключевые транзисторы затворами соединены с адресной шиной (строкой). В режимах записи и считывания при возбуждении строки сигналом выборки $X_i = 1$, снимаемым с выхода дешифратора адреса строк, ключевые транзисторы открываются и подключают триггер к разрядным шинам. При сигнале $X_i = 0$ ключевые транзисторы закрыты и триггер изолирован от разрядных шин.

Для сохранения состояния триггера и, следовательно, записанной в него информации необходим источник питания, поскольку статический триггер энергозависим. В одно из двух состояний, в которых может находиться триггер, его приводят сигналы, поступающие по разрядным шинам в режиме записи: при D=1 ($РШ_1=1$, $РШ_0=0$) транзисторы VT1, VT4 открыты, а VT2, VT3 закрыты, при D=0 ($РШ_1=0$, $РШ_0=1$) транзисторы свои состояния изменяют на обратные. В режиме считывания разрядные шины принимают потенциалы

выходов триггера, передавая их через УВВ на выход микросхемы DO, $\overline{DO}$. При считывании информация не разрушается, т. е. состояния триггеров не изменяются.

Особенность КМДП-триггеров заключается в том, что в режиме хранения они потребляют незначительную мощность от источника питания, так как в любом состоянии триггера в той или другой его половине один из транзисторов закрыт. В режиме обращения к микросхеме при записи или считывании транзисторы переключаются, через них протекают токи, что обусловливает значительное повышение потребляемой мощности. Кроме триггеров в структуре микросхемы в режиме обращения к ней переключаются элементы дешифраторов, УВВ, поэтому уровень ее энергопотребления возрастает на два-три порядка.

В большинстве микросхем памяти УВВ содержит выходной ключевой усилитель-формирователь, способный принимать три состояния: два функциональных низкого и высокого уровня и одно высокоомное, обозначаемое Z-состоянием. В этом состоянии выход микросхемы практически отключен от внешней цепи. Пример такого усилителя приведен на рис. 1.4, *б*. Его схема состоит из инвертора на транзисторах VT1, VT2, двух ключевых транзисторов VT3, VT4, обеспечивающих реализацию Z-состояния выхода, а также логического элемента DD2, на выходе которого формируется сигнал управления режимом ключей $\overline{\overline{CS}+WR/RD}$. При $\overline{CS}=1$ или $WR/RD=1$ оба ключа закрыты и выход находится в Z-состоянии. Только при условии $\overline{CS}=0$ и $WR/RD=0$ ключи открыты и схема выполняет свои функции инвертора, передавая на выход DO микросхемы информацию, считанную с выбранного элемента памяти. В некоторых КМДП-микросхемах, например в КР537РУ3, в структуре выходного усилителя-формирователя вместе с МДП-транзисторами применен биполярный транзистор для увеличения нагрузочной способности выхода.

Наличие у микросхемы выхода с Z-состоянием позволяет объединять ее информационные вход и выход и подключать их к общей шине, по которой информация подводится к микросхеме и выводится из нее. Указанная возможность основана на том, что в любом режиме вход и выход микросхемы оказываются взаимно развязаны, как это следует из табл. 1.1, и не влияют на состояния друг друга. В указанной таблице истинности микросхемы К561РУ2

Таблица 1.1. **Таблица истинности микросхемы К561РУ2**

$\overline{CS}$	WR/RD	$A_0 \ldots A_7$	DI	DO	Режим работы
1	X	X	X	Z	Хранение
0	1	A	D	Z	Запись данных
0	0	A	X	D, $\overline{D}$	Считывание данных прямым и инверсным значением

Примечание. X — произвольное состояние (0 или 1).

приведены условия реализации режимов работы микросхемы: хранения, записи данных, считывания данных.

Микросхемы на МДП-транзисторах любого типа чувствительны к воздействию статического электричества из-за высокого входного сопротивления. Даже кратковременное повышение напряжения на входе с недопустимо высоким уровнем может вызвать электрический пробой тонкого слоя подзатворного диэлектрика. Для защиты от вредного воздействия перенапряжения все входы микросхем защищены диодно-резнстивными цепями, встроенными внутрь кристалла (рис. 1.4, *в*). Защитные цепи построены по схеме последовательного соединения двух диодов VD1, VD2 и токоограничивающего резистора R. От воздействия высокого положительного потенциала на входе защищает диод VD1, который открывается при превышении входным потенциалом его порога и фиксирует этот потенциал на допустимом для микросхемы уровне, т. е. на уровне напряжения питания. Аналогично срабатывает диод VD2 при появлении на входе отрицательного потенциала с уровнем, превышающим порог отпирания диода. При открывании диод VD2 ограничивает отрицательный потенциал безопасным для микросхемы уровнем 1 В.

При обращении к микросхеме для записи одного бита следует подвести информационный сигнал ко входу DI, подать код адреса $A\{A_0 \dots A_7\}$, разрешающий сигнал $\overline{CS}=0$ и сигнал WR/RD=1. При указанных состояниях сигналов управления и при наличии сигналов адреса в накопителе возбуждается строка X_i, выбранная дешифратором кода адреса строк, и открывает доступ по разрядным шинам ко всем элементам памяти данной строки. Одновременно возбуждается один из выходов Y_j дешифратора кода адреса столбцов. Сигнал на этом выходе дешифратора открывает в блоке ключей выбора столбца транзисторы VT_{j0}, VT_{j1} и коммутирует тем самым выбранный столбец на УВВ. Доступ к разрядным шинам этого столбца со стороны УВВ обеспечивает сигнал $\overline{CS}=0$, который открывает ключи VT0 и VT1. Настройку УВВ на прием информационного сигнала со входа DI осуществляет сигнал WR/RD=1. Обращение к микросхеме для считывания происходит аналогично, но при сигнале WR/RD=0.

Микросхемы статических ОЗУ с одноразрядной организацией преобладают в современной номенклатуре микросхем памяти. Вместе с тем все большее развитие получают микросхемы ОЗУ со словарной организацией. Принцип построения таких микросхем рассмотрим на примере КР537РУ8 (рис. 1.5).

Микросхема имеет организацию 2К×8 бит (буквой К обозначают число, равное $2^{10}=1024$) и, следовательно, допускает запись или считывание информации восьмиразрядными словами (байтами). Информационные входы и выходы совмещены, поэтому соответствующие выводы микросхемы обладают свойством двунаправленной проводимости. Другая особенность микросхемы состоит в наличии у нее дополнительного входа для сигнала управления состоянием выхода $\overline{OE}$.

Структурная схема включает матрицу накопителя, содержащую 128×128 элементов памяти, регистры для временного хранения кода адреса, дешифраторы кодов адреса строк и столбцов, усилители записи-считывания, устройство ввода-вывода и устройство управления. Элементом памяти является статический КМДП-триггер, схема которого приведена на рис. 1.4, *а*.

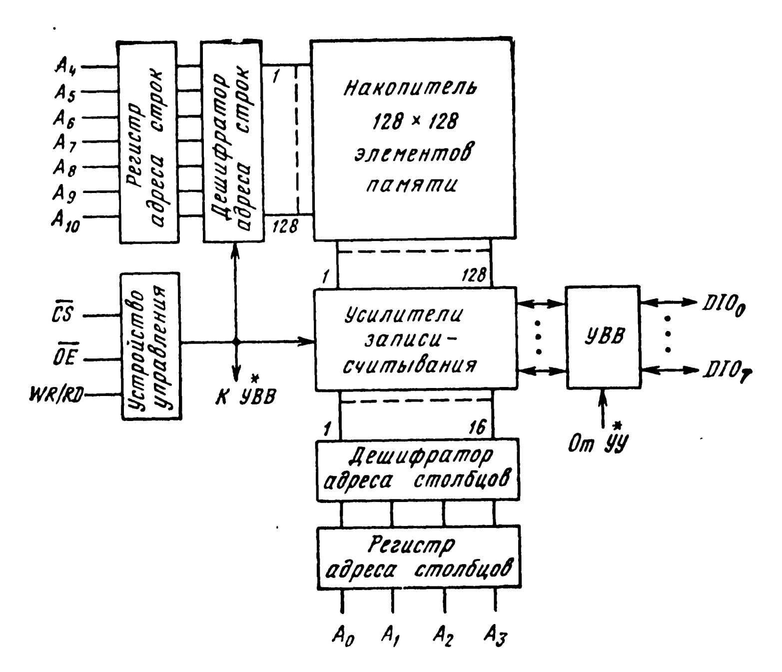


Рис. 1.5. Структура микросхемы ОЗУ со словарной организацией

Каждая строка накопителя содержит 16 восьмиразрядных ячеек памяти, что позволяет в одну строку записать 16 байт. Выборка ЯП производится адресным кодом $A_{10} \dots A_0$ так, что семь его старших разрядов $A_{10} \dots A_4$ выбирают строку, а четыре младших $A_3 \dots A_0$ выбирают ячейку памяти в этой строке.

Информация восьмиразрядными словами записывается и считывается по совмещенным двунаправленным входам-выходам, обозначенным $DIO_0 \dots DIO_7$. Управление режимами работы микросхемы осуществляют сигналами $\overline{CS}$, $\overline{WR}/RD$, $\overline{OE}$ в соответствии с табл. 1.2. Сигнал разрешения выхода, т. е. считывания, $\overline{OE}$ существенно расширяет возможности по управлению микросхемой в процессе ее работы. От состояния этого сигнала зависит режим вывода информации: при $\overline{OE}=0$ выходы открыты для считывания информации в шину данных, при $\overline{OE}=1$ выходы находятся в Z-состоянии и, следовательно, несмотря на наличие всех необходимых для считывания сигналов информация выведена быть не может.

Аналогичные структурные схемы имеют и микросхемы памяти на *n*МДП-транзисторах. Много общего у микросхем памяти на КМДП-транзисторах и *n*МДП-транзисторах в реализации функциональных узлов. На рис. 1.6 приведены схемотехнические решения, характерные для *n*МДП-микросхем статических ОЗУ, в частности, микросхем серии К132.

Усилитель-инвертор (рис. 1.6, *а*) включен в цепи всех входов микросхемы памяти: информационных, адресных и управляющих. Его схема состоит из ин-

Таблица 1.2. Таблица истинности микросхемы КР537РУ8

$\overline{CS}$	$\overline{OE}$	$\overline{WR}/RD$	$A_{10} \ldots A_0$	$DIO_0 \ldots DIO_7$	Режим работы
1	X	X	X	Z	Хранение
0	X	0	A	$D_0 \ldots D_7$	Запись данных
0	1	1	A	Z	Чтение без выдачи
0	0	1	A	$D_0 \ldots D_7$	Считывание

вертора на двух транзисторах VT1, VT2 и защитной резистивно-транзисторной цепи R—VT3. Охранный транзистор VT3 своим переходом сток—подложка предохраняет вход транзистора VT1 от действия статического электричества и защищает его от резких бросков напряжений своей входной емкостью, образующей с резистором R интегрирующую цепочку.

Рассмотренный усилитель обладает высоким быстродействием благодаря выбору рационального режима его работы и введению смещения подложки отрицательным напряжением $U_{см} = -2{,}7$ В. Режим усилителя во многом определен состоянием нагрузочного транзистора VT2, имеющего встроенный *n*-канал. Этот транзистор нормально открыт, и при выключении транзистора VT1 он переходит в режим генератора тока, обеспечивая быстрый заряд выходной емкости. При включении транзистора VT1 для выходной емкости создается

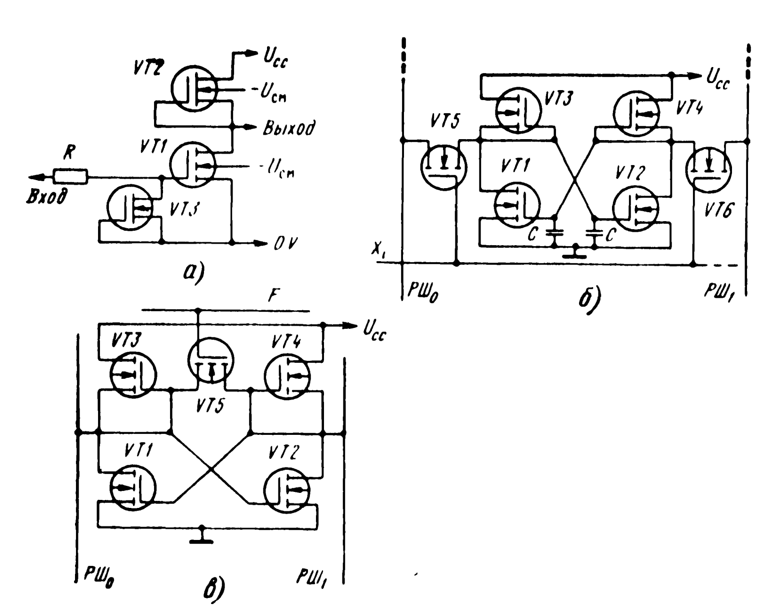


Рис. 1.6. Функциональные узлы nМДП-микросхем ОЗУ:
а — входной инвертор; *б* — элемент памяти; *в* — усилитель записи-считывания

низкоомная цепь разряда через этот транзистор, что позволяет существенно сократить и время разряда емкости. Отрицательное напряжение смещения подложки уменьшает порог включения транзисторов и снижает уровень токов утечки внутри кристалла. Это напряжение формирует встроенный в кристалл преобразователь из напряжения питания 5 В.

Функции элемента памяти выполняет статический триггер (рис. 1.6, *б*) на четырех транзисторах VT1—VT4 и двух ключевых транзисторах VT5, VT6, затворы которых соединены с адресной шиной, а стоки с разрядными шинами. При $X_i = 1$ ключевые транзисторы открываются и подключают триггер к разрядным шинам. При записи разрядные шины передают свой потенциал узловым емкостям C и обеспечивают переключение триггера в состояние, соответствующее записываемой информации. Аналогично обращение к ЭП происходит и при считывании, только теперь триггер передает свой потенциал разрядным шинам.

Отличительной особенностью *n*МДП-микросхем памяти является наличие в каждом столбце усилителя записи-считывания триггерного типа (рис. 1.6, *в*). Усилитель управляется внутренним сигналом F: при его поступлении транзистор VT5 открывается и уравнивает потенциалы двух входов-выходов триггера. В этом состоит подготовка усилителя к приему информации. При считывании информации с выбранного ЭП на разрядных шинах $РШ_0$ и $РШ_1$ создается асимметрия потенциалов, которая оказывает воздействие на состояние плеч усилителя, подключенного к этим шинам. В момент снятия сигнала F, когда транзистор VT5 закрывается, вносимая шинами асимметрия потенциалов определяет состояние, в которое переключится триггер. В результате слабый информационный сигнал, полученный с выхода ЭП, усиливается и передается в УВВ.

Усилитель составлен из транзисторов, имеющих по сравнению с транзисторами ЭП более высокие уровни допустимых токов. Одновременно с усилением считываемого сигнала триггер-усилитель предотвращает возможность разрушения информации в выбранном ЭП тем, что восстанавливает заряд узловых емкостей триггера — элемента памяти.

В некоторых микросхемах, например в КР132РУ6, КМ132РУ10 и др., элемент памяти выполнен на основе триггера, у которого вместо нагрузочных транзисторов сформированы высокоомные (до 10^9 Ом) резисторы. При такой технологии удается обеспечить более высокий уровень интеграции и, следовательно, большую информационную емкость микросхемы памяти при уменьшении потребляемой мощности в режиме хранения.

Структура биполярных микросхем ОЗУ соответствует рассмотренному типичному варианту построения. Элементом памяти является в большинстве микросхем статический триггер на четырех транзисторах (рис. 1.7, *а*), один из которых в каждой паре служит инжектором заряда: транзистор VT3 для транзистора VT2, а VT4 для VT1. Двухэмиттерными транзисторами управляют сигналы, приходящие по адресной X_i и разрядным $РШ_0$, $РШ_1$ шинам. При $X_i = 0$ триггер находится в режиме хранения, а при $X_i = 1$, когда закрываются оба эмиттерных перехода, подключенных к адресной шине, состояние триггера становится зависимым от потенциалов разрядных шин. Таким образом ЭП оказывается подготовленным для считывания или записи бита информации.

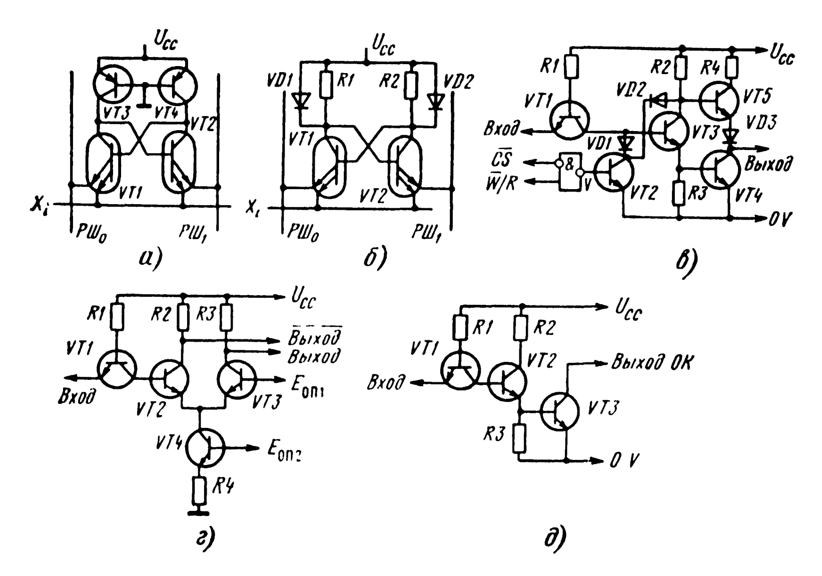


Рис. 1.7. Функциональные узлы биполярных микросхем ОЗУ:

а — элемент памяти ИИЛ; *б* — элемент памяти ТТЛ; *в* — инвертор с тремя состояниями выхода; *г* — входной формирователь; *д* — инвертор с открытым коллекторным выходом

При считывании обе разрядные шины имеют низкий потенциал. Поэтому состояния транзисторов измениться не могут: тот из них, который был открыт, открытым и останется, поскольку для него условия токопрохождения не изменились. Так состояние ЭП передается в разрядные шины и через них в УВВ.

При записи бит информации подводится к триггеру по разрядным шинам в парафазной форме: по $РШ_1$ — своим прямым значением, по $РШ_0$ — инверсным. Асимметрия в потенциалах шин вызовет переключение триггера в состояние, определяемое потенциалами шин: из двух транзисторов VT1 и VT2 откроется тот, шина со стороны которого имеет низкий потенциал.

Другой вариант триггера, применяемого в биполярных микросхемах памяти в качестве ЭП, приведен на рис. 1.7, *б*. Особенностью схемы является наличие нелинейных диодно-резистивных нагрузок в плечах триггера, обеспечивающих повышение его быстродействия.

Входные и выходные усилители-формирователи могут быть реализованы на основе ТТЛ- или ТТЛШ-элементов, а также ЭСЛ-элементов или комбинации элементов ЭСЛ—ТТЛ. Вариант входного усилителя со схемой ЭСЛ-ТТЛ приведен на рис. 1.7, *г*. Преимуществом этой схемы перед схемами на ТТЛ-элементах является более высокое быстродействие, обусловленное ограничением насыщения транзисторов и использованием режима их переключения под управлением тока, значение которого не зависит от внешнего сигнала.

Выходные усилители-формирователи могут быть построены на элементах с двумя состояниями — низкого и высокого уровня, с тремя состояниями — низкого, высокого уровня и Z-состоянием. На рис. 1.7, *в* показан ТТЛ-выходной усилитель с тремя состояниями. Для обеспечения Z-состояния в схему

сложного ТТЛ-инвертора включены диоды VD1, VD2 и транзистор VT2. Внутренний сигнал V, который управляет переходом схемы в Z-состояние, формируется внешними сигналами $\overline{CS}$ и $\overline{WR}/RD$: $V=\overline{CS\cdot\overline{WR}/RD}=\overline{CS}+WR/RD$. Отсюда следует, что только при наличии сигнала $\overline{CS}=0$ и сигнала $\overline{WR}/RD=1$, при которых $V=0$ и транзистор VT2 закрыт, выходной усилитель выполняет функцию передачи (с инверсией) сигналов со входа на выход. При других комбинациях указанных сигналов выход устанавливается в Z-состояние, поскольку сигнал $V=1$ открывает диоды VD1, VD2 и транзистор VT2 и тем самым шунтирует входы транзисторов VT3 и VT5, закрывая эти транзисторы, а значит, и транзистор VT4.

В схеме выходного усилителя с открытым коллекторным выходом (рис. 1.7, *д*) отсутствует нагрузка в цепи коллектора транзистора VT3. Выходы микросхемы с открытым коллектором можно соединять с подключением к точке соединения, напряжения питания через токоограничивающий резистор. Следует отметить и такое полезное для практики свойство открытого коллекторного выхода, как возможность сопряжения микросхем ТТЛ и КМДП при их совместном применении.

Микросхемы памяти на ЭСЛ-элементах могут иметь выходы с открытым эмиттером. В большинстве случаев такой выход образует схема эмиттерного повторителя без резистора нагрузки. Микросхемам с открытыми эмиттерными выходами присущи те же особенности, что и микросхемам с открытыми коллекторными выходами.

Структуры и функциональные узлы микросхем динамических ОЗУ. Типичный вариант реализации микросхемы динамического ОЗУ представлен на рис. 1.8 структурной схемой, принадлежащей микросхеме К565РУ6 информационной емкостью 16К×1 бит. В схему входят матрица накопителя, содержащая 16 384 элементов памяти, которые расположены на пересечениях 128 строк и 128 столбцов, 128 усилителей считывания и регенерации, дешифраторы кода адреса строк и столбцов, устройство ввода-вывода, устройство управления и адресный регистр.

Матрица накопителя разделена на две части по 64×64 ЭП в каждой. Между ними размещены усилители так, что каждый столбец оказывается состоящим из двух секций, подключенных к разным плечам усилителя. Фрагмент функциональной схемы матрицы накопителя показан на рис. 1.9.

Элемент памяти (рис. 1.10) состоит из запоминающего конденсатора C_{ij} и ключевого транзистора VT_{ij}. При наличии на адресной шине строки сигнала $X_i=1$ ключевой транзистор открывается и подключает конденсатор C_{ij} к разрядной шине. Предварительно емкости полушин $C_{ША}$ и $C_{ШВ}$ заряжаются источником напряжения U_0 через открытые транзисторы VT5 и VT6. При обращении к накопителю эти транзисторы закрываются и изолируют полушины A_j и B_j от источника напряжения U_0.

Запоминающий конденсатор C_{ij} выбранного ЭП подключается через открытый транзистор VT_{ij} к полушине A_j и изменяет ее потенциал. Однако это изменение незначительно, так как емкость конденсатора много меньше емкости шины. Поэтому для индикации малого изменения потенциала шины при считывании информации применен высокочувствительный дифференциальный усили-

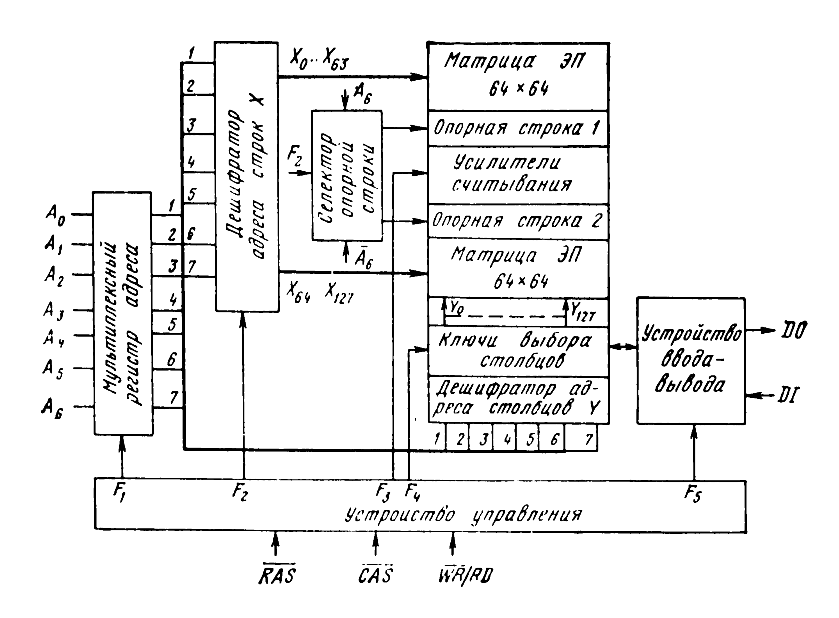


Рис. 1.8. Структура микросхемы динамического ОЗУ

тель триггерного типа на транзисторах VT1—VT4. Усилители имеются в каждом столбце, и включены они в середину разрядных шин, как показано на рис. 1.8 и 1.9.

Накопитель имеет в своей структуре две опорные строки, по одной строке в каждой полуматрице. На пересечении опорной строки и каждого столбца размещен опорный элемент (ЭО). Он устроен аналогично элементу памяти и предназначен поддерживать опорное напряжение U_0, с которым усилитель сравнивает потенциал полушины с выбранным элементом памяти. Уровень опорного напряжения находится между уровнями, которые может иметь потенциал полушины после считывания заряда с выбранного запоминающего конденсатора. Поэтому при сравнении получится разность потенциалов положительного или отрицательного знака и в зависимости от этого усилитель-триггер примет одно из двух возможных состояний.

В режиме считывания процессы в накопителе протекают в следующей последовательности. Если выбрана для обращения строка верхней полуматрицы X_i, то сигнал старшего разряда A_6 кода адреса строк коммутирует в селекторе опорной строки (ОС) цепь через транзистор VT12 для сигнала F_2 к OC_2, расположенной в нижней полуматрице. Таким образом, к усилителю каждого из 128 столбцов с разных сторон подключены ЭП и ЭО. Поскольку потенциал полушины с ЭП отличается от опорного, то в проводимости транзисторов разных плеч усилителя-триггера появляется асимметрия, которая при включении питания сигналом F_3 вызывает опрокидывание триггера по преобладающему уровню. В результате на входах-выходах A и B триггера формируются полные уровни напряжений, соответствующие состояниям лог. 1 и лог. 0. Тот из сиг-

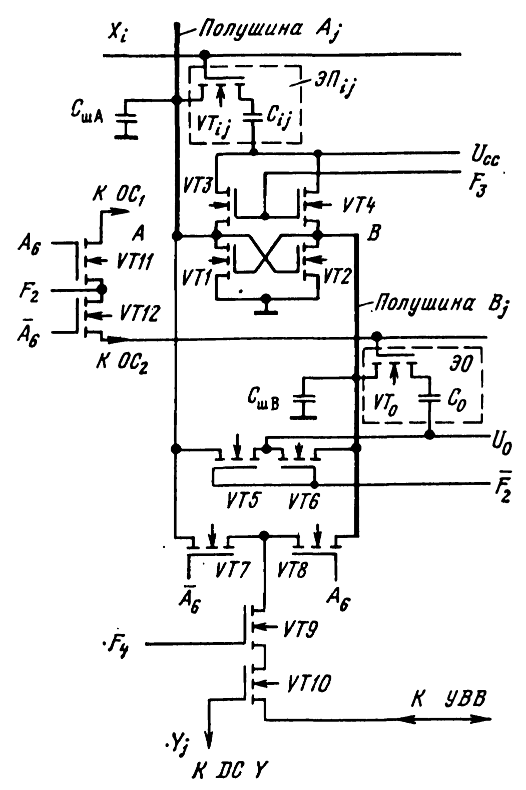


Рис. 1.9. Фрагмент схемы накопителя динамического ОЗУ

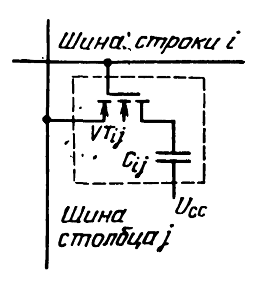


Рис. 1.10. Элемент памяти динамического ОЗУ

налов, который отражает считываемую информацию (в примере на рис. 1.9 — это сигнал с плеча А), коммутируется на вход УВВ через транзисторы VT7, VT9, VT10, открываемые сигналами $\bar{A}_6$, F_4 и Y_j. Очевидно, считан может быть только один сигнал с выбранного дешифратором столбца: $Y_j=1$. У остальных столбцов ключевые транзисторы VT10 закрыты. Сигнал F_4 зависит от наличия сигнала $\overline{\text{CAS}}$ (об этом сигнале речь пойдет ниже): при отсутствии названного сигнала F_4 не формируется и транзистор VT9 закрыт.

Сигнал на входе-выходе А усилителя-триггера выполняет также функцию восстановления уровня заряда запоминающего конденсатора C_{ij}, т. е. функцию регенерации информации. Причем эта операция осуществляется во всех элементах памяти выбранной строки одновременно.

Таким образом, при каждом обращении к матрице для считывания информации автоматически осуществляется регенерация состояний всех элементов памяти выбранной строки.

Одной из характерных особенностей микросхем динамических ОЗУ является мультиплексирование адресного кода, обусловленное ограниченным числом выводов корпуса. Например, в рассматриваемой микросхеме К565РУ6 для ввода 14-разрядного кода адреса, необходимого для адресации 16К элементов па-

мяти, предусмотрены только семь адресных выводов. Код адреса в микросхему вводят по частям: вначале семь младших разрядов $A_0 \dots A_6$, сопровождая их стробирующим сигналом $\overline{RAS}$, затем семь старших разрядов $A_7 \dots A_{13}$ со стробирующим сигналом $\overline{CAS}$. Внутри микросхемы коды адреса строк и столбцов через мультиплексор заносятся в адресный регистр (рис. 1.8), затем дешифрируются. Полученные на выходах дешифраторов сигналы выбирают адресуемый элемент памяти.

Для формирования внутренних сигналов $F_1 \dots F_4$, управляющих включением и выключением в определенной последовательности функциональных узлов микросхемы, в ее структуре предусмотрено устройство управления, для которого входными являются сигналы $\overline{RAS}$, $\overline{CAS}$, $\overline{WR}/RD$.

Ввод и вывод одного бита информации осуществляет УВВ. В режиме записи вводимый бит фиксируется на триггере-защелке. Во всех режимах, кроме считывания, выход находится в Z-состоянии.

Микросхемы динамических ОЗУ имеют более сложное управление, чем микросхемы статических ОЗУ. Это объясняется необходимостью организации принудительной регенерации хранимой информации, осуществляемой с помощью специально предусматриваемых внешних устройств. В режиме регенерации микросхема недоступна для обращения к ней по информационным входам и выходам, так как работает она в это время только на себя, считывая и записывая по тому же адресу хранящиеся в накопителе данные. Регенерация элементов памяти всего накопителя занимает примерно 3% общего времени работы микросхемы. Таким образом, микросхемы динамических ОЗУ работают в режимах записи, хранения, считывания и регенерации информации. Условия реализации указанных режимов представлены в табл. 1.3.

При сопоставлении таблиц истинности микросхем статических и динамических ОЗУ можно увидеть различие в составе сигналов управления. У микросхем динамических ОЗУ нет сигнала C. Его функции выполняют сигналы $\overline{RAS}$ и $\overline{CAS}$. Доступ к накопителю при обращении к микросхеме для записи и считывания данных обеспечиваются при $\overline{RAS}=\overline{CAS}=0$. При регенерации микросхема находится в состоянии изоляции от информационного входа и выхода благодаря сигналу $CAS=1$. В этом режиме при $\overline{RAS}=0$ адресуют только строки,

Таблица 1.3. **Таблица истинности микросхемы К565РУ6**

$\overline{RAS}$	$\overline{CAS}$	$\overline{WR}/RD$	A	DI	DO	Режим работы
1	1	X	X	X	Z	Хранение
1	0	X	X	X	Z	«
0	1	X	A	X	Z	Регенерация
0	0	0	A	D	Z	Запись
0	0	1	A	X	D	Считывание

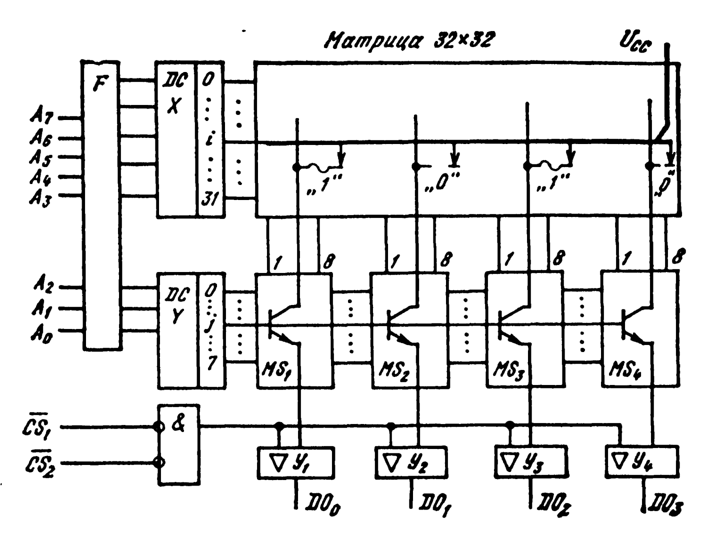


Рис. 1.11. Структура биполярной микросхемы МПЗУ

поскольку информация восстанавливается во всех ЭП строки одновременно, так что в адресации столбцов нет необходимости. Перебирая адреса строк, внешнее устройство регенерации обеспечивает восстановление информации во всем накопителе.

Устройство микросхем МПЗУ и ППЗУ. Микросхемы МПЗУ изготавливают по биполярной ТТЛ-, ТТЛШ-технологии, а также по *n*МДП-, *p*МДП- и КМДП-технологии. Принцип построения большинства микросхем одинаков и может быть представлен структурной схемой на рис. 1.11. Ее основными элементами являются: матрица накопителя, дешифраторы строк и столбцов (DCX, DCY), селекторы (ключи выбора столбцов) $MS_1 ... MS_4$, адресный формирователь F, усилители считывания. Накопитель состоит из массива перемычек (резистивных, диодных или транзисторных), сформированных на пересечениях строк и столбцов. Перемычки выполняют функции элементов памяти: наличие перемычки соответствует лог. 1, ее отсутствие — лог. 0.

Программирование микросхемы МПЗУ осуществляют в процессе изготовления микросхемы путем формирования перемычек в накопителе в тех пересечениях строк и столбцов, в которых нужно записать лог. 1.

Матрица накопителя в схеме на рис. 1.11 состоит из 32 строк и 32 столбцов. Каждая строка образована транзистором с 32 эмиттерами по числу столбцов. Коллекторы всех транзисторов соединены с выводом для подключения источника питания. Базы транзисторов являются строками матрицы. Они подключены к выходам дешифратора адреса строк. Эмиттеры могут иметь соединение перемычкой с разрядной шиной (столбцом) или не иметь такого соединения.

Разрядные шины образуют четыре группы по восемь шин в каждой, подключенных ко входам селектора. Под управлением выходного сигнала дешифратора столбцов DCY селекторы выбирают одну из восьми разрядных шин

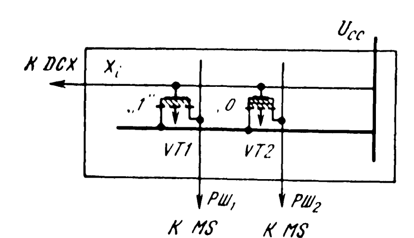


Рис. 1.12. Элементы памяти МДП-микросхем МПЗУ

своей группы и коммутируют ее на выход. На выходе каждого селектора включен усилитель считывания, управляемый сигналами $\overline{CS}_1$ и $\overline{CS}_2$. При состоянии этих сигналов лог. 0 усилители открыты для считывания информации, при любых других состояниях указанных сигналов усилители будут закрыты и иметь на своих выходах уровни лог. 1.

Адресный формирователь F служит для согласования схем на кристалле с внешними цепями. В него записывается адресный код, прежде чем поступить на входы дешифраторов.

Рассматриваемая микросхема МПЗУ, как и все другие микросхемы ПЗУ, имеет словарную организацию. Ее накопитель содержит 256 четырехразрядных ячеек памяти. Содержимое каждой ЯП определяется наличием и отсутствием перемычек в ее элементах.

Обращение к ячейке памяти для считывания осуществляют восьмиразрядным кодом адреса при наличии сигналов разрешения доступа к выходам микросхемы $\overline{CS}_1=0$ и $\overline{CS}_2=0$.

В микросхемах МПЗУ, изготовленных по МДП-технологии, элементами памяти являются МДП-транзисторы с каналом *n*- или *p*-типа. Транзисторы размещены на пересечениях строк и столбцов матрицы накопителя. Программирование таких микросхем осуществляют либо по способу формирования перемычек, когда транзистор подключается к столбцу, либо по способу формирования МДП-транзисторов с двумя порогами отпирания: низким и высоким. В накопителях микросхем, изготавливаемых по второму способу, все транзисторы соединены с шинами строк и столбцов, как показано на рис. 1.12, но имеют разную толщину подзатворного диэлектрика и, следовательно, разное пороговое напряжение: более низкое у транзистора VT1, что соответствует состоянию лог. 1, и более высокое у транзистора VT2, что соответствует лог. 0. При возбуждении строки X_i напряжением считывания, значение которого лежит между двумя пороговыми уровнями, транзистор VT1 открывается, а транзистор VT2 остается в закрытом состоянии. В результате на разрядную шину $РШ_1$ передается потенциал высокого уровня, а состояние шины $РШ_2$ не изменяется. Это различие в потенциалах разрядных шин выходные формирователи трансформируют в стандартные уровни напряжений лог. 1 и лог. 0.

Программирование микросхем МПЗУ осуществляют однократно. Очевидно, эти микросхемы памяти обладают свойством энергонезависимости, поскольку схема соединений или пороговые напряжения транзисторов не зависят от режима питания и работы микросхемы. Благодаря этому свойству микросхемы МПЗУ широко применяют в качестве носителей постоянных программ, подпро-

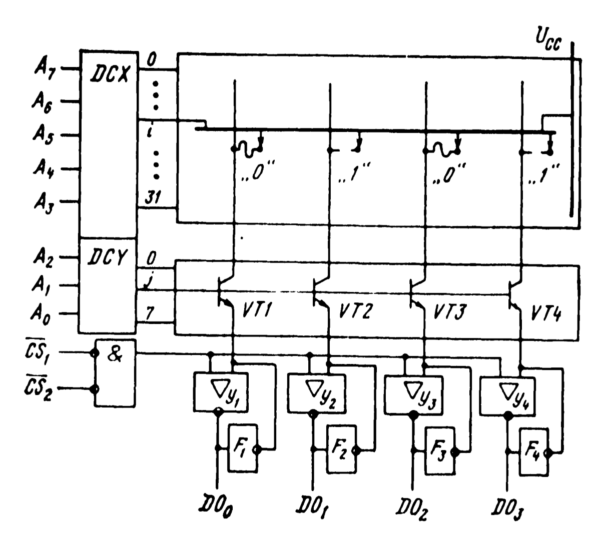


Рис. 1.13. Структура микросхемы ППЗУ

грамм, кодов физических констант, трансляторов, постоянных коэффициентов и т. д.

Микросхемы ППЗУ по принципу построения и функционированию похожи на микросхемы МПЗУ, но имеют ряд отличий, обусловленных тем, что программирование этих микросхем осуществляет сам пользователь.

Типичный вариант реализации микросхемы ППЗУ представлен на рис. 1.13. Для примера выбрана микросхема К556РТ4 емкостью 256×4 бит. Во всех основных элементах она повторяет структуру микросхемы МПЗУ, но имеет дополнительные устройства $F_1 \ldots F_4$ для формирования тока программирования.

В исходном для программирования состоянии матрица накопителя содержит однородный массив проводящих перемычек, соединяющих строки и столбцы во всех точках их пересечений. Перемычки изготавливают из легкоплавких токопроводящих низкоомных материалов: нихрома, титан-вольфрама (в микросхемах серии К556), поликристаллического кремния (в микросхемах серии К541), силицида платины (в микросхемах серии К1608) и других материалов.

Перемычка в накопителе выполняет функции элемента памяти. Наличие перемычки соответствует состоянию лог. 1, если выходной усилитель-формирователь является повторителем. У многих микросхем на выходах установлены формирователи-инверторы. В таких микросхемах наличие перемычки соответствует лог. 0. Следовательно, микросхема ППЗУ до программирования в зависимости от типа выходного усилителя-формирователя может иметь заполнение накопителя либо нулями, либо единицами.

Программирование микросхемы заключается в пережигании перемычек в тех элементах накопителя, в которых необходимо изменить значение исходного бита информации. Это означает, что в накопитель с заполнением лог. 1 путем пережигания перемычек записывают лог. 0, а в накопитель, заполненный лог. 0, пережиганием перемычек записывают лог. 1.

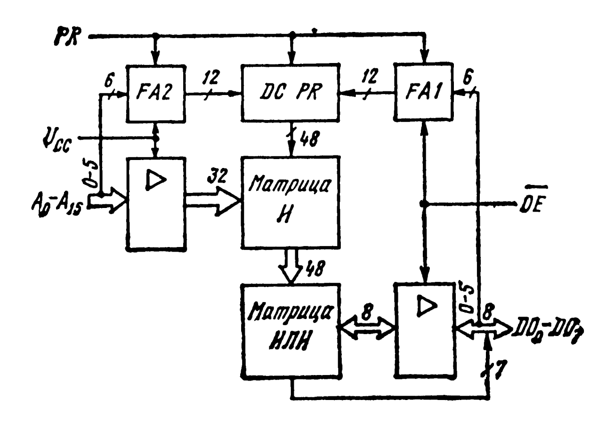


Рис. 1.14. Структура микросхемы ПЛМ

Работа запрограммированной микросхемы ППЗУ не отличается от работы микросхемы МПЗУ.

Разновидностью микросхем ППЗУ являются программируемые логические матрицы (ПЛМ). Структура микросхемы ПЛМ (рис. 1.14) включает операционную и программирующую части. Операционная часть состоит из матрицы логических элементов И, матрицы логических элементов ИЛИ, входных и выходных усилителей. Программирующая часть состоит из адресных формирователей FA1, FA2 и дешифратора кода адреса программирования DCPR.

Основу ПЛМ (рис. 1.15) составляют матрицы И и ИЛИ. Матрица И выполняет операции конъюнкции над 16 входными переменными и их иверсными значениями, которые поступают на строчные шины матрицы. Требуемые логические произведения формируются на шинах столбцов путем выжигания ненужных перемычек между строками и столбцами (на рис. 1.15 оставленные

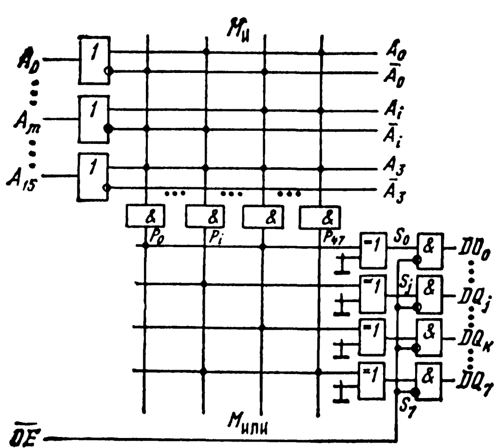


Рис. 1.15. Функциональная схема ПЛМ

перемычки указаны точками). Число столбцов равно 48, следовательно, на выходе матрицы И можно получить до 48 логических произведений, в каждое из которых может входить до 16 переменных и их инверсий.

Матрица ИЛИ выполняет операцию дизъюнкции над логическими произведениями, сформированными на выходах матрицы И. Число выходов матрицы ИЛИ равно восьми, следовательно, она способна сформировать до восьми логических сумм, в каждую из которых может входить до 48 логических произведений. Таким образом, функциональные возможности ПЛМ можно характеризовать числом точек коммутации. В рассматриваемом примере это число равно 1920.

Программирование микросхем ПЛМ осуществляют в три этапа: вначале перемычки пережигают в матрице И, затем в матрице ИЛИ и на заключительной стадии — в схемах выходных усилителей. Эти усилители в зависимости от состояний перемычек могут передавать значение выходной функции в прямой или инверсной форме представления.

Программирование микросхем ПЛМ, как и микросхем ППЗУ, выполняют однократно с помощью функциональных узлов, размещенных в кристалле в составе программирующей части, управляемой сигналом PR.

Широкое применение получают микросхемы ПЛМ, программируемые по способу заказного фотошаблона на заводе-изготовителе. Такие ПЛМ являются разновидностью масочных ПЗУ.

Устройство микросхем РПЗУ. Основная отличительная особенность микросхем РПЗУ заключается в их способности к многократному (от 10 до 10 тыс.) перепрограммированию, которое осуществляет пользователь. Это свойство микросхемы имеют благодаря применению элементов памяти с возможностью управляемой перемычки. Функции таких элементов памяти выполняют транзисторы со структурой МНОП (Металл Al — Нитрид кремния Si_3N_4 — Окисел кремния SiO_2 — Полупроводник Si) или транзисторы со структурой ЛИЗМОП (Металл — Окисел кремния — Полупроводник с Лавинной Инжекцией Заряда).

Микросхемы РПЗУ подразделяют на две группы: стираемые электрическим сигналом (ЭСППЗУ) и стираемые УФ излучением (СППЗУ).

Микросхемы ЭСППЗУ содержат элементы памяти типа МНОП или ЛИЗМОП с двойным затвором. В микросхемах СППЗУ применен также ЛИЗМОП-элемент памяти с двойным затвором, отличающийся от аналогичных ЭП в микросхемах ЭСППЗУ тем, что требует для стирания УФ излучение.

Элемент памяти со структурой МНОП представляет собой МОП-транзистор с индуцированным каналом *n*- или *p*-типа (рис. 1.16, *а*), имеющий двуслойный диэлектрик под затвором. Верхний слой сформирован из нитрида кремния, нижний — из окисла кремния, причем нижний слой значительно тоньше верхнего.

Если к затвору относительно подложки приложить импульс напряжения положительной полярности с амплитудой 30 ... 40 В, то под действием сильного электрического поля между затвором и подложкой электроны получат достаточную энергию, чтобы преодолеть тонкий диэлектрический слой и попасть на границу раздела двух диэлектриков. Поскольку верхний слой имеет значительную толщину, то электроны не могут его пройти и накапливаются внутри подзатворного слоя.

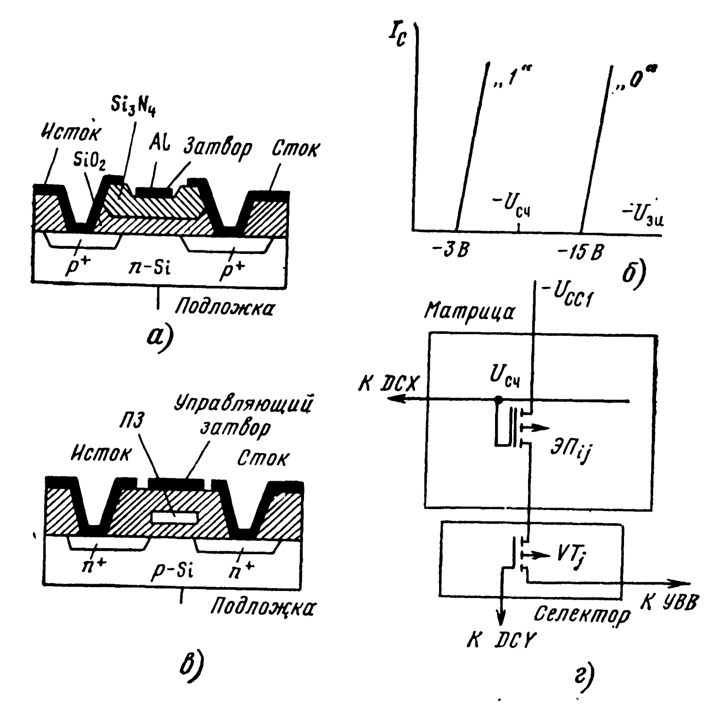


Рис. 1.16. Элементы памяти РПЗУ:

а — со структурой МНОП; *б* — передаточная характеристика МНОП-транзистора; *в* — ЭП со структурой ЛИЗМОП с двойным затвором; *г* — расположение ЭП в накопителе

Накопленный под затвором заряд эллектронов снижает пороговое напряжение МНОП-транзистора и тем самым смещает передаточную характеристику влево (рис. 1.16, *б*). Состояние ЭП с зарядом под затвором соответствует лог. 1. Состояние ЭП без заряда под затвором соответствует лог. 0. В этом состоянии передаточная характеристика МНОП-транзистора занимает положение с более высоким порогом отпирания.

Процесс программирования микросхем ЭСППЗУ происходит в два этапа. На первом этапе стирают информацию во всех МНОП-элементах памяти. Для этого импульсом напряжения отрицательной полярности, прикладываемым на затвор относительно подложки, с амплитудой 30 ... 40 В электроны вытесняются из подзатворного диэлектрика в подложку. Следовательно, при стирании информации элемент памяти получает состояние лог. 0. На втором этапе производят выборочную запись в нужные ЭП лог. 1 импульсом напряжения положительной полярности, подаваемым на затвор относительно подложки.

На практике режимы стирания и записи осуществляют напряжением одной полярности: отрицательной для *p*МНОП-элементов и положительной для *n*МНОП-элементов памяти. Эта возможность основана на использовании явления лавинной инжекции электронов под затвор, которая происходит при соединении затвора с подложкой и подаче на сток и исток импульса напряжения от-

носительно подложки и затвора такой полярности, чтобы переходы между подложкой и стоком, истоком оказались под обратным смещением. Амплитуда импульса должна быть достаточной для возникновения в переходах электрического пробоя. Типичные значения напряжения программирования лежат в пределах 20 ... 30 В.

В результате электрического пробоя переходов в них происходит лавинное размножение носителей заряда и инжекция части этих носителей, обладающих достаточной кинетической энергией, на границу между слоями подзатворного диэлектрика.

При считывании на затвор подают напряжение $U_{сч}$, значение которого лежит между двумя пороговыми уровнями. Если в МНОП-транзистор записана единица, то он откроется, а при нуле останется в закрытом состоянии. В зависимости от этого, как видно из рис. 1.16, *г*, в разрядной шине либо будет протекать ток на выход, либо нет. Усилитель считывания трансформирует состояние шины в сигнал с уровнем лог. 0 или лог. 1 на выходе микросхемы.

Микросхемы с элементами памяти на *р*МНОП-транзисторах имеют сравнительно низкое быстродействие, высокое напряжение программирования 30 ... ... 40 В и требуют двух источников питания.

Для улучшения характеристик микросхем ЭСППЗУ широко применяют технологию *п*-канальных МНОП-структур. Такие элементы памяти устроены аналогично рассмотренным, но имеют обратный тип проводимости подложки, стока и истока. Микросхемы на *п*МНОП-транзисторах обладают втрое превосходящим быстродействием, сниженным до 21 ... 25 В напряжением программирования и работают от одного источника питания.

Элемент памяти на транзисторе ЛИЗМОП с двойным затвором показан на рис. 1.16, *в*. Он представляет собой *п*-канальный МОП-транзистор, у которого в подзатворном однородном диэлектрике окисла кремния сформирована изолированная проводящая область из металла или поликристаллического кремния. Этот затвор получил название «плавающий», поскольку при наведении на нем электрического заряда его потенциал может изменяться в широких пределах, т. е. быть «плавающим».

В режиме программирования на управляющий затвор, исток и сток подают импульс напряжения программирования положительной полярности с амплитудой 21 ... 25 В. В обратносмещенных переходах сток—подложка и исток—подложка возникает процесс лавинного размножения носителей заряда и часть электронов инжектирует на плавающий затвор. В результате накопления на нем отрицательного заряда передаточная характеристика транзистора смещается вправо, т. е. в область более высокого порогового напряжения, что соответствует записи в элемент памяти лог. 0.

Стирание записанной информации осуществляют вытеснением заряда с плавающего затвора. Эту процедуру выполняют двумя способами: в микросхемах ЭСППЗУ — импульсом напряжения на управляющем затворе положительной полярности, а в микросхемах СППЗУ — с помощью УФ излучения, под воздействием которого в результате усиления теплового движения электроны рассасываются с плавающего затвора, перемещаясь в подложку. Состояние ЛИЗМОП-элемента памяти без заряда на плавающем затворе соответствует лог. 1.

В этом состоянии транзистор имеет более низкий пороговый уровень, т. е. его передаточная характеристика смещается влево.

В режиме считывания микросхемы РПЗУ с элементами памяти на ЛИЗМОП-структурах работают так же, как микросхемы с МНОП-элементами памяти.

Микросхемы РПЗУ относятся к группе энергонезависимых. При отсутствии достаточно высоких напряжений, какими являются напряжения программирования, состояния элементов памяти на МНОП- и ЛИЗМОП-транзисторах могут оставаться неизменными длительное время как при наличии питания, так и при его отсутствии. Например, для микросхемы СППЗУ К573РФ6 гарантийный срок сохранения информации без питания составляет пять лет.

Устройство, принцип действия микросхем СППЗУ и ЭСППЗУ и режимы управления их работой во многом аналогичны. Рассмотрим принцип построения ЭСППЗУ на примере микросхемы КР1601РР3 информационной емкостью 2К×8 бит. В этой микросхеме элементами памяти являются *р*-канальные МНОП-транзисторы.

Структурная схема (рис. 1.17) содержит все функциональные узлы, необходимые для обеспечения работы микросхемы в качестве ПЗУ: матрицу накопителя с элементами памяти, дешифраторы кода адреса строк и столбцов, селектор (ключи выбора столбцов), устройство ввода-вывода. В структуре микросхемы предусмотрены также функциональные узлы, с помощью которых осуществляется программирование, т. е. реализуются режимы стирания и записи информации: коммутаторы режимов, формирователи импульсов напряжений требуемой амплитуды и длительности. Для управления работой микросхем РПЗУ применяют полностью или частично следующие сигналы: $\overline{CS}$ — выбор микросхемы, $\overline{OE}$ — разрешение выхода, $\overline{PR}$ — разрешение программирования,

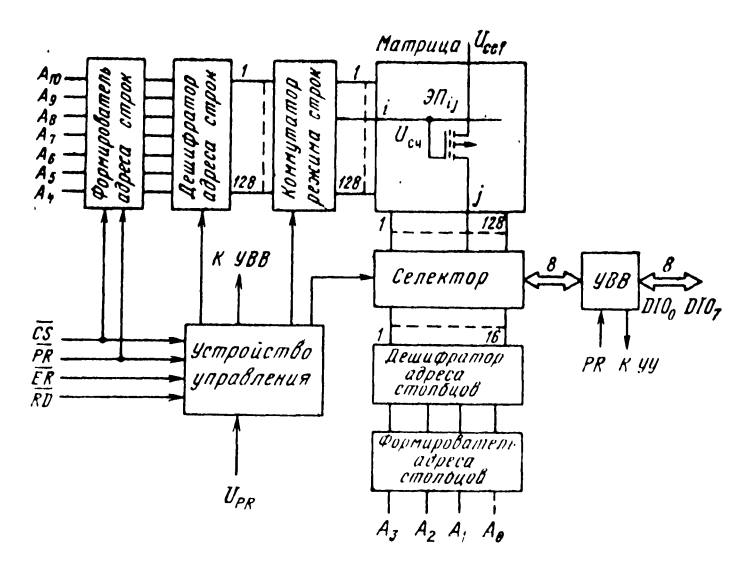


Рис. 1.17. Структура микросхемы ЭСППЗУ

$\overline{ER}$ — стирание. Для программирования микросхемы нуждаются в дополнительном источнике напряжения U_{PR}.

Накопитель с матричной организацией содержит массив элементов памяти, размещенных на пересечениях 128 строк и 128 столбцов. Всего в накопителе находится 16 384 элемента памяти. Управление накопителем осуществляют семью старшими разрядами $A_4 \ldots A_{10}$ адресного кода. Им выбирают строку, в которой находится 128 элементов памяти или 16 восьмиразрядных ячеек памяти. Информационные сигналы, считанные с элементов памяти выбранной строки, поступают на входы селектора, назначение которого состоит в выборе одного из 16 слов (байт). Селектором управляют четыре младших разряда $A_0 \ldots A_3$ адресного кода. Выбранное селектором восьмиразрядное слово поступает в УВВ и далее на выход микросхемы.

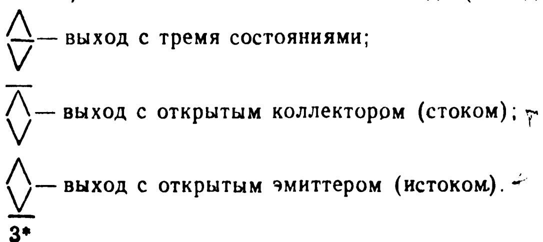
Устройство управления под воздействием внешних сигналов обеспечивает работу микросхемы в одном из следующих режимов: хранения, считывания, стирания, записи (при программировании). Многие микросхемы ЭСППЗУ допускают избирательное стирание информации (по адресу).

Микросхемы СППЗУ имеют аналогичную структурную схему с тем исключением, что в них нет режима стирания электрическим сигналом и, следовательно, соответствующих функциональных узлов и элементов. Для стирания микросхема СППЗУ помещается в камеру с источником ультрафиолетового излучения. Для проникновения УФ лучей к кристаллу в крышке корпуса имеется прозрачное кварцевое окно. Время стирания составляет 30 ... 60 мин. Микросхемы ЭСППЗУ имеют значительно меньшее время стирания информации, составляющее доли секунды.

1.3. Условные графические обозначения микросхем памяти

Микросхема памяти как элемент функциональных и принципиальных схем электрических устройств имеет условное графическое обозначение, вид и содержание символов которого определяет стандарт ГОСТ 2.743—82. На рис. 1.18 представлены примеры таких обозначений микросхем статического ОЗУ с одноразрядной организацией (рис. 1.18, *а*), со словарной организацией и совмещенными входами-выходами (рис. 1.18, *б*), микросхемы динамического ОЗУ (рис. 1.18, *в*), микросхемы МПЗУ (рис. 1.18, *г*), ППЗУ (рис. 1.18, *д*), РПЗУ (рис. 1.18, *е*).

Условное графическое обозначение содержит три поля. В среднем поле помещено обозначение вида микросхемы памяти и данные о ее информационной емкости в битах. На левом поле помещены символы, указывающие на назначение выводов и подводимых к ним сигналов. На правом поле помещены обозначения выводов и соответствующих им подводимых или отводимых сигналов, а также обозначение типа выхода (выходов):



— выход с тремя состояниями;

— выход с открытым коллектором (стоком);

— выход с открытым эмиттером (истоком).

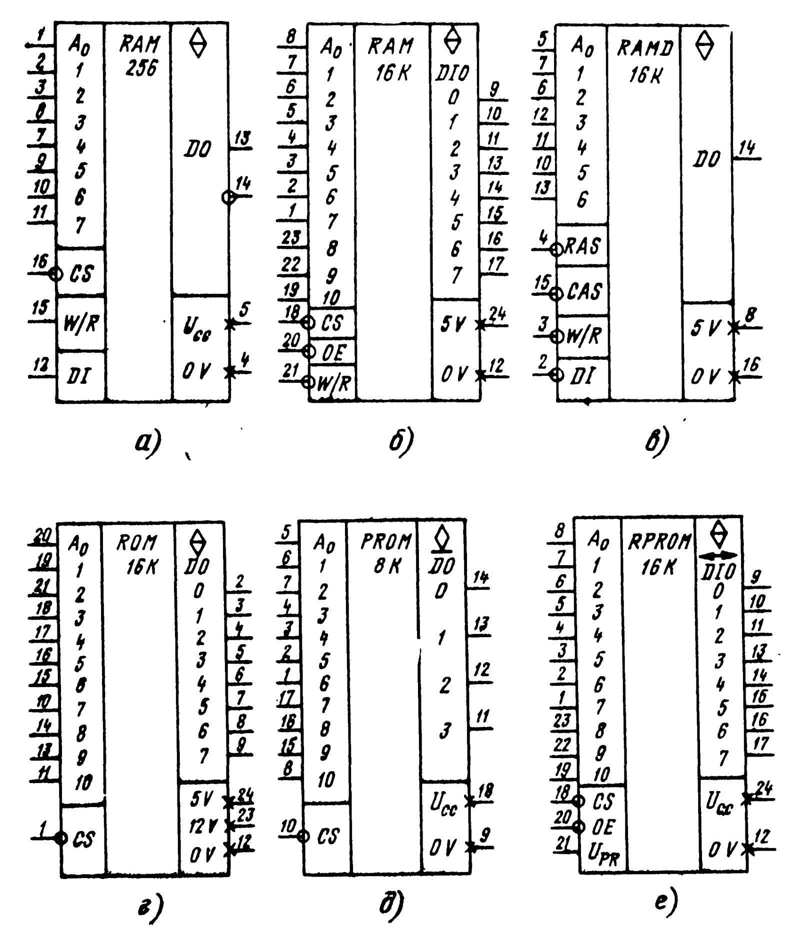


Рис. 1.18. Условные графические обозначения микросхем памяти:
а — статическое ОЗУ с одноразрядной организацией; *б* — статическое ОЗУ со словарной организацией и совмещенными входами-выходами; *в* — динамическое ОЗУ; *г* — масочное ПЗУ; *д* — программируемое ПЗУ; *е* — репрограммируемое ПЗУ

На правом поле могут быть помещены выводы для подключения источников питания, напряжения программирования, общей шины (корпуса). Эти и подобные им выводы обозначаются как не несущие логической информации.

Все выводы микросхемы, имеющие определенное функциональное назначение, должны обозначаться латинскими буквами, взятыми из английских слов, отражающих данное функциональное назначение. Причем буквенные символы, помещенные на левое и правое поля, не должны иметь знака инверсии (черты над обозначением). Инверсные входные и выходные выводы обозначаются графическим указателем инверсии (кружком). В зависимости от наличия или отсутствия этого графического знака определяется активный уровень соответст-

вующего сигнала. Например, если указатель инверсии помещен на входе CS, то соответствующий этому входу сигнал следует обозначать как инверсный $\overline{CS}$. В этом обозначении содержится указание на то, что активным уровнем сигнала, при котором выполняется определенная функция (в данном случае — выбор микросхемы), является низкий уровень, соответствующий логическому состоянию 0.

При определении активного уровня сигнала следует учитывать, какое соответствие установлено между физическим уровнем сигнала (напряжения) и логическими состояниями 0 и 1. Стандарт ГОСТ 2.743—82 определяет так называемые соглашения положительной и отрицательной логики. По соглашению положительной логики высокий физический уровень сигнала (более положительный или менее отрицательный) соответствует логическому состоянию 1, а низкий (менее положительный или более отрицательный) — состоянию 0. Высокий уровень сигнала обозначают буквой H, а низкий — буквой L.

В соглашении отрицательной логики принято обратное соответствие между физическими уровнями сигнала и логическими состояниями 0 и 1.

В данной книге все случаи использования обозначений 0 и 1 соответствуют соглашению положительной логики. Там, где это соответствие нарушается, использованы обозначения H и L для указания только физического уровня рассматриваемых сигналов.

Сигналы и соответствующие им выводы микросхем можно подразделить на адресные, информационные и управляющие. Обозначения сигналов и выводов микросхем памяти, соответствующие действующим стандартам ГОСТ 19480—89 и ГОСТ 2.743—82, приведены в табл. 1.4 [14, 15]. В данной книге использован вариант международных обозначений ввиду его широкого применения в технических изданиях, справочной литературе и в нормативно-технической документации.

1.4. Параметры микросхем памяти

Для характеристики возможностей микросхем памяти по их функциональному предназначению используют такие показатели, как информационная емкость, разрядность хранимых слов и адресного кода, организация накопителя и микросхемы в целом, число циклов перепрограммирования (для микросхем РПЗУ).

Различного рода расчеты и обоснования схемотехнических решений производят с помощью электрических параметров. Для количественной оценки эксплуатационных свойств микросхем служат параметры, определяющие надежность и устойчивость микросхем к внешним механическим, энергетическим и климатическим воздействиям.

Информационную емкость микросхемы памяти определяют числом единиц информации (бит), которое может одновременно хранить накопитель микросхемы памяти. Количественно информационную емкость характеризуют следующими единицами: бит, байт (один байт равен восьми битам), Кбит ($K = 2^{10} = 1024$), Кбайт $= 1\ K \times 8$ бит, Мбит (байт), где $M = 2^{10}\ K = 2^{20}$. Очевидно, информационная емкость микросхемы зависит от числа элементов памяти в ее накопителе.

Таблица 1.4. **Обозначения сигналов (выводов) микросхем памяти**

Наименование сигнала	Обозначение	
	международное	отечественное
Адрес	A	а
Тактовый	C	т
Строб	ST	ст
Выбор адреса столбца (колонки)	CAS	в. а. к
Выбор адреса строки	RAS	в. а. с
Выбор кристалла (микросхемы)	CS	в. м
Разрешение	E	р
Запись	WR	зп
Считывание	RD	сч
Запись-Считывание	WR/RD	зп/сч
Разрешение выхода	OE	р. вых
Информация (данные)	D	и (д)
Входная информация	DI	вх. и
Выходная информация	DO	вых. и
Адрес-Данные	AD	а. д
Адрес-Данные: вход-выход	ADIO	а. д. вх/вых
Входная-Выходная информация	DIO	вх. и/вых. и
Регенерация	REF	рег
Программирование	PR	пр
Стирание	ER	—
Напряжение программирования	U_{PR}	$U_{пр}$
Напряжение питания	U_{cc}	$U_{п}$
Общий	0V	общ

Разрядность слов равна числу двоичных цифр 0 и 1 в коде данных, который в параллельной форме представления можно записать в ячейку памяти накопителя, хранить и считывать. Разрядность слов, следовательно, равна разрядности ячейки памяти, т. е. числу содержащихся в ней элементов памяти, а также числу информационных входов (выходов) микросхемы.

Информационная емкость может быть определена через произведение числа слов, которое можно разместить в накопителе, на разрядность слова. Данное произведение является показателем, характеризующим организацию микросхемы памяти. Например, микросхема статического ОЗУ, приведенная на рис. 1.3, имеет организацию 256×1 бит, т. е. она может хранить 256 одноразрядных слов. Микросхема, показанная на рис. 1.5, имеет организацию 2K×8 бит, т. е. в нее можно записать, хранить и из нее вывести 2048 байт. Емкость этой микросхемы равна 16K бит.

Разрядность m адресного кода $A_0 \dots A_{m-1}$ определяет число адресуемых ячеек памяти, равное 2^m. Таким образом, зная разрядность адресного кода m и число информационных входов (выходов) n, нетрудно определить информационную емкость микросхемы памяти из выражения $2^m \times n$.

Электрические параметры микросхем разделяют на статические и динамические. Статические параметры характеризуют свойства микросхемы в установившемся (статическом) режиме. В состав группы статических параметров входят: напряжение питания, входные и выходные напряжения (токи) высокого и низкого уровней, потребляемые ток и мощность, напряжение программирования и др.

Некоторые статические параметры имеют два значения: одно для режима обращения, другое для режима хранения. Такими параметрами являются напряжение питания, потребляемые ток и мощность.

Термины и буквенные обозначения электрических параметров, соответствующие стандарту ГОСТ 19480—89, приведены в табл. 1.5. В данной книге использованы международные обозначения параметров, так как они широко применяются в технических изданиях, справочной литературе и документации, а кроме того, этим достигается соответствие с обозначениями сигналов и выводов микросхем.

Статические параметры имеют форму представления $X_{K,M,N}$, где X — буквенное обозначение параметра, K — назначение (вид) параметра, M — режим, N — дополнительная информация, например уровень напряжения (тока). В обозначении некоторые из индексов могут быть опущены. Пример: I_{ccs} — ток (I), потребляемый микросхемой в режиме питания (cc) при хранении информации (s).

Значения электрических параметров указывают в сопровождении параметров режима. Этими параметрами определяют значения токов и напряжений на входах и выходах микросхемы, при которых измеряется или рассчитывается данный параметр. Например, значение параметра I_{ccs} приводят вместе со значением напряжения питания. Очевидно, при отсутствии данных о режиме микросхемы нельзя сделать обоснованного заключения о соответствии ее параметров нормам.

В справочниках и технических документах обычно приводят также предельно допустимые и предельные значения параметров режима: напряжений питания, входных и выходных напряжений (токов), емкости нагрузки и др. Отличие предельно допустимых значений параметров режима от предельных заключается в том, что при этих значениях электрические параметры микросхемы не выходят за пределы нормы, а при предельных значениях электрические параметры не регламентированы, но микросхема работоспособности не теряет: после снятия предельного режима и установления нормальных условий эксплуатации микросхема должна иметь все параметры в норме.

Приведем краткую характеристику некоторых параметров, обратившись к рис. 1.19, *а*.

Напряжение питания указывают номинальным значением и допуском на разброс в процентах, например $U_{cc} = 5\ В \pm 10\%$, или в абсолютных значениях, например $U_{cc} = 4{,}5 \dots 5{,}5\ В$. Для некоторых типов микросхем памяти приводят два значения напряжения питания: при обращении и при хранении. Например,

Таблица 1.5. Электрические параметры микросхем памяти

Термин	Обозначение	
	международное	отечественное
Напряжение питания (в режиме хранения)	U_{cc} U_{ccs}	$U_п$ ($U_{п.хр}$)
Входное (Выходное) напряжение низкого уровня	U_{IL}(U_{OL})	$U^0_{вх}$ ($U^0_{вых}$)
Входное (Выходное) напряжение высокого уровня	U_{IH}(U_{OH})	$U^1_{вх}$ ($U^1_{вых}$)
Входной (Выходной) ток низкого уровня	I_{IL}(I_{OL})	$I^0_{вх}$ ($I^0_{вых}$)
Входной (Выходной) ток высокого уровня	I_{IH}(I_{OH})	$I^1_{вх}$ ($I^1_{вых}$)
Ток утечки на входе (выходе)	I_{LI}(I_{LO})	$I_{ут.вх(вых)}$
Напряжение считывания	U_{RD}	$U_{сч}$
Напряжение программирования	U_{PR}	$U_{пр}$
Ток потребления (в режиме хранения)	I_{cc}(I_{ccs})	$I_{пот}$($I_{пот.хр}$)
Потребляемая мощность (в режиме хранения)	P_{cc} (P_{ccs})	$P_{пот}$ ($P_{пот.хр}$)
Входная (Выходная) емкость	C_I(C_O)	$C_{вх}$($C_{вых}$)
Емкость нагрузки	C_L	$C_н$
Помехоустойчивость	M	$U_{пом}$
Время цикла	t_{CY}	$t_ц$
Время записи	t_{CYW}	$t_{зп}$
Время считывания	t_{CYR}	$t_{сч}$
Время выборки	t_A	$t_в$
Время выбора	t_{CS}	$t_{вм}$
Время установления	t_{SU}	$t_{уст}$
Время удержания	t_H	$t_у$
Время сохранения	t_V	$t_{сх}$
Время хранения	t_{SG}	$t_{хр}$
Время восстановления	t_{REC}	$t_{вос}$
Период регенерации	T_{REF}	$T_{рег}$
Длительность сигнала	t_W	τ
Период следования тактовых импульсов	T_C	$T_т$
Время задержки распространения среднее	t_{PAV}	$t_{зд.р.ср}$
Время нарастания сигнала	t_R	$t_{нар}$
Время спада сигнала	t_F	$t_{сп}$

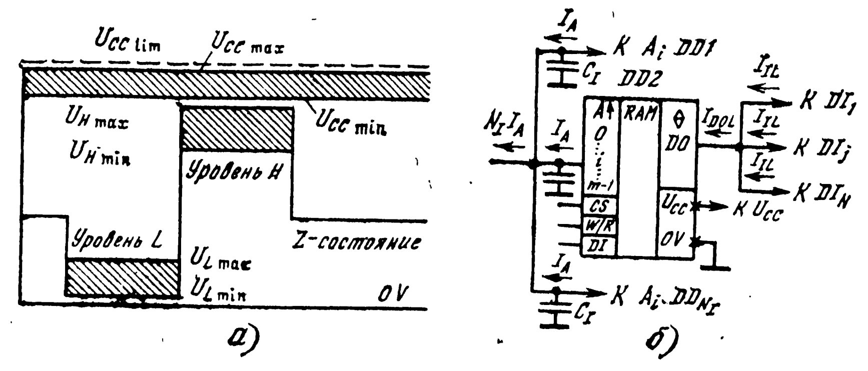


Рис. 1.19. К определению статических параметров микросхем памяти

многие КМДП-микросхемы способны сохранять записанную информацию при пониженном до 2 ... 3 В напряжении питания U_{CCS}.

Напряжения входных и выходных сигналов — информационных (U_{DI}, U_{DO}), адресных (U_A), управляющих (U_{CS}, U_{WR}, U_{OE} и т. д.), указывают для двух логических состояний 0 и 1, причем для сигналов низкого уровня (состояние 0) приводят наибольшие значения, а для сигналов высокого уровня (состояние 1) — наименьшие Например, входные и выходные сигналы ТТЛ-микросхем должны иметь следующие значения напряжений: $U_{DILmax}=0{,}8$ В, $U_{DOLmax}=0{,}4$ В, $U_{DIHmin}=2$ В, $U_{DOHmin}=2{,}4$ В.

Знание указанных параметров позволяет количественно оценить помехоустойчивость микросхемы памяти при низком и высоком уровнях сигналов на конкретном входе, например информационном, с помощью соотношений

$$M_L = U_{DILmax} - U_{Lmax},$$

$$M_H = U_{Hmin} - U_{DIH\,min},$$

где U_{Lmax}, U_{Hmin} — наибольшее значение напряжения низкого уровня и наименьшее значение напряжения высокого уровня соответственно, которые формирует источник сигнала на входе микросхемы. Если таким источником является функциональный узел с ТТЛ-выходом, то указанные значения равны 0,4 и 2,4 В.

Помехоустойчивость микросхемы определяется наибольшим значением мешающего напряжения (помехи) на входе, воздействие которого совместно с полезным сигналом еще не вызывает изменения состояния выхода. В нашем примере, где в расчет приняты ТТЛ-уровни сигналов, допустимое значение напряжения помехи на входе микросхемы равно $M_L = M_H = 0{,}4$ В.

Приведенные соотношения оказываются полезными и при оценке степени совместимости по входным и выходным сигналам микросхем, принадлежащих к разным типам по схемно-технологическому признаку, например микросхем ТТЛ и КМДП.

Большинство микросхем памяти имеет выходы с Z-состоянием. Следует иметь в виду, что напряжение на выходе в этом состоянии не регламентировано.

Значения токов указывают для конкретных входов и выходов микросхемы в соответствии с состоянием сигналов на них, например: ток низкого (высокого) уровня сигнала выходной информации $I_{DOL}(I_{DOH})$, ток низкого (высокого) уровня сигнала входной информации $I_{DIL}(I_{DIH})$, входной ток низкого (высокого) уровня $I_{IL}(I_{IH})$, ток сигнала адреса I_A и т. д. Значения данных параметров необходимы для расчета нагрузочной способности микросхемы по конкретному выходу, например информационному (рис. 1.19, *б*): $I_{DOLmin} \leqslant \leqslant NI_{ILmax}$, где N — число входов микросхем-нагрузок, подключенных к выходу данной микросхемы памяти. Знание входных токов микросхемы позволяет рассчитать нагрузку $N_I I_A$ на выход формирователя сигналов адресного кода, которую образуют N_I объединенных в модуль по одноименным адресным входам микросхем памяти.

Параметры ток I_{cc} и мощность P_{cc} потребления однозначно связаны: $P_{cc} = I_{cc}U_{cc}$. Поэтому обычно указывают значение тока потребления при определенном значении напряжения питания. Для многих микросхем памяти приводят два значения указанных параметров: для режима обращения I_{cc}, P_{cc} и режима хранения I_{ccs}, P_{ccs}. Параметры I_{ccs}, P_{ccs} позволяют оценить экономичность режима энергопотребления микросхем, используемых в устройстве. Для некоторых из них, особенно для КМДП-микросхем, характерно существенное (на несколько порядков) уменьшение потребляемой мощности в режиме хранения по сравнению с режимом обращения.

Параметр U_{PR} определяет значение напряжения сигнала программирования для микросхем ППЗУ и РПЗУ, при котором обеспечивается занесение информации в накопитель.

Динамические параметры характеризуют временные процессы в микросхемах памяти при записи, считывании, программировании, регенерации. В систему динамических (временных) параметров включают длительности сигналов и интервалов между ними (время восстановления), взаимный сдвиг сигналов во времени, необходимый для обеспечения устойчивой работы микросхемы. Перечень динамических параметров значителен и разнообразен, поскольку в управлении микросхемой памяти задействовано несколько сигналов, причем состав и число параметров существенно зависят от вида, а иногда и типа микросхемы, например, микросхема статического ОЗУ К561РУ2 характеризуется восемью временными параметрами, а микросхема динамического ОЗУ К565РУ3 — тридцатью четырьмя.

Приведем краткие характеристики основных динамических параметров, обращаясь для наглядности к временным диаграммам на рис. 1.20, иллюстрирующим процессы в микросхеме статического ОЗУ в динамике ее работы.

Для обозначения временных параметров используют следующий вид записи: $t_{Y(B-C)}$, где Y — вид параметра, B — обозначение сигнала, состояние которого изменяется первым, C — обозначение сигнала, состояние которого изменяется последним, т. е. в конце временного интервала.

При необходимости указанные индексы могут быть дополнены обозначениями направления перехода сигнала: LH — из состояния низкого уровня в состояние высокого уровня, HL — из состояния высокого уровня в состояние низкого уровня, ZL, LZ — из Z-состояния в состояние низкого уровня и обратно, ZH, HZ — из Z-состояния в состояние высокого уровня и обратно.

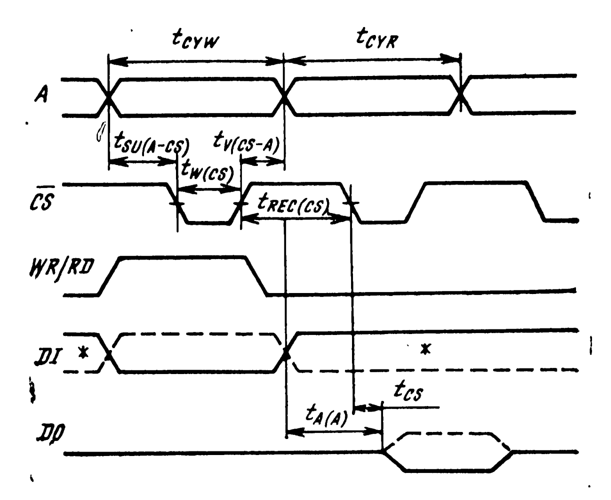


Рис. 1.20. Временные диаграммы сигналов микросхемы ОЗУ

Все многообразие рассматриваемых параметров можно систематизировать, объединив их в несколько групп.

1. Параметры, характеризующие длительность сигнала t_W и интервала между сигналами t_{REC}, например, для сигнала $\overline{CS}$ указанные параметры будут иметь следующую форму записи: $t_{W(CS)}$, $t_{REC(CS)}$.

2. Параметры, характеризующие взаимный сдвиг сигналов во времени:

а) t_{SU} — время установления одного сигнала относительно другого определяется как интервал времени между началами двух сигналов на разных входах микросхемы, например $t_{SU(A-CS)}$ — время установления сигнала $\overline{CS}$ относительно сигналов адреса;

б) t_H — время удержания одного сигнала относительно другого определяется как интервал времени, в течение которого сигнал удерживается на заданном выводе после активного перехода сигнала на другом выводе; например, $t_{H(WR-DI)}$ — время удержания информационного сигнала на входе DI относительно сигнала записи WR;

в) t_V — время сохранения одного сигнала после другого определяется как интервал времени между окончаниями двух сигналов на разных входах микросхемы, например $t_{V(CS-A)}$ — время сохранения сигналов адреса после сигнала выбора $\overline{CS}$;

г) t_A — время выборки определяется интервалом времени между подачей на вход микросхемы заданного сигнала и получением на выходе сигнала информации при условии, что все остальные необходимые сигналы поданы, например $t_{A(A)}$ — время выборки адреса, $t_{A(CS)}$ — время выборки сигнала $\overline{CS}$ (этот параметр получил название «время выбора» и обозначение t_{CS}).

3. Параметры, характеризующие длительность процессов записи (считывания) информации: t_{CY} — время цикла определяется интервалом времени между началами (окончаниями) сигналов на адресных или одном из управляющих

входах, в течение которого микросхема выполняет функцию записи (t_{CYW}) или считывания (t_{CYR}).

Для микросхем динамических ОЗУ введен дополнительный параметр T_{REF} — период регенерации, который определяет максимальный интервал времени между двумя обращениями по каждому адресу для восстановления хранимой информации.

В перечень временны́х параметров микросхем РПЗУ включены такие параметры, как время стирания информации t_{ER}, время хранения информации t_{SG} в заданном режиме, который характеризует способность микросхемы РПЗУ сохранять записанную информацию длительное время.

Обратимся к временны́м диаграммам на рис. 1.20 и кратко опишем работу микросхемы статического ОЗУ (рис. 1.18, *а*) с использованием временны́х параметров. При записи информации вначале подают адресный код $A_0 \ldots A_7$, затем сигнал записи $WR/RD = 1$ и бит информации на вход DI. Доступ к накопителю открывает сигнал $\overline{CS} = 0$, который должен быть установлен на входе CS спустя время $t_{SU(A-CS)}$ относительно момента подачи сигналов кода адреса. Длительность сигнала $\overline{CS}$ определяют параметром $t_{W(CS)}$, а длительность интервала между сигналами $\overline{CS}$-параметром $t_{REC(CS)}$. Сигналы кода адреса необходимо сохранять на время $t_{V(CS-A)}$ после снятия сигнала $\overline{CS}$.

В течение всего цикла записи t_{CYW} выход микросхемы находится в Z-состоянии Для статических ОЗУ длительность цикла записи определяется как сумма длительности сигнала и интервала между сигналами: $t_{CYW} = t_{W(CS)} + t_{REC(CS)}$.

В цикле считывания порядок подачи сигналов сохраняется при $WR/RD = 0$. Время появления сигнала данных на выходе DO определяется параметрами $t_{A(A)}$ и t_{CS}, между которыми имеется следующая зависимость: $t_{A(A)} = t_{CS} + t_{SU(A-CS)}$.

Нередко указывают параметры, характеризующие длительности фронтов воздействующих сигналов: t_R, t_F — время нарастания и спада сигнала соответственно. Параметр t_R определяется интервалом времени нарастания сигнала от уровня 0,1 до момента, окгда выходной сигнал микросхемы впервые достигнет заданного значения. Параметр t_F определяется интервалом времени спада сигнала от уровня 0,9 до момента, когда выходной сигнал впервые достигнет заданного значения.

К группе динамических параметров относят также емкости: входную C_I, выходную C_O, нагрузки Емкости входа (выхода) микросхемы определяют через отношение емкостной реактивной составляющей входного (выходного) тока к произведению круговой частоты на синусоидальное входное (выходное) напряжение при заданном значении частоты сигнала. Следует иметь в виду, что в общем случае емкости различных функциональных входов и выходов не совпадают, хотя и такие случаи встречаются. Поэтому обычно в справочниках приводят емкости для разных выводов микросхем. Емкость нагрузки определяют как суммарную емкость внешних цепей, подключенных к данному выходу микросхемы.

При измерениях и расчетах временны́х параметров задают параметры режима, поскольку длительности сигналов, их взаимные сдвиги, длительности

циклов в значительной степени зависят от напряжений и токов на выводах микросхемы. Наглядным примером может служить зависимость быстродействия КМДП-микросхем от напряжения питания: оно уменьшается практически пропорционально уменьшению напряжения питания.

Следует принимать в расчет также значительную зависимость параметров микросхем от температуры окружающей среды. Обычно справочные данные приводятся с указанием температурного диапазона, в пределах которого они соответствуют нормам.

Группу эксплуатационных параметров составляют диапазон рабочих температур, устойчивость к механическим воздействиям (вибрации, ударам, линейным нагрузкам с ускорением), к климатическим воздействиям (влажности, атмосферному давлению и др.). Параметры этой группы являются общими для всех элементов аппаратуры и требования к ним задают исходя из условий эксплуатации аппаратуры.

Из параметров, характеризующих надежность микросхем, в справочной литературе обычно приводят гарантийную наработку и гарантийный срок хранения. Иногда указывают наработку в облегченных режимах и в условиях эксплуатации.

1.5. Конструктивное оформление микросхем памяти

Конструкция микросхемы памяти состоит из двух основных частей — корпуса и заключенного в него полупроводникового кристалла с элементами и межсоединениями. Корпус предназначен для защиты микросхемы от внешних воздействий, для обеспечения соединений с внешними электрическими цепями с помощью выводов, а также для отвода тепла от кристалла. Корпус в значительной степени определяет надежность микросхемы и технологию ее монтажа на печатную плату.

Некоторая часть микросхем выпускается в бескорпусном исполнении. Для защиты от воздействия среды они защищены слоем компаунда. Эти микросхемы предназначены для установки в микросборки, микроблоки и другие виды изделий модульного типа.

Современные микросхемы памяти конструктивно оформлены в корпуса, вид, размеры и обозначения которых соответствуют одному из трех стандартов: ГОСТ 17467—72, если корпус разработан до 1979 г., ГОСТ 17467—79, если корпус разработан до 1989 г., и действующему стандарту ГОСТ 17467—88 для корпусов, разработанных после 1.01.89 г. [16].

Корпуса, соответствующие первому из названных стандартов, разделены на четыре типа, соответствующие второму стандарту — на пять типов. В соответствии с действующим стандартом корпуса микросхем по конструкции разделены на шесть типов, при этом сохранена преемственность стандартов в отношении типажа корпусов в том смысле, что типы корпусов имеют одинаковое определение.

Корпус первого типа — прямоугольный с выводами, перпендикулярными плоскости основания и расположенными в пределах проекции корпуса. Корпус второго типа отличается тем, что выводы выходят из боковых сторон и изогнуты перпендикулярно плоскости основания. (Корпус типа DIP — Dual Inline

Таблица 1.6. **Корпуса интегральных микросхем**

Тип	Подтип	Форма проекции на плоскость основания	Расположение выводов относительно плоскости основания
1	11	Прямоугольная, рис. 1.21	Перпендикулярное, в один ряд
	12		Перпендикулярное, в два ряда
	13		Перпендикулярное, в три и более рядов
	14		Перпендикулярное, по контуру
	15		Перпендикулярное, в один ряд или в отформованном виде в два ряда
2	21	Прямоугольная, рис. 1.22	Перпендикулярное, в два ряда
	22		Перпендикулярное, в четыре ряда в шахматном порядке
3	31	Круглая, рис. 1.23	Перпендикулярное, по одной окружности
	23	Овальная	Перпендикулярное, по одной окружности
4	41	Прямоугольная, рис. 1.24	Параллельное, по двум противоположным сторонам
	42		Параллельное, по четырем сторонам
	43		Параллельное, в отформованном виде по двум противоположным сторонам
	44		Параллельное, в отформованном виде по четырем сторонам
	45		Параллельное, отформованные под корпус по четырем сторонам
5	51	Прямоугольная, рис. 1.25	Перпендикулярное, с боковыми выводными площадками по четырем сторонам
			Параллельное, с нижними выводными площадками
	52		Перпендикулярное, с боковыми выводными площадками по двум сторонам
6	61	Квадратная, рис. 1.26	Перпендикулярное, в четыре и более рядов
	62		Перпендикулярное, в два и более рядов

Package). Корпус третьего типа имеет круглую или овальную форму, аналогичную форме транзисторов. Корпус четвертого типа — прямоугольный с выводами, расположенными параллельно плоскости основания (планарные выводы) или отформованными под корпус. Корпус пятого типа — прямоугольный с выводами в виде ленточных проводников или в виде контактных площадок. Такие корпуса ввиду их небольших размеров и получающейся от их применения экономии в площади монтажа еще называют микрокорпусами. Это название относится к некоторым разновидностям корпусов четвертого типа. Микрокорпуса с выводами-площадками ранее обозначались буквами Н и М и назывались кристаллоносителями, например, корпус Н14.42 с 42 выводами относится

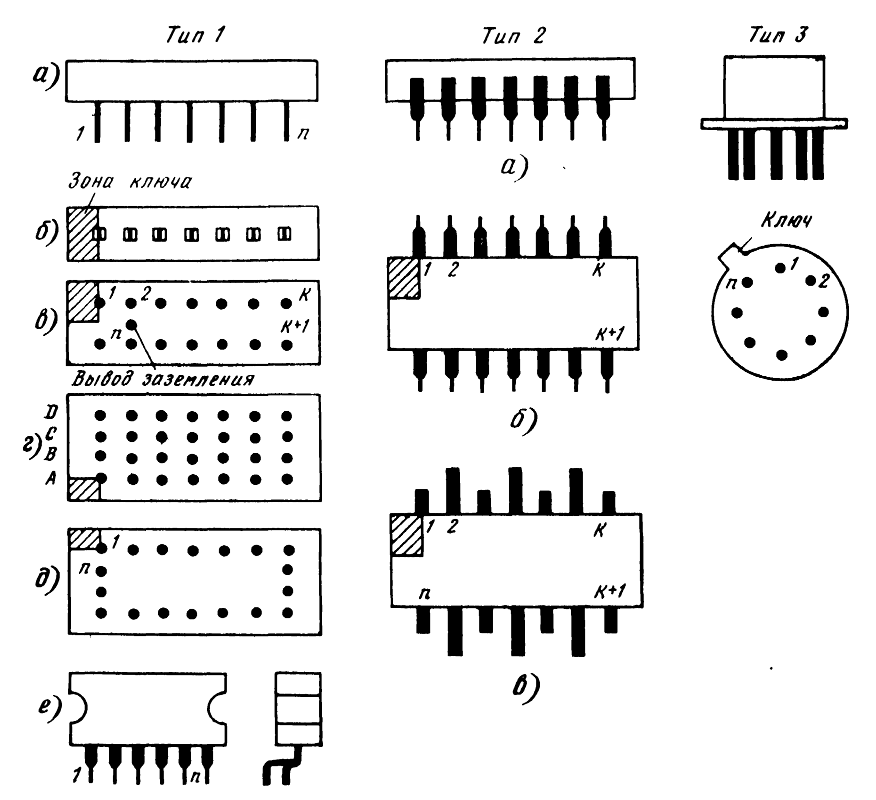


Рис. 1.21. Корпус типа 1: *а* — вид с боковой стороны; *б* — вид со стороны плоскости основания: подтип 11; *в* — то же, подтип 12; *г* — то же, подтип 13; *д* — то же, подтип 14; *е* — вид с двух боковых сторон: подтип 15; заштрихованная область для ключа на рис. 1.21,*б*—*д* условно показана со стороны плоскости основания; 1—n — номера позиций выводов

Рис. 1.22. Корпус типа 2: *а* — вид с боковой стороны; *б* — подтип 21; *в* — подтип 22

Рис. 1.23. Корпус типа 3

к таким корпусам. Корпус шестого типа — квадратной формы с матричным расположением выводов, перпендикулярных плоскости основания.

Каждый тип по форме проекции тела корпуса на плоскость основания и по расположению выводов подразделяется на подтипы. Типы и подтипы корпусов микросхем приведены в табл. 1.6, а их вид — на рис. 1.21—1.26.

Информация о принадлежности корпуса к тому или иному типу и подтипу содержится в его условном обозначении. Оно состоит из шифра типоразмера корпуса, включающего код подтипа и номер типоразмера, цифрового индекса, определяющего число выводов, порядкового регистрационного номера и обозна-

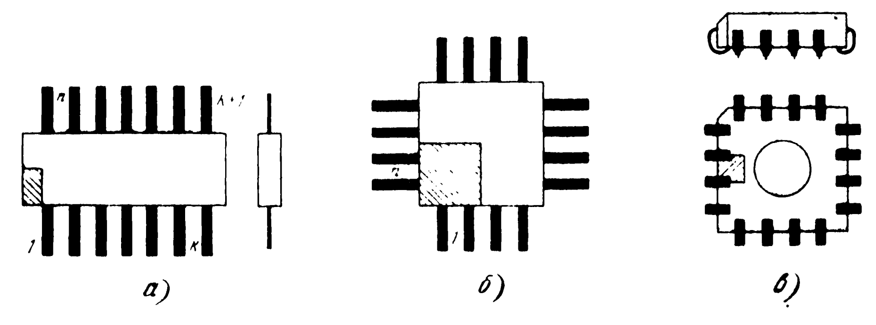


Рис. 1.24. Корпус типа 4:
а — подтипы 41, 43; *б* — подтипы 42, 44; *в* — подтип 45

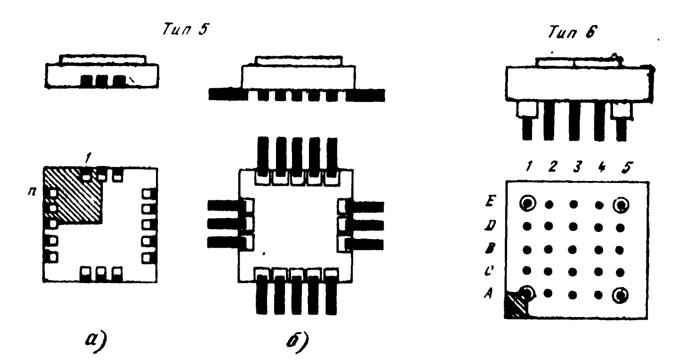


Рис. 1.25. Корпус типа 5:
а — подтип 51 (5101—5113); *б* — подтип 51 (5114—5136)

Рис. 1.26. Корпус типа 6

чения стандарта. Пример условного обозначения: корпус 2107.18-5 ГОСТ 17467—88. Здесь указано, что корпус второго типа и подтипа 21 (см. рис. 1.22, *б*) с номером типоразмера 07, имеющий 18 выводов, его регистрационный номер 5, соответствует стандарту ГОСТ 17467—88.

Условные обозначения корпусов, присвоенные им до 1989 г., сохраняются. Для корпусов, соответствующих стандарту 1972 г., в обозначении отсутствует указание на подтип корпуса, например, корпус 402.16—8 прямоугольный четвертого типа (с планарными выводами) 02 типоразмера, имеет 16 выводов, его регистрационный номер 8.

Установлены следующие размеры шага позиций выводов: для корпусов типа 1, 2, 6 — 2,5 мм (ряд типоразмеров подтипа 15 имеет шаг 1,7 мм); для корпусов типа 4 и 5 — 1,25 мм, для корпусов подтипов 42 и 52 — 0,625 мм, для ряда типоразмеров корпусов подтипов 42, 44 и 51 шаг равен 1 мм.

Нумерация выводов корпуса начинается от ключа, который представляет собой либо отметку на корпусе, либо другую конструктивную особенность, определяющую позицию вывода. Зона ключа отмечена на рисунках заштрихованной областью (на некоторых рисунках, где показан вид корпуса со стороны

плоскости основания, зона ключа нанесена условно с тем, чтобы указать место ее размещения на крышке корпуса). Ключ должен быть расположен в заштрихованной области так, чтобы после установки микросхемы на плату можно было определить позицию первого вывода.

Для обеспечения надежной работы микросхемы необходимо обеспечить отвод тепла от кристалла через корпус в окружающую среду, чтобы температура кристалла не превышала определенного значения. Любую микросхему по тепловому режиму характеризуют тремя факторами: рассеиваемой мощностью, пределами значений рабочих температур, тепловым сопротивлением корпуса. Внутреннее тепловое сопротивление зависит от размеров и материала корпуса, а внешнее — от площади поверхности корпуса и способа отвода тепла. Необходимо обеспечить возможно более низкое тепловое сопротивление корпуса, чтобы уменьшить нагрев кристалла и за этот счет повысить надежность функционирования микросхемы.

По используемым материалам для корпуса их разделяют на металлостеклянные, металлокерамические, керамические, стеклокерамические и пластмассовые. Указание на материал корпуса содержит условное кодовое обозначение микросхемы (см. § 1.1).

Металлостеклянные корпуса состоят из стеклянного или металлического основания с изоляцией выводов стеклом и металлической крышки. Они рассчитаны на сравнительно невысокие уровни рассеиваемых мощностей и поэтому находят применение для конструктивного оформления микросхем малой мощности.

Пластмассовые корпуса формируют в процессе запрессовки в пластмассу полупроводникового кристалла, предварительно смонтированного на металлической рамке с выводами. Нередко внутрь корпуса помещают алюминиевую пластину, которая выполняет функции теплового растекателя, снижающего тепловое сопротивление корпуса. Корпуса из пластмассы самые дешевые, но недостаточно стойкие к воздействию температурных перепадов и влаги. Обычно их используют для микросхем, применяемых в облегченных температурных и климатических условиях.

Металлокерамические корпуса состоят из керамического основания и металлической крышки. Керамические корпуса изготавливают только из керамических материалов. Для корпусов этих типов характерно существенно более низкое тепловое сопротивление по сравнению с пластмассовыми корпусами, что обусловливает их способность рассеивать значительные мощности (до нескольких ватт). Поэтому данные корпуса широко применяют для конструктивного оформления микросхем повышенного уровня интеграции, в частности, микросхем памяти, отличающихся значением рассеиваемой мощности порядка единиц ватт. Недостатком керамических корпусов является относительно высокая температура пайки (440° С) нижней и верхней частей корпуса, что может вызвать локальные повреждения окисных изоляционных слоев кристалла. Недостатком металлокерамических корпусов является более сложная технология изготовления, необходимость в более дорогих материалах и, как следствие, более высокая стоимость. Стеклокерамический корпус отличается от металлокерамического наличием керамической крышки, соединенной с основанием с помощью стекла.

Конструктивные особенности микросхем [наличие герметичных вводов, чувствительность к перегреву соединений выводов корпуса с контактными площадками кристалла, относительно тонкое (доли миллиметра) дно корпуса, на котором размещен крисгалл] определяют ряд требований, которые необходимо учитывать при установке микросхем на печатную плату и при подготовке их к монтажу.

Корпуса типов 1, 2, 3 и 6 предназначены для монтажа на печатную плату с отверстиями. Корпуса типов 4 и 5 устанавливают на печатную плату без отверстий с применением метода поверхностного монтажа. Преимуществом этого метода является возможность размещения микросхем на обеих сторонах платы.

В действующем стандарте получили развитие типоразмеры корпусов, соответствующие требованиям прогрессивных технологий монтажа и обеспечивающие более рациональное использование площади платы за счет квадратной или почти квадратной формы корпуса и четырехстороннего размещения выводов. Наилучшими характеристиками в этом отношении обладают корпуса подтипов 42, 44, 45 и 51.

Микросхемы памяти конструктивно оформлены в основном в корпуса второго, четвертого и пятого типов.

2. МИКРОСХЕМЫ ОЗУ И ОСНОВЫ ИХ ПРИМЕНЕНИЯ

2.1. Характеристики и режимы микросхем статических ОЗУ

Серии микросхем статических ОЗУ (табл. 2.1) образуют достаточно представительный номенклатурный ряд и характеризуются значительным разнообразием входящих в их состав микросхем как по технологии изготовления, так и по основным функциональным показателям: информационной емкости (от 64 до 65 536 бит), организации (одноразрядная и словарная с числом разрядов в слове четыре, восемь и шестнадцать), быстродействию (время считывания или записи от четырех наносекунд до единиц микросекунд), потребляемой мощности (от 20 мВт до 1,1 Вт).

Микросхемы всех серий, представленных в табл. 2.1, являются кремниевыми. Исключение составляет серия К6500, микросхемы которой изготавливают из арсенида галлия на полевых транзисторных структурах с Шотки-затвором (ПТШ — GaAs).

Наибольшим быстродействием обладают микросхемы серии К6500 (время цикла 4 нс) и ЭСЛ — микросхемы серий К500 и К1500 (время цикла 6 ... 40 нс). Микросхемы указанных серий потребляют значительную мощность от источника питания (0,6 ... 1,6 Вт) и требуют для питания напряжения отрицательной полярности, что не позволяет применять их с микросхемами других типов без дополнительных согласующих микросхем — преобразователей уровней ЭСЛ — ТТЛ, ЭСЛ — КМДП, ТТЛ — ЭСЛ. У большинства микросхем выход выполнен

Таблица 2.1. **Характеристики серий микросхем статических ОЗУ**

Серия	Информационная емкость (организация), бит	t_{CY}, нс	U_{cc}, В	P_{cc}, мВт	Технология
К6500	1К×1	4	4; —2,4	1600	ПТШ—GaAs
К537	1К×1, 4К×1, 2К×8, 1К×4, 8К×8, 64К×1, 256×16	70 ... 600	5	20 47	КМДП
К1603	256×4	790	5	30	« «
К581	2К×8	120	5	440	« «
К176	256×1	900	9	20	« «
К561	256×1	800	6 ... 12	—	« «
К188	256×1	500	5	10	« «
К132	1К×1, 4К×1, 1К×4, 4К×4, 16К×1, 64К×1, 2К×8	55 ... 85	5	300 1000	*n*МДП
К1809	1К×16	880	5	700	« «
К565	1К×1	450	5	400	« «
К1500	16×4, 256×4, 1К×1, 1К×4, 4К×1, 16К×1	6 ... 35	—4,5	600 900	ЭСЛ
К500	16×4, 64×1, 256×1, 256×4, 1К×1, 4К×1	20 ... 40	—5,2	600 1100	« «
К541	4К×1, 1К×4, 16К×1	100 ... 170	5	500	ИИЛ—ТТЛ
К531	16×4	40	5	600	ТТЛШ
К155	256×1, 1К×1	45 ... 90	5	800	ТТЛ
К185	64×1, 256×1, 1К×1, 256×4, 64×9	45 ... 500	5	300 1000	ТТЛ
К134	1К×1	1000	5	600	ИИЛ—ТТЛ
К589	16×4	35	5	60	ТТЛШ

по схеме с открытым истоком (К6500) и открытым эмиттером (К500, К1500), что обусловливает необходимость тщательного расчета нагрузки выходных цепей микросхем при их объединении по выходам и при подключении к магистрали.

Сравнительно высокое быстродействие имеют ТТЛ- и ТТЛШ-микросхемы серий К531, К155, К185 и К589 (время цикла 35 ... 90 нс) и микросхемы на *n*-канальных МДП-транзисторах серии К132 (время цикла 55 ... 85 нс). Микросхемы указанных серий сравнимы по многим показателям: быстродействию, потребляемой мощности и др. Несмотря на различие в технологии изготовления они совместимы, поскольку работают при одинаковом напряжении питания 5 В и имеют одинаковые уровни входных и выходных сигналов. Кроме того, выходы почти всех микросхем, исключая микросхемы серии К185, имеют

Таблица 2.2. Показатели основных серий микросхем ОЗУ

Серия микросхем	Информационная емкость микросхем, бит	Время цикла записи (считывания), нс	Потребляемая мощность микросхем, Вт
К6500	1К	4,0	1,6
К1500	64...16К	6...35	0,6...0,9
К132	1К...64К	55...85	0,3...1,0
К537	1К...64К	70...500	0,02...0,05
К541	4К...16К	100...170	0,5
К565	4К...1М	230...500	0,1...0,5

Примечание. Все серии, исключая К565, состоят из микросхем статических ОЗУ. Микросхемы серии К565 являются динамическими ОЗУ.

схему с тремя состояниями, что существенно упрощает схемотехнические решения по их применению в блоках оперативной памяти электронной аппаратуры.

Для КМДП-микросхем характерен самый низкий уровень потребляемой мощности. Этим свойством отличаются микросхемы серий К537, К1603, К188. Многие КМДП-микросхемы памяти способны сохранять записанную информацию при пониженном до 2...3 В напряжении питания, что позволяет реализовать энергонезависимые ОЗУ с встроенным низковольтным источником питания.

Из сопоставления серий по их функциональному составу видно, что наибольшее развитие получили серии К537, К132, К1500 и К541. Параметры микросхем этих серий перекрывают широкий диапазон значений (табл. 2.2). Некоторые серии по отдельным показателям дублируют друг друга, представляя альтернативные варианты выбора наиболее подходящих из них для разрабатываемого устройства.

Основными режимами работы микросхем ОЗУ являются запись, считывание и хранение. Некоторые микросхемы, например КР132РУ6, К537РУ11, К1809РУ1, могут работать в режиме «считывание — модификация — запись» (RMW), который совмещает в себе режимы считывания и записи данных без изменения кода адреса.

По режиму доступа микросхемы статических ОЗУ можно классифицировать на тактируемые и нетактируемые (асинхронные).

Тактируемые микросхемы ОЗУ требуют при каждом адресном обращении подачи сигнала на вход CS в форме импульса. Сигналы записи-считывания, разрешения выхода могут быть поданы уровнем или импульсом. Подчеркнем, что требование импульсной формы сигнала выбора обусловлено необходимостью изменения состояния этого сигнала для перехода микросхемы в активный режим записи или считывания. Переход происходит по положительному перепаду сигнала выбора, если вход CS прямой, или по отрицательному перепаду, если вход инверсный.

На асинхронные микросхемы ОЗУ указанное требование как обязательное не распространяется. Сигнал выбора, а также другие сигналы можно подавать как уровнем, так и импульсом.

Особенности управления режимом работы микросхемы статического ОЗУ существенно зависят от того, к какой группе, тактируемых или асинхронных, микросхем она относится.

Временные диаграммы на рис. 2.1 позволяют сравнить работу асинхронной и тактируемой микросхем статического ОЗУ при записи входной информации DI. Запись в асинхронную микросхему (рис. 2.1, *а*) осуществляется импульсным сигналом $\overline{WR}/RD=0$ длительностью $t_{W(WR)}$ с заданными временем установления относительно адресных сигналов $t_{SU(A-WR)}$ и временем удержания относительно входных данных $t_{H(DI-WR)}$. Наряду с указанными параметрами задают также время сохранения адреса $t_{V(WR-A)}$ и время сохранения данных $t_{V(WR-DI)}$ относительно сигнала записи. Длительность цикла записи определяется выражением

$$t_{CYW}=t_{SU(A-WR)}+t_{W(WR)}+t_{V(WR-A)}.$$

Запись данных в тактируемую микросхему ОЗУ (рис. 2.1, *б*) происходит по импульсному сигналу $\overline{CS}=0$ длительностью $t_{W(CS)}$ с временем установления относительно адресных сигналов $t_{SU(A-CS)}$ и с временем удержания относительно данных $t_{H(DI-CS)}$. Сигналы адреса и данных должны быть сохранены относительно сигнала $\overline{CS}$ на время $t_{V(CS-A)}$, $t_{V(CS-DI)}$ соответственно. Время цикла записи в этом режиме может быть определено выражением

$$t_{CYW}=t_{SU(A-CS)}+t_{W(CS)}+t_{V(CS-A)}.$$

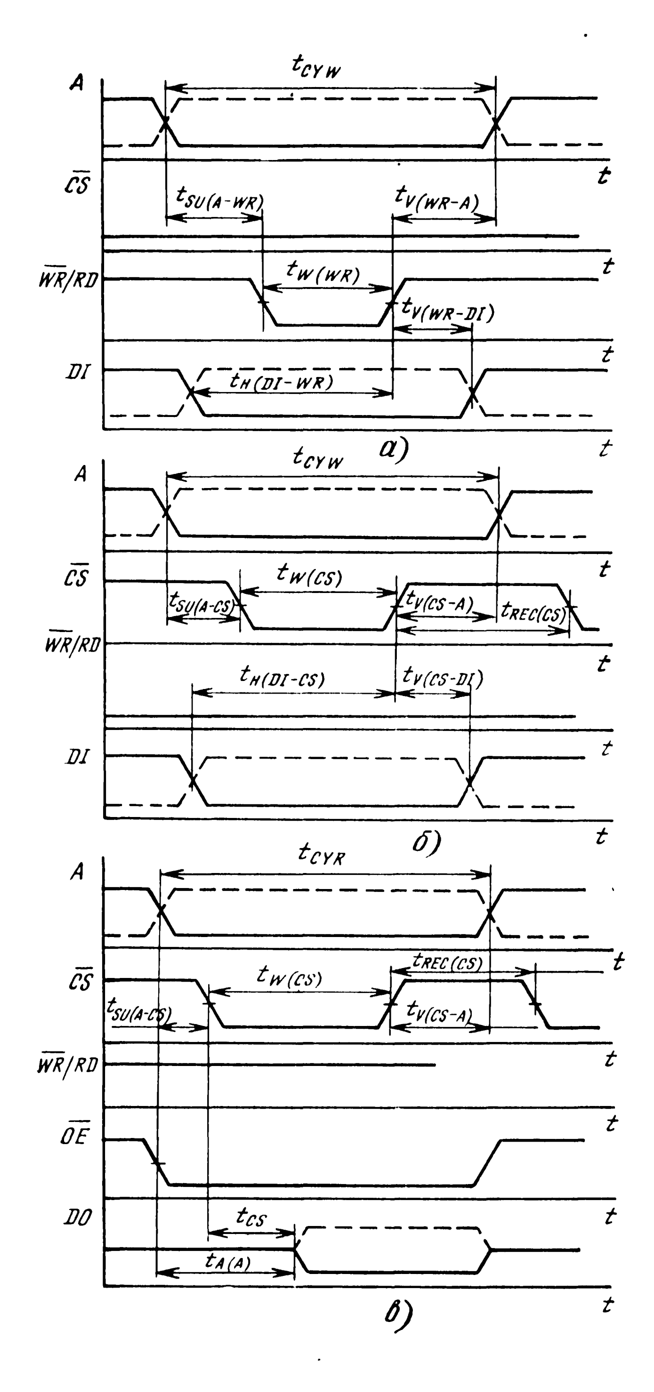
Для тактируемого режима доступа к микросхеме одним из основных параметров является время восстановления состояния микросхемы после окончания импульса $t_{REC(CS)}$. Это время необходимо для установления переходных процессов в электрических цепях микросхемы, обусловленных наличием емкостей. По этой причине обычно время цикла записи (считывания) тактируемых микросхем ОЗУ определяют из выражения $t_{CYW}=t_{W(CS)}+t_{REC(CS)}$.

Поскольку для большинства микросхем ОЗУ справедливо соотношение $t_{REC(CS)}\approx t_{SU(A-CS)}+t_{V(CS-A)}$, то оба приведенных выражения для расчета времени цикла записи (считывания) дадут одинаковый или близкий результат. Хотя в общем случае этого равенства может и не быть. Определяющим является второе выражение.

Таким образом, можно заметить, что асинхронная микросхема ОЗУ может работать в обоих режимах, а тактируемая — только в одном, когда сигнал $\overline{CS}$ подается импульсом.

Считывание данных из тактируемой микросхемы ОЗУ производится по импульсному сигналу $\overline{CS}=0$ (рис. 2.1, *в*), который должен быть подан спустя время $t_{SU(A-CS}$ после установки адресных сигналов. Сигнал считывания $\overline{WR}/RD=1$ должен быть установлен предварительно в виде уровня Н напряжения.

Время появления считываемых данных на выходе оценивают обычно двумя параметрами — временем выборки адреса $t_{A(A)}$ и временем выбора. Между этими параметрами существует следующая зависимость: $t_{A(A)}=t_{SU(A-CS)}+$ $+t_{CS}$. Время цикла считывания определяется выражением, аналогичным выражению режима записи: $t_{CYR}=t_{W(CS)}+t_{REC(CS)}$.



A
CS
WR/RD
DI
DO
OE
t
t_{CYW}
$t_{SU(A-WR)}$
$t_{V(WR-A)}$
$t_{W(WR)}$
$t_{V(WR-DI)}$
$t_{H(DI-WR)}$
а)
$t_{W(CS)}$
$t_{SU(A-CS)}$
$t_{V(CS-A)}$
$t_{REC(CS)}$
$t_{H(DI-CS)}$
$t_{V(CS-DI)}$
б)
t_{CYR}
t_{CS}
$t_{A(A)}$
в)

При наличии у микросхемы входа для управляющего сигнала $\overline{OE}$ (разрешение выхода) следует учитывать при расчете времени выхода считываемых данных и те временные параметры, которые определяют момент подачи и снятия этого сигнала. Только при условии $\overline{OE}=0$ выход будет открыт для считываемой информации, при $\overline{OE}=1$ выход принимает Z-состояние. В диаграмме сигнал $\overline{OE}$ подается и снимается одновременно с адресными сигналами, и поэтому на время выборки данных он влияния не оказывает.

При асинхронном доступе считывание информации осуществляется по сигналу адреса. В этом режиме сигналы $\overline{CS}=0$ и $\overline{WR}/RD=1$ устанавливаются на соответствующих входах до поступления адресных сигналов. Время выборки адреса $t_{A(A)}$ при условии $\overline{OE}=0$ определяет длительность цикла считывания: $t_{CYR}=t_{A(A)}$. Очевидно, временной сдвиг сигнала $\overline{OE}=0$ относительно адресных сигналов $t_{SU(A-OE)}$ скажется на времени выборки адреса $t_{A(A)}=t_{A(OE)}+$ $+t_{SU(A-OE)}$.

Асинхронные микросхемы ОЗУ позволяют считывать данные не только адресными сигналами, но и сигналом выбора $\overline{CS}$, если подать его импульсом с некоторой задержкой относительно сигналов адреса.

Ряд микросхем статических ОЗУ имеет встроенные входные регистры — «защелки», срабатывающие от перепада сигнала $\overline{CS}$. К этой группе относятся микросхемы КР132РУ4, КР132РУ6, КР132РУ10, К1809РУ1, КР537РУ8, КР537РУ11, КМ1603РУ1. Наличие входных регистров придает этим микросхемам ряд особенностей, прежде всего в режимах управления.

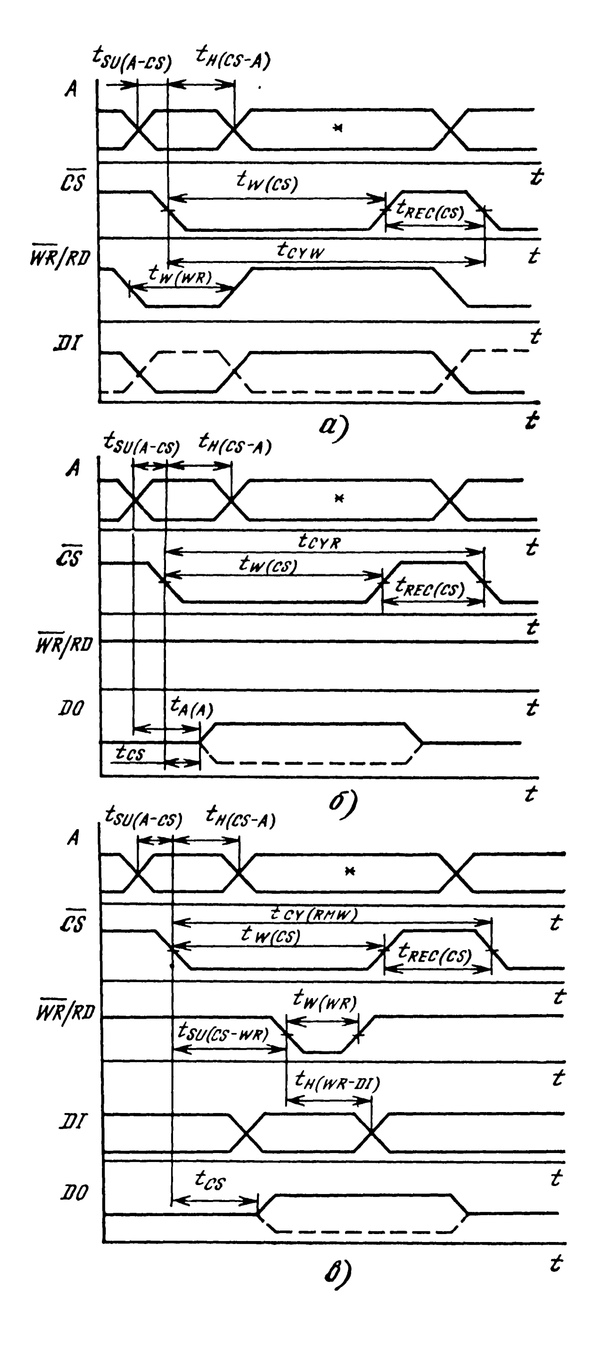
Для рассмотрения этих особенностей обратимся к временны́м диаграммам (рис. 2.2) тактируемой микросхемы ОЗУ КР132РУ6. Основное отличие режима управления этой микросхемой при записи (рис. 2.2, *а*) и считывании данных (рис. 2.2, *б*) от микросхем, не имеющих в своей структуре регистров, состоит в том, что адресные сигналы подаются на время, необходимое для их записи в регистр и фиксации («защелкивания») в регистре отрицательным перепадом сигнала $\overline{CS}$. Длительность адресных сигналов определяется временем установления сигнала $\overline{CS}$ относительно адресных сигналов и временем сохранения адресного кода относительно сигнала $\overline{CS}$: $t_{W(A)}=t_{SU(A-CS)}+t_{H(CS-A)}$.

Спустя время $t_{H(CS-A)}$ состояния адресных сигналов могут быть изменены для следующего цикла обращения к микросхеме. Эти изменения не повлияют на состояние микросхемы, поскольку входной регистр, имея динамический вход управления, откроется для приема новой адресной кодовой комбинации только в следующем цикле при поступлении перепада H/L сигнала $\overline{CS}$.

В остальном процессы в микросхеме при записи или считывании информации протекают так же, как в тактируемых микросхемах без внутренних регистров.

Время цикла записи (считывания) определяется из выражения $t_{CY}=$ $=t_{W(CS)}+t_{REC(CS)}$.

Рис. 2.1. Временны́е диаграммы сигналов микросхемы статического ОЗУ:
а — запись в режиме асинхронного доступа; *б* — запись в режиме тактируемого доступа; *в* — считывание



а)
б)
в)

Рассматриваемая микросхема среди других, названных ранее, может работать в режиме «считывание—модификация—запись» (RMW). В этом режиме при неизменных адресных сигналах осуществляется вначале считывание данных из выбранной адресом ячейки памяти, а затем запись в эту же ячейку новой информации. Временные диаграммы, иллюстрирующие режим RMW, приведены на рис. 2.2, *в*.

Адресное обращение к микросхеме в режиме RMW происходит аналогично обычному режиму обращения к ней: вначале подают адресный код, сигнал считывания $\overline{WR}/RD=1$ и информационный сигнал, затем на вход CS поступает перепад H/L сигнала $\overline{CS}$ и «защелкивает» адресные сигналы на внутреннем регистре. Для надежной фиксации сигналов требуется удержать адрес на время $t_{H(CS-A)}$. Считанная информация появляется на выходе через время t_{CS} после подачи сигнала $\overline{CS}$. Затем при тех же адресных сигналах, зафиксированных в регистре, через время $t_{SU(CS-WR)}$ после подачи сигнала $\overline{CS}$ устанавливается сигнал записи $\overline{WR}/RD=0$ импульсом длительностью $t_{W(WR)}$ и в ту же ячейку памяти записывается новое слово. Для надежной записи данных их необходимо удержать на время $t_{H(WR-DI)}$ относительно сигнала записи.

Длительность цикла RMW равна $t_{CY(RMW)}=t_{W(CS)RMW}+t_{REC(CS)}$. Очевидно, в режиме RMW ряд временных параметров, в частности длительность импульса сигнала $\overline{CS}$ и время цикла, больше, чем в обычных режимах записи и считывания.

2.2. КМДП-микросхемы статических ОЗУ

Для рассмотрения выбраны наиболее известные серии КМДП-микросхем статических ОЗУ К537, КМ1603, К581, К188, К176, К561. Основные параметры микросхем названных серий представлены в табл. 2.3—2.5. Приведенные значения параметров характеризуют микросхемы в диапазоне рабочих температур —10 ... +70° С.

Для КМДП-микросхем памяти характерно сравнительно невысокое быстродействие, определяемое временем цикла обращения, равным сотням наносекунд, высокая помехоустойчивость, малая потребляемая мощность, способность сохранять записанную информацию при напряжении питания 1,5 ... 3 В и при значительно меньшем уровне энергопотребления, чем в режиме обращения, и возможность использования источника низковольтного резервного питания для обеспечения свойства энергонезависимости.

Развитие серий КМДП-микросхем в направлении повышения быстродействия (время цикла у микросхемы КР537РУ19 снижено до 70 нс) и присущее им свойство малого потребления мощности обусловливают перспективность этого класса микросхем памяти, в особенности для применения в электронных устройствах с ограниченным энергоресурсом.

Рис. 2.2. Временные диаграммы сигналов тактируемой микросхемы статического ОЗУ КР132РУ6:

а — запись; *б* — считывание; *в* — считывание—модификация—запись (* — состояние сигнала может быть произвольным)

Таблица 2.3. Характеристики КМДП-микросхем статических ОЗУ

Микросхема	Емкость, бит	Режим доступа	t_{CY}, нс	P_{cc}, мВт	P_{ccs}, мВт при U_{cc}	P_{ccs}, мВт при U_{ccs}	Тип корпуса
К537РУ1А	1К×1	Т	1300	14	0,5	—	4112.16-3
К537РУ1Б	1К×1	Т	2000	14	0,5	—	4112.16-3
К537РУ1В	1К×1	Т	4000	14	0,5	—	4112.16-3
КР537РУ2А	4К×1	Т	506	27	2,7	—	2107.18-4
КР537РУ2Б	4К×1	Т	670	27	5,5	—	2107.18-4
КР537РУ3А	4К×1	А	230	110	1,1	0,01	2107.18-4
КР537РУ3Б	4К×1	А	150	110	0,05	0,001	2107.18-4
К537РУ4А	4К×1	Т	320	55	0,55	—	4116.18-1
К537РУ4Б	4К×1	Т	600	82	0,55	—	4116.18-1
КР537РУ6А	4К×1	Т	340	44	0,28	0,12	2107.18-4
КР537РУ6Б	4К×1	Т	530	44	1,7	0,5	2107.18-4
КР537РУ8А	2К×8	Т	350	157	5,2	—	239.24-2
КР537РУ8Б	2К×8	Т	530	157	10,5	—	239.24-2
КР537РУ9А	2К×8	Т	400	—	5,5	2	239.24-2
КР537РУ9Б	2К×8	Т	580	—	11	4	239.24-2
КР537РУ10	2К×8	А	220	367	5,2	$6 \cdot 10^{-4}$	239.24-2
КР537РУ11А	256×16	Т	590	17	1,65	0,5	239.24-1
КР537РУ11Б	256×16	Т	590	50	4,4	1,32	239.24-1
КР537РУ13А	1К×4	А	120	330	0,15	0,02	2107.18-1
КР537РУ13Б	1К×4	А	200	330	0,15	0,02	2107.18-1
КР537РУ14А	4К×1	А	110	248	0,15	0,02	2107.18-1
КР537РУ14Б	4К×1	А	180	248	0,15	0.02	2107.18-1
КР537РУ17	8К×8	А	200	468	0,02	0,004	2121.28-4
КР537РУ19	64К×1	—	70	368	—	1,8	239.24-2
КР188РУ2А	256×1	Т	500	11	0,05	$8 \cdot 10^{-5}$	238.16-1
КР188РУ2Б	256×1	Т	1000	11	0,05	$8 \cdot 10^{-5}$	238.16-1
К176РУ2	256×1	Т	900	20	4,5	—	238.16-1
К561РУ2А	256×1	Т	800	—	2,7	—	2106.16-2
К561РУ2Б	256×1	Т	1300	—	9,5	—	2106.16-2
КМ581РУ5Б	2К×8	А	120	440	82,5	—	2120.24-11
КМ581РУ5В	2К×8	А	150	385	82,5	—	2120.24-11
КМ581РУ5Г	2К×8	А	200	385	82,5	—	2120.24-11
КМ1603РУ1	256×4	Т	690	36	1,1	0,03	210А.22-1

Примечания: 1. В таблице обозначены Т — тактируемые микросхемы, А — асинхронные микросхемы.

2. Выходы всех микросхем могут принимать Z-состояние.

Таблица 2.4. **Статические параметры КМДП-микросхем ОЗУ**

Микросхема	U_{cc}, В	U_{ccs}, В	I_{cc}, мА	I_{ccs}, мкА		U_I, В		U_O, В		I_O, мА	
				при U_{cc}	при U_{ccs}	L	H	L	H	L	H
К537РУ1	5±10 %	—	2,5	100	—	0,4	4,1	0,35	2,4	0,5	0,5
КР537РУ2	5±10 %	—	5,0	500	—	1,1	4,4	0,4	2,4	1,6	1,2
КР537РУ3	5±10 %	2,2	20	10	5	0,8	2,4	0,4	2,4	4,8	2
К537РУ4	5±10 %	—	10	100	—	0,4	4,1	0,4	2,4	1,6	2,5
КР537РУ6	5±10 %	3,3	8	50	35	—	—	0,4	2,4	—	—
КР537РУ8	5±5 %	—	36	1мА	—	0,4	4,1	0,4	2,4	1,6	0,1
КР537РУ9	5±10 %	3,3	—	1мА	600	0,4	4	0,4	2,4	—	—
КР537РУ10	5±5 %	2	70	1	0,3	0,4	2,4	0,4	2,4	4	2
КР537РУ11	5±10 %	3,3	3,1	300	150	1,1	3,6	0,4	2,4	1,6	1,2
КР537РУ13	5±10 %	2	60	25	10	0,8	2	0,4	2,8	4	2
КР537РУ14	5±10 %	2	45	25	10	0,8	2	0,4	2,8	3,2	2
КР537РУ17	5±10 %	2	85	4	2	0,8	2	0,4	2,4	3,2	2
КР537РУ19	5±5 %	3	70	—	600	—	—	0,4	2,4	—	—
КМ1603РУ1	5±10 %	2	5	200	15	0,8	2,5	0,4	2,5	2	1
К176РУ2	9±5 %	—	2	500	—	0,9	8,1	0,3	8,2	1	1
К561РУ2	6...12	—	—	300	—	0,6	7,7	0,05	8,4	2	0,6
КМ581РУ5	5±10 %	—	80	15мА	—	0,8	2,2	0,4	2,4	4	1
КР188РУ2	5±10 %	1,5	2	10	0,05	0,4	4,1	0,4	4,1	1,6	0,08

Примечания: 1. Значения параметров приведены для типономинала А.
2. Для микросхемы К561РУ2 значения параметров указаны для напряжения питания 9 В.
3. Предельные параметры: напряжение питания 6 В (К537, КМ581), 7 В (КМ1603), 10 В (К176), 12 В (К561); выходной ток 10 мА (К537РУ2, РУ6, РУ9; КМ1603, К561), 5 мА (К537РУ3, РУ10, РУ11, РУ13, РУ14, РУ17; К176), 4 мА (КМ581РУ5).
4. Значения токов утечки у микросхем в пределах 1...10 мкА.

Статический режим большинства КМДП-микросхем памяти, как следует из табл. 2.4, характеризуется единым напряжением питания 5 В, близкими значениями уровней выходных сигналов, сравнительно небольшими выходными токами, наличием выходов с тремя состояниями, значительной предельной емкостью нагрузки.

От других значительно отличаются своими параметрами микросхемы серий К176 и К561, которые работают при напряжениях питания 9 В (К176) и 6...12 В (К561) и имеют соответствующие этим напряжениям уровни входных и выходных сигналов. Кроме того, у микросхем этих серий и серии К581 не предусмотрен режим хранения при пониженном напряжении питания.

Важным с точки зрения применения свойством любой микросхемы, в том числе и микросхем памяти, является способность работать совместно с другими, например интерфейсными, микросхемами. Схемотехническая совместимость микросхем разных типов по технологическому признаку возможна при условии

Таблица 2.5. **Динамические параметры КМДП-микросхем ОЗУ**

Микросхема	$t_{A(A)}$, нс	$t_{SU(A-CS)}$, нс	$t_{W(CS)}$, нс	$t_{V(CS-A)}$, нс	C_L, пФ номинальная	C_L, пФ предельная
К537РУ1А	1100	200	900	200	30	200
К537РУ1Б	1700	300	1400	300	30	200
К537РУ1В	3400	600	2800	600	30	200
КР537РУ2А	410	20	390	90	50	1000
КР537РУ2Б	580	20	560	90	50	1000
КР537РУ3А	230	20	190	20	50	200
КР537РУ3Б	150	20	110	20	50	200
К537РУ4А	270	50	220	50	30	500
К537РУ4Б	550	50	500	500	30	500
КР537РУ6А	240	20	220	100	50	1000
КР537РУ6Б	420	20	400	110	50	1000
КР537РУ8А	270	70	220	60	50	—
КР537РУ8Б	470	70	400	60	50	—
КР537РУ9А	240	20	220	160	50	500
КР537РУ9Б	420	20	400	160	50	500
КР537РУ10	220	30	160	30	50	500
КР537РУ11А	480	20	440	130**	50	500
КР537РУ11Б	480	20	440	130**	50	500
КР537РУ13А	120	20	80	20	50	500
КР537РУ13Б	200	25	130	45	50	500
КР537РУ14А	110	20	70	20	50	500
КР537РУ14Б	180	25	130	25	50	500
КР537РУ17	200	20	150	30	30	500
К176РУ2	650	20	700	180	50	300
К561РУ2А	620	20	600	180	50	500
К561РУ2Б	1100	100	1000	200	50	500
КМ581РУ5Б	120	—	70	5	50	500
КМ581РУ5В	150	—	90	10	50	500
КМ581РУ5Г	200	—	120	10	50	500
КМ1603РУ1	500	50	450	200*	100	500

* Указано значение параметра $t_{H(CS_2-A)}$.

** Указано значение параметра $t_{REC(CS)}$.

Примечания: 1. Емкости входов и выходов микросхем имеют значения в диапазоне 7...14 пФ.

2. Время удержания адреса относительно сигнала $\overline{CS}$ равно $t_{H(CS-A)}=20$ нс.

прежде всего совпадения уровней напряжений сигналов на входах и выходах. Микросхемы на КМДП-структурах могут иметь различные уровни сигналов в зависимости от напряжения питания. Так, при напряжении 5 В эти уровни близки к ТТЛ-уровням, при других значениях напряжения питания уровни сигналов существенно отличаются от ТТЛ-уровней. Для определения уровня напряжения сигнала при заданном напряжении питания можно воспользоваться следующими приближенными соотношениями: $U_{IL} < 0{,}1\ U_{cc}$, $U_{IH} > U_{cc} - 2$ В, $U_{OL} < 0{,}05\ U_{cc}$, $U_{OH} > 0{,}9\ U_{cc}$.

На основании данных табл. 2.4 можно оценить степень согласования по уровням сигналов КМДП-микросхем разных серий с микросхемами ЭСЛ, ТТЛ и ТТЛШ, МДП. Часть микросхем серии К537 (РУ1, РУ2, РУ6, РУ8, РУ9, РУ11), а также микросхемы серий К188, КМ1603 по выходу совместимы с ТТЛ-микросхемами и с микросхемами, сигналы которых имеют ТТЛ-уровни. Входные сигналы указанных микросхем отличаются от ТТЛ-сигналов. Поэтому для согласования этих микросхем по входам с ТТЛ-микросхемами необходима некоторая подстройка уровней, которую достаточно просто осуществить, имея открытый коллектор на выходе ТТЛ-микросхемы. Такая схема выхода позволяет с помощью внешнего резистора, включаемого в цепь между источником питания и открытым коллекторным выходом, обеспечивать необходимые для КМДП-микросхем памяти уровни сигналов. Остальные микросхемы серии К537, а также микросхемы серии К581 совместимы с ТТЛ-микросхемами по входам и выходам.

Микросхемы серий К176 и К561 могут совместно работать с микросхемами, имеющими аналогичные характеристики.

Характеристика КМДП-микросхем по энергопотреблению представлена в табл. 2.4 значениями токов потребления в режимах обращения I_{cc} и хранения I_{ccs} при номинальном U_{cc} и пониженном U_{ccs} напряжениях питания. Наименьшую мощность в режиме хранения P_{ccs} потребляют от источника питания микросхемы серий К188 и К537 (РУ3, РУ10, РУ17).

Сравнить КМДП-микросхемы по быстродействию позволяют данные табл. 2.3 и 2.5. В первой таблице приведено время цикла записи (считывания), а во второй — время выборки адреса и ряд других динамических параметров. Из них наиболее информативным является время цикла, поскольку оно определяет частоту обращений к микросхеме. Время выборки позволяет оценить реальное время получения данных при обращении к ОЗУ для считывания. Для тактируемых микросхем ОЗУ время цикла больше за счет времени восстановления после сигнала выбора $t_{REC(CS)}$, а для многих асинхронных микросхем ОЗУ эти два параметра имеют одинаковое значение.

При применении КМДП-микросхем памяти необходимо соблюдать порядок включения (выключения) напряжения питания и подачи (снятия) входных сигналов. При включении ОЗУ вначале должно быть подано напряжение питания, а затем — сигналы. При выключении ОЗУ вначале должны быть сняты сигналы со всех входов микросхемы, затем отключено напряжение питания.

Наиболее развитым функциональным составом обладает серия К537. Ее место среди серий микросхем ОЗУ видно из табл. 2.1 и 2.2. Функциональный состав серии включает более 20 типономиналов микросхем, отличающихся информационной емкостью, организацией, быстродействием и потребляемой мощ-

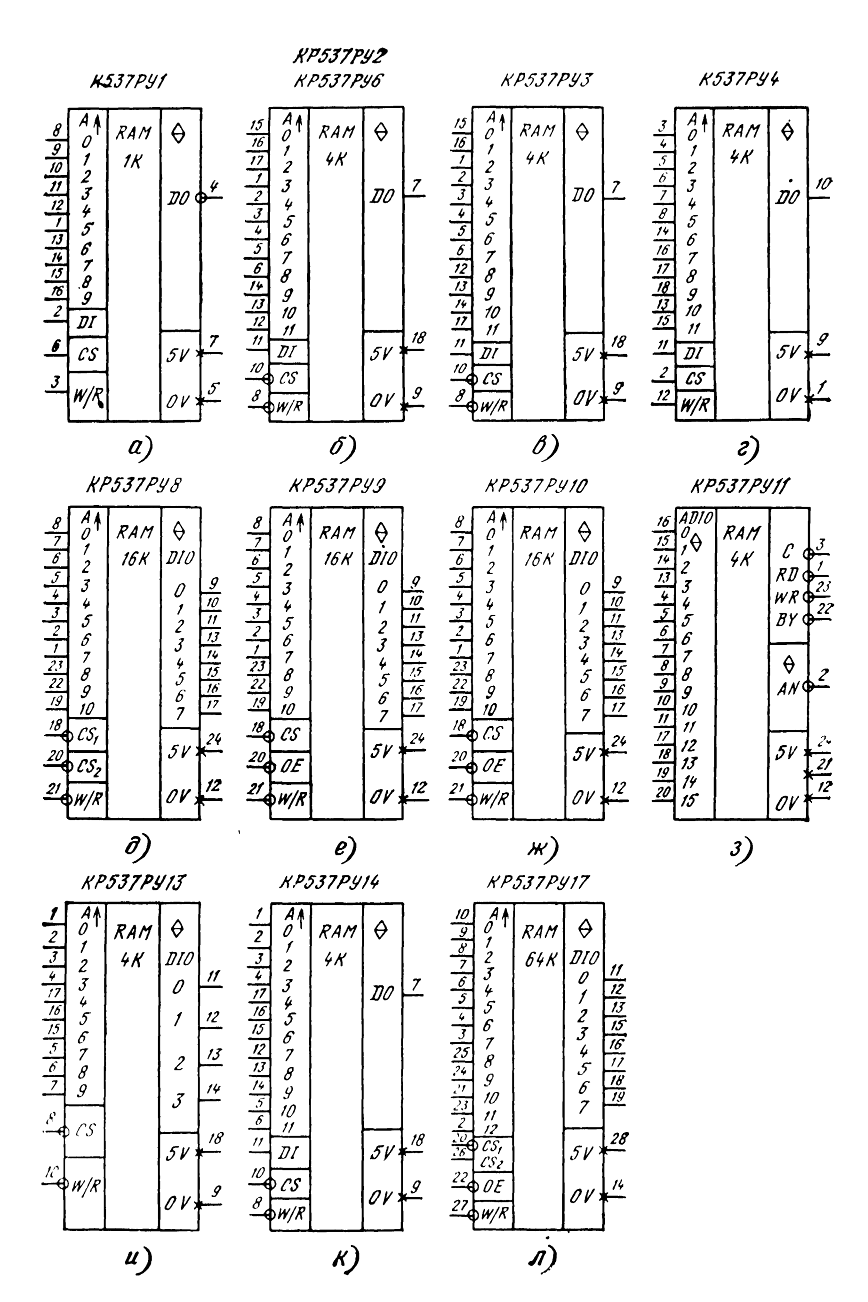


Рис. 2.3. Микросхемы серии К537

ностью. Имеются отличия и в системе управляющих сигналов, и в конструктивном оформлении. Назначение выводов микросхем серии показано на рис. 2.3.

Общими свойствами микросхем серии К537 являются: единое напряжение питания 5 В, ТТЛ-уровни входных и выходных сигналов, выходы с тремя состояниями, высокая помехоустойчивость, значительная предельная емкость нагрузки (200 ... 1000 пФ), небольшое энергопотребление, причем при хранении на два-три порядка меньше, чем при обращении, способность сохранять записанную информацию при пониженном до 2 ... 3 В напряжении питания.

Микросхемы серии К537 работают в режимах записи, считывания и хранения информации. Состояния сигналов в названных режимах указаны в табл. 2.6—2.12.

Таблица 2.6. **Таблица истинности микросхемы К537РУ1**

CS	WR/RD	$A_0 \dots A_9$	DI	DO	Режим работы
0	X	X	X	Z	Хранение
1	1	A	D	$\overline{D}$	Запись
1	0	A	X	$\overline{D}$	Считывание

Таблица 2.7. **Таблица истинности микросхем КР537РУ2, КР537РУ3, КР537РУ6, КР537РУ14**

$\overline{CS}$	$\overline{WR}$/RD	A	DI	DO	Режим работы
1	X	X	X	Z	Хранение
0	0	A	D	Z	Запись
0	1	A	X	D	Считывание

Таблица 2.8. **Таблица истинности микросхемы К537РУ4**

CS	WR/RD	$A_0 \dots A_{11}$	DI	DO	Режим работы
0	X	X	X	Z	Хранение
1	1	A	D	Z	Запись
1	0	A	X	D	Считывание

Таблица 2.9. **Таблица истинности микросхемы КР537РУ8**

$\overline{CS}_1 \vee \overline{CS}_2$	$\overline{WR}$/RD	$A_0 \dots A_{10}$	$DIO_0 \dots DIO_7$	Режим работы
1	X	X	Z	Хранение
0	0	A	$D_0 \dots D_7$	Запись
0	1	A	$D_0 \dots D_7$	Считывание

Таблица 2.10. **Таблица истинности микросхем К537РУ9, КР537РУ10**

$\overline{CS}$	$\overline{OE}$	$\overline{WR}/RD$	$A_0 \ldots A_{10}$	$DIO_0 \ldots DIO_7$	Режим работы
1	X	X	X	Z	Хранение
0	X	0	A	$D_0 \ldots D_7$	Запись
0	1	1	A	Z	Запрет выхода
0	0	1	A	$D_0 \ldots D_7$	Считывание

Таблица 2.11. **Таблица истинности микросхемы КР537РУ13**

$\overline{CS}$	$\overline{WR}/RD$	$A_0 \ldots A_9$	$DIO_0 \ldots DIO_3$	Режим работы
1	X	X	Z	Хранение
0	0	A	$D_0 \ldots D_3$	Запись
0	1	A	$D_0 \ldots D_3$	Считывание

Таблица 2.12. **Таблица истинности микросхемы К537РУ17**

$\overline{CS}_1$	CS_2	$\overline{OE}$	$\overline{WR}/RD$	$A_0 \ldots A_{12}$	$DIO_0 \ldots DIO_7$	Режим работы
M	M	X	X	X	Z	Хранение
0	1	X	0	A	$D_0 \ldots D_7$	Запись
0	1	1	1	A	Z	Запрет выхода
0	1	0	1	A	$D_0 \ldots D_7$	Считывание

Примечание. М — **любая комбинация состояний сигналов $\overline{CS}_1$ и CS_2, кроме комбинации $\overline{CS}_1=0$, $CS_2=1$.**

Значительное число микросхем серии К537 имеют словарную организацию: КР537РУ8, К537РУ9, КР537РУ10, КР537РУ11, КР537РУ13, КР537РУ17. Эти микросхемы допускают запись и считывание информации четырехразрядными (КР537РУ13), 16-разрядными (КР537РУ11) и 8-разрядными (остальные микросхемы из указанных) словами. Информационные входы и выходы в этих микросхемах совмещены, поэтому записываемая информация вводится в микросхему, а считываемая выводится из нее по одним линиям, что обусловливает мультиплексный режим их работы.

Другой особенностью названных микросхем является наличие у них дополнительного сигнала управления $\overline{OE}$ состоянием выхода. Он может подаваться одновременно с сигналом выбора $\overline{CS}$ или с некоторой задержкой. Отсутствие разрешающего состояния этого сигнала, как можно видеть из таблиц истинности, не позволяет вывести считанную информацию из микросхемы. В этом режиме выходы находятся в Z-состоянии. При наличии всех необходимых для считывания сигналов выходы переходят в функциональное состояние только по сигналу $\overline{OE}=0$. Считываемые данные появятся на выходах спустя

время выборки сигнала разрешения выхода. В режиме управления выходом сигналом $\overline{OE}$ время выборки адреса определяется из выражения $t_{A(A)}=t_{SU(A-OE)}+t_{A(OE)}$ для асинхронного режима доступа или $t_{A(A)}=t_{SU(A-CS)}+t_{SU(CS-OE)}+t_{A(OE)}$ для тактируемого режима доступа к микросхеме. Заметим, что время установления сигнала $\overline{OE}$ относительно сигнала $\overline{CS}$ $t_{SU(CS-OE)}$ не регламентировано, так как его значение устанавливается исходя из условий работы микросхемы в составе конкретного устройства.

Микросхемы КР537РУ8 и КР537РУ17 имеют по два равнозначных сигнала выбора. Условием разрешения доступа к микросхеме является $\overline{CS_1}=\overline{CS_2}=0$ для КР537РУ8 и $\overline{CS_1}=0$, $CS_2=1$ для КР537РУ17. Кроме того, надо учитывать, что в микросхеме КР537РУ8, относящейся к группе тактируемых статических ОЗУ, код адреса фиксируется перепадом одного из сигналов выбора из состояния высокого уровня в состояние низкого уровня напряжения, причем того из сигналов, который совершит указанный переход последним.

Особое место в серии К537 занимает микросхема КР537РУ11 емкостью 256×16 бит (рис. 2.3, *з*). Особенность микросхемы состоит в том, что она имеет встроенные в кристалл средства сопряжения с магистральным параллельным интерфейсом (МПИ), определенным ГОСТ 26765.51—86. В названном интерфейсе представление сигналов принято по соглашению отрицательной логики, т. е. низкий уровень сигнала L приведен в соответствие состоянию лог. 1, а высокий H — лог. 0. В данной книге используется соглашение положительной логики, по которому физические уровни сигнала и его логические состояния находятся в обратном соответствии. Поэтому в обозначении сигналов, действующих на входах и выходах микросхемы, введен знак инверсии [18].

Микросхема имеет 16 выводов $ADIO_0 \dots ADIO_{15}$, которые являются общими для сигналов адреса и данных. Этими выводами микросхему можно непосредственно подключить к 16-разрядной общей шине «Адрес — Данные» $AD_0 \dots AD_{15}$ магистрали МПИ. Управление режимами работы микросхемы осуществляют сигналами: $\overline{C}$ — синхронизация, $\overline{WR}$ — запись, $\overline{RD}$ — считывание, $\overline{BY}$ — запись байта. Названные сигналы для микросхемы являются входными, так как они поступают из магистрали. В микросхеме предусмотрено формирование выходного сигнала ответа $\overline{AN}$, который информирует процессор о приеме данных из магистрали при записи и выдаче данных в магистраль при считывании. Указанные сигналы на выводах микросхемы соответствуют сигналам в шине управления МПИ: $\overline{SYN}$ — синхронизация обмена, $\overline{WR}$ — запись данных, $\overline{RD}$ — чтение данных, $\overline{WRBY}$ — запись байта, $\overline{AN}$ — ответ.

Микросхема имеет встроенное программируемое адресное устройство, которое состоит из регистра для записи в него собственного адреса микросхемы $A_{мс}$ и цифрового компаратора (селектора адреса) для сравнения адреса микросхемы с текущим адресом, поступившим из магистрали. При совпадении адресных кодов микросхема вырабатывает внутренний сигнал доступа к накопителю для записи или считывания данных. В случае несовпадения адресных кодов данные, пришедшие с «чужим» адресом, записаны быть не могут.

Кроме селектора адреса микросхема имеет устройство для программирования режима применения: ОЗУ или ПЗУ. Программирование осуществляют би-

$\overline{A}_{15}$	$\overline{A}_{14}$	$\overline{A}_{13}$	$\overline{A}_{12}$	$\overline{A}_{11}$	$\overline{A}_{10}$	$\overline{A}_9$	$\overline{A}_8$	$\overline{A}_7$	$\overline{A}_6$	$\overline{A}_5$	$\overline{A}_4$	$\overline{A}_3$	$\overline{A}_2$	$\overline{A}_1$	$\overline{A}_0$
0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
Старший байт								Младший байт							
$\overline{D}_{15}$	$\overline{D}_{14}$	$\overline{D}_{13}$	$\overline{D}_{12}$	$\overline{D}_{11}$	$\overline{D}_{10}$	$\overline{D}_9$	$\overline{D}_8$	$\overline{D}_7$	$\overline{D}_6$	$\overline{D}_5$	$\overline{D}_4$	$\overline{D}_3$	$\overline{D}_2$	$\overline{D}_1$	$\overline{D}_0$
Код адреса микросхемы							Код РП	X	X	X	X	X	X	X	X

Рис. 2.4. Форматы адреса и данных программирования микросхемы КР537РУ11

том признака «Режим применения» (РП): при состоянии этого бита лог. 0 реализуется режим ОЗУ, при состоянии лог. 1 — режим ПЗУ. В этом режиме блокируется запись данных и микросхема допускает только считывание хранимой информации.

В микросхеме приняты следующие форматы кодов адреса и данных:

$\overline{A}_{15} \dots \overline{A}_9$ — собственный адрес микросхемы $A_{мс}$,

$\overline{A}_8 \dots \overline{A}_1$ — адрес 16-разрядной ячейки памяти,

$\overline{A}_0$ — адрес байта при записи: 0 — признак передачи старшего байта, 1 — младшего; при записи слова $\overline{A}_0 = 1$;

$D_{15} \dots D_8$ — старший байт данных,

$D_7 \dots D_0$ — младший байт данных.

При каждом включении питания в микросхему должен быть записан собственный адрес. Эта процедура состоит из двух этапов: вначале подается адрес программирования (служебный адрес), затем данные программирования. Форматы адреса и данных программирования приведены на рис. 2.4. Для программирования микросхемы к ней следует обратиться служебным адресным кодом FFF0. Для этого разряды $\overline{A}_{15} \dots \overline{A}_4$ устанавливаются в состояние лог. 0, а разряды $\overline{A}_3 \dots \overline{A}_0$ — в состояние лог. 1. Формат данных программирования содержит поле для кода адреса $A_{мс}$ и разряд D_8 для бита РП. Остальные разряды кода данных могут иметь произвольное состояние.

Наличие у микросхемы устройства программирования и селекции адреса позволяет формировать на ее основе блоки 16-разрядных ОЗУ емкостью, кратной 256, до 32 К×16 бит непосредственным подключением микросхем к магистрали без дополнительных функциональных узлов для сопряжения.

При подключении к магистрали нескольких микросхем появляется необходимость разделения их служебных адресов, поскольку у всех микросхем этот адрес FFF0 одинаков. Для решения этой задачи следует выводы $ADIO_1 \dots$ $\dots ADIO_3$ микросхем подключить к разным линиям шины «Адрес — Данные». Например, как показано на рис. 2.5, у микросхемы DD1, выводы которой подключены к одноименным линиям ШАД, адресом программирования будет FFF0, а у микросхемы DD2, выводы $ADIO_3 \dots ADIO_4$ которой подключены к линиям

Шина „Адрес-Данные"

DD1			DD2		
RAM 1K	ADIO 0	AD_0	RAM 1K	ADIO 0	AD_0
	1	AD_1		1	AD_1
	2	AD_2		2	AD_2
	3	AD_3		3	AD_3
	4	AD_4		4	AD_4
	5	AD_5		5	AD_5

Рис. 2.5. Подключение микросхем КР537РУ11 к общей шине «Адрес—Данные», обеспечивающее различие их адресов программирования

AD_4 и AD_3 соответственно, адрес программирования изменится на FFE8. У третьей микросхемы адрес программирования FFE4 задан соединением $ADIO_2=AD_4$, $ADIO_4=AD_2$ и т. д.

Микросхема КР537РУ11 может работать в режимах записи 16-разрядного слова, записи отдельно старшего и младшего байтов данных, считывания 16-разрядного слова, а также считывания слова и записи по этому же адресу другого слова (режим «считывание—модификация—запись» — RMW).

Микросхема относится к группе тактируемых, поскольку фиксация адресного кода во внутреннем регистре происходит при перепаде H/L сигнала синхронизации $\bar{C}$. Обмен данными с магистралью осуществляется в асинхронном режиме. Временные диаграммы, иллюстрирующие процессы считывания (рис. 2.6, *а*) и записи (рис. 2.6, *б*) информации, снабжены стрелочными переходами, указывающими источник, приемник и последовательность возбуждений.

Динамические параметры микросхемы в диапазоне температур —10 ... +70° C имеют следующие значения:

время цикла t_{CY} не более 590 нс;

время выборки сигнала считывания $t_{A(RD)}$ 440 нс;

время удержания адреса относительно сигнала $\bar{C}$ $t_{H(C-A)}$ 20 нс;

время установления сигнала считывания относительно сигнала $\bar{C}$ $t_{SU(C-RD)}$ 20 нс;

длительность интервала между сигналами $\bar{C}$ $t_{REC(C)}$ 130 нс.

В режимах записи и считывания данных поступающий на выводы $ADIO_0$ ... ... $ADIO_{15}$ адресный код по перепаду H/L сигнала $\bar{C}$ фиксируется во внутреннем

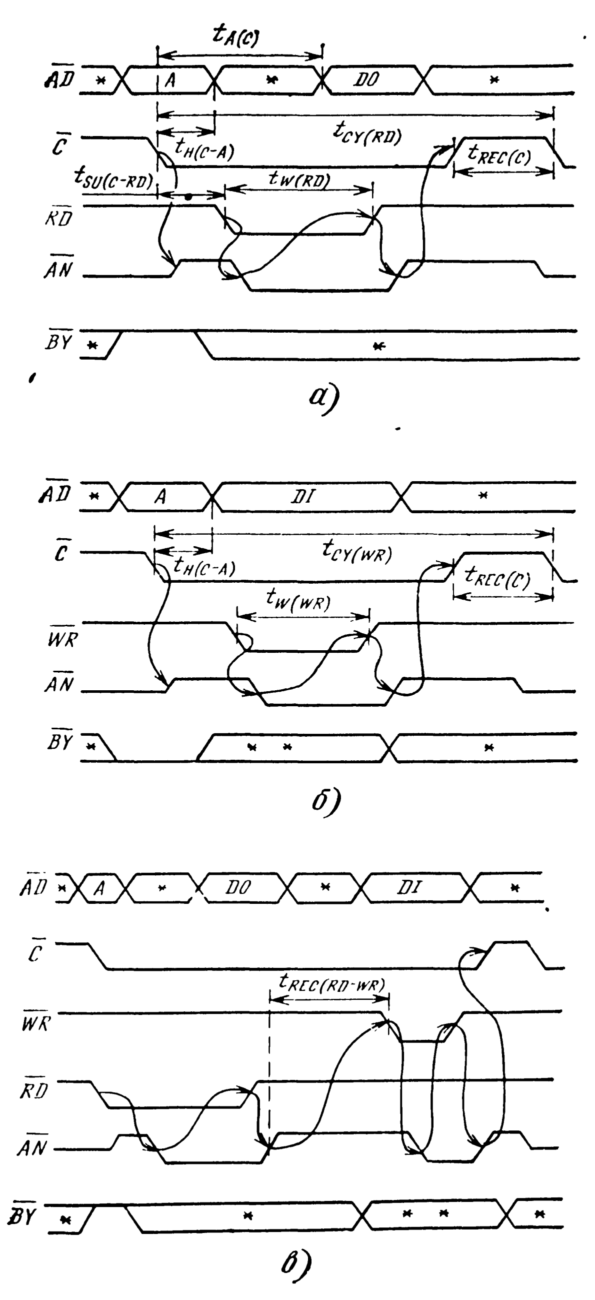


Рис. 2.6. Временные диаграммы сигналов микросхемы КР537РУ11:

а — считывание; *б* — запись; *в* — считывание—модификация—запись (* — состояние сигнала может быть произвольным)

регистре и опознается путем сравнения его старших разрядов с собственным адресом микросхемы. При совпадении адресов производится выборка адресуемой ячейки накопителя. Записав адрес, микросхема формирует сигнал ответа $\overline{AN}=1$. Одновременно с кодом адреса микросхема получает сигнал $\overline{BY}$, который информирует ее о режиме предстоящего обмена: при записи $\overline{BY}=0$, при считывании $\overline{BY}=1$.

В режиме считывания $\overline{RD}=0$ микросхема выдает данные в сопровождении сигнала ответа $\overline{AN}=0$. После приема данных внешним устройством (процессором) оно снимает сигнал считывания, переводя его в состояние лог. 1, что является для микросхемы признаком окончания выдачи данных и снятия сигнала ответа $\overline{AN}$, который принимает состояние лог. 1. Внешнее устройство реагирует на изменение состояния сигнала ответа снятием сигнала синхронизации обмена, переводя его в состояние $\bar{C}=1$ на время не менее $t_{REC(C)}$, в течение которого устанавливаются процессы во внутренних узлах микросхемы.

В режиме записи при поступлении с магистрали данных $DI_0 \dots DI_{15}$ и сигнала записи $\overline{WR}=0$ микросхема принимает данные для записи словом, если на линии WRBY сигнал $\overline{BY}=1$, или байтами, если $\overline{BY}=0$: старший байт записывается при наличии в адресном коде признака $\bar{A}_0=0$, а младший — при $\bar{A}_0=1$. Прием микросхемой данных квитируется ею сигналом $\overline{AN}=0$. На заключительном этапе цикл записи протекает так же, как цикл считывания.

Режим хранения обеспечивается сигналом $\bar{C}=1$. При этом выходы принимают Z-состояние независимо от состояний сигналов на других входах.

В режиме RMW (рис. 2.6, *в*) события происходят так же как и в других режимах с тем отличием, что после снятия сигнала считывания сигнал синхронизации сохраняет активное состояние на последующий цикл записи.

Микросхемы памяти на основе КМДП-транзисторных структур в режиме хранения потребляют на два-три порядка меньшую мощность, чем в режиме обращения к ним для записи или считывания информации. Можно в этой связи отметить, что для многих микросхем других схемно-технологических типов мощность потребления в указанных режимах одинакова.

Эту особенность КМДП-микросхем широко используют для придания устройствам оперативной памяти свойства энергонезависимости. С этой целью в блоке статического ОЗУ к выводам питания микросхем через ключ, например диод или транзистор, подключают резервный низковольтный источник питания с напряжением 3...5 В. При нормальном режиме питания ключ закрыт, а при выключении основного питания он открывается и подключает к микросхемам резервный источник напряжения. В это время необходимо обеспечить изоляцию накопителя от внешних цепей, чтобы не повредить записанную информацию. Обычно для этой защиты предусматривают переход сигнала CS в состояние, запрещающее доступ к микросхеме.

Некоторые микросхемы статических ОЗУ зарубежного производства снабжены встроенными в корпус гальваническими элементами, как, например, микросхема MK48Z30 емкостью 32×8 бит, имеющая встроенные на крышке корпуса два литиевых гальванических элемента. В этой микросхеме на одном по-

лупроводниковом кристалле с элементами структуры ОЗУ изготовлены устройства индикации уровня напряжения питания и переключения питания на резервное. Расчетное время сохранения информации при питании от встроенного источника составляет десятки лет [7].

Низковольтный резервный источник питания можно использовать также с целью снижения общего энергопотребления микросхем ОЗУ, предусмотрев возможность автоматического переключения питания микросхем при переходе их в режим хранения с основного источника 5 В на резервный.

Из данных табл. 2.4 следует, что наименьшую мощность при пониженном напряжении питания потребляют микросхемы КР537РУ3Б (1,1 мкВт), КР537РУ10 (0,6 мкВт), КР537РУ17 (4 мкВт).

Микросхема КМ1603РУ1 является тактируемой микросхемой статического ОЗУ емкостью 256×4 бит. Статические и динамические параметры микросхемы приведены в табл. 2.3—2.5, назначение выводов корпуса — в табл. 2.13.

В устройстве микросхемы можно выделить ряд особенностей. Во-первых, она имеет встроенный в кристалл адресный регистр, в котором по перепаду сигнала выбора фиксируется код адреса. Во-вторых, информационные входы и выходы разделены, что нетипично для микросхем со словарной организацией. В-третьих, доступ к микросхеме обеспечивают два сигнала выбора CS_1 и $\overline{CS_2}$ при условии $CS_1=1$, $\overline{CS_2}=0$. При всех других комбинациях этих сигналов микросхема находится в режиме хранения, а ее выводы принимают Z-состояние.

Режимы работы микросхемы и условия их реализации приведены в табл. 2.14. Из таблицы истинности следует, что микросхема имеет два режима записи: с контролем и без контроля записываемой информации с помощью выходных данных. В обычном режиме записи сигнал разрешения выхода $\overline{OE}$ устанавливается в состояние лог. 1 и поэтому выходы находятся в Z-состоянии. В режиме записи с контролем сигнал $\overline{OE}$ имеет состояние лог. 0 и на выходах появляется записываемая в микросхему информация.

Микросхема, имея напряжение питания 5 В, способна сохранять информацию при 2 В, потребляя при этом мощность 30 мкВт, что на три порядка меньше, чем в режиме обращения.

В режиме записи (считывания) требуется сигналы выбора CS_1 и $\overline{CS_2}$ или один из них подавать импульсом, например сигнал $\overline{CS_2}$. По перепаду H/L этого сигнала в регистр записывается адресный код и хранится там в течение всего цикла обращения к микросхеме. Для надежной фиксации адресных сигналов в регистре требуется код адреса сохранить на время $t_{H(CS_2-A)}=200$ нс. Время выбора имеет следующие значения: $t_{CS_1}=550$ нс, $t_{CS_2}=450$ нс. При подаче сигнала $\overline{CS_1}$ Н-уровнем, а сигнала $\overline{CS_2}$ импульсом время выбора будет определять сигнал $\overline{CS_2}$. Время выборки адреса в этом случае равно $t_{A(A)}=t_{SU(A-CS_2)}+t_{CS_2}=500$ нс, а время цикла $t_{CY}=t_{W(CS_2)}+t_{REC(CS_2)}=$ $=690$ нс, где $t_{W(CS_2)}=450$ нс, $t_{REC(CS_2)}=240$ нс.

Приведенные данные справедливы при условии, что в режиме считывания сигнал $\overline{OE}$ подан низким уровнем. Если этот сигнал задается импульсом с задержкой установления относительно сигнала $\overline{CS_2}$ $t_{SU(CS_2-OE)}$, то время выбора соответственно увеличится.

Таблица 2.13. **Назначение выводов КМДП-микросхем памяти**

Номер вывода	КР188РУ2	К176РУ2	К561РУ2	КМ581РУ5	КМ1603РУ1
1	A_3	A_3	A_0	A_7	A_1
2	—	A_2	A_1	A_6	A_2
3	A_2	A_1	A_2	A_5	A_3
4	A_1	0V	0V	A_4	A_4
5	A_0	U_{cc}	U_{cc}	A_3	A_5
6	DI	A_0	A_3	A_2	A_6
7	DO	A_4	A_4	A_1	A_7
8	0V	—	—	A_0	0V
9	WR/RD	A_5	A_5	DIO_0	DI_0
10	A_7	A_6	A_6	DIO_1	DO_0
11	A_6	A_7	A_7	DIO_2	DI_1
12	A_5	DI	DI	0V	DO_1
13	A_4	DO	DO	DIO_3	DI_2
14	CS	$\overline{DO}$	$\overline{DO}$	DIO_4	DO_2
15	—	WR/RD	WR/RD	DIO_5	DI_3
16	U_{cc}	CS	CS	DIO_6	DO_3
17				DIO_7	CS_1
18				$\overline{CS}$	$\overline{OE}$
19				A_{10}	$\overline{CS_2}$
20				$\overline{OE}$	$\overline{WR}$/RD
21				$\overline{WR}$/RD	A_0
22				A_9	U_{cc}
23				A_8	
24				U_{cc}	

Примечание. Знак инверсии над обозначением вывода указывает на то, что вывод инверсный и на графическом изображении микросхемы должен быть обозначен кружком.

Таблица 2.14. **Таблица истинности микросхемы КМ1603РУ1**

CS_1	$\overline{CS_2}$	$\overline{OE}$	$\overline{WR}$/RD	$A_0 \ldots A_7$	$DI_0 \ldots DI_3$	$DO_0 \ldots DO_3$	Режим работы
M	M	X	X	X	X	Z	Хранение
1	0	1	1	A	X	Z	Запрет выхода
1	0	1	0	A	D_0—D_3	Z	Запись
1	0	0	0	A	D_0—D_3	D_0—D_3	Запись с контролем
1	0	0	1	A	X	D_0—D_3	Считывание

Примечание. М — любая комбинация сигналов выбора, отличная от $CS_1=1$, $\overline{CS_2}=0$.

Микросхемы КМ581РУ5 (Б—Г) представляют собой асинхронные статические ОЗУ емкостью 2К×8 бит. Различия типономиналов микросхем в основном определяются быстродействием и потребляемой мощностью (см. табл. 2.3). Данные микросхемы характеризуются сравнительно высоким быстродействием и значительным уровнем потребляемой мощности как в режиме обращения, так и в режиме хранения. По входам и выходам они совместимы с ТТЛ-микросхемами.

Таблица истинности аналогична табл. 2.10 для микросхемы КР537РУ9. Конструктивно микросхемы оформлены в корпус 2120.24-11, назначение выводов которого указано в табл. 2.13.

2.3. МДП-микросхемы статических ОЗУ

Характеристики n-канальных МДП-микросхем статических ОЗУ серий К132, К1809, К565 представлены данными в табл. 2.15—2.18, а назначение выводов дано в табл. 2.19. Значения статических и динамических параметров приведены для температурного диапазона —10 ... +70° С.

Таблица 2.15. Характеристики МДП-микросхем статических ОЗУ

Микросхема	Емкость, бит	Режим доступа	t_{CY}, нс	P_{cc}, мВт	P_{ccs}, мВт	Тип корпуса
КР132РУ2А	1К×1	А	650	385	—	2103.16-6
КР132РУ2Б	1К×1	А	950	440	—	2103.16-6
КР132РУ3А	1К×1	А	75	660	—	2103.16-6
КР132РУ3Б	1К×1	А	75	550	—	2103.16-6
КР132РУ4А	1К×1	Т	55	330	247	2103.16-2
КР132РУ4Б	1К×1	Т	110	330	247	2103.16-2
КМ132РУ5А	4К×1	А	85	880	165	2104.18-1
КМ132РУ5Б	4К×1	А	120	880	165	2104.18-1
КР132РУ6А	16К×1	Т	75	440	137	2140Ю.20-3
КР132РУ6Б	16К×1	Т	120	440	137	2140Ю.20-3
КМ132РУ8А	1К×4	А	70	880	137	2104.18-1
КМ132РУ8Б	1К×4	А	120	880	137	2104.18-1
КМ132РУ9А	1К×4	А	60	950	—	2104.18-1
КМ132РУ9Б	1К×4	А	110	950	—	2104.18-1
КМ132РУ10А	64К×1	Т	75	460	165	2108.22-09.01
КМ132РУ10Б	64К×1	Т	90	460	165	2108.22-09.01
К565РУ2А	1К×1	А	450	385	370	2103.16-8
К565РУ2Б	1К×1	А	850	385	370	2103.16-8
К1809РУ1	1К×16	Т	880	630	600	210Б.24-1
К1809РУ1А	512×16	Т	1200	630	600	210Б.24-1

Примечания: 1. В таблице обозначены Т — тактируемые микросхемы, А — асинхронные микросхемы.
2. Выходы всех микросхем могут принимать Z-состояние.

Таблица 2.16. **Характеристики МДП-микросхем памяти**

Микросхема	Емкость, бит	$t_{A(A)}$, нс	P_{cc}, мВт	P_{ccs}, мВт	Тип корпуса
КР132РУ11А	2К×8	150	770	—	2120.24-13.01
КР132РУ11Б	2К×8	250	880	—	2120.24-1301
КМ132РУ12А	4К×4	50	770	275	2140.20-9
КМ132РУ12Б	4К×4	70	770	275	2140.20-9
КМ132РУ13А	2К×8	55	880	275	2142.24-3
КМ132РУ13Б	2К×8	70	880	275	2142.24-3
КР132РУ14А	1К×4	60	550	150	2104.18-9
КР132РУ14Б	1К×4	80	550	150	2104.18-9
КР132РУ15А	1К×4	55	550	—	2104.18-9
КР132РУ15Б	1К×4	70	550	—	2104.18-9
КР132РУ16А	4К×1	55	495	165	2104.18-9
КР132РУ16Б	4К×1	80	495	165	2104.18-9

Наиболее развитым функциональным составом отличается серия К132, включающая около 30 типономиналов микросхем. Для микросхем серии характерны следующие общие свойства: сравнительно высокое быстродействие (время цикла у большинства микросхем имеет значение в пределах 55 ... 120 нс), единое напряжение питания 5 В, совместимость по входам и выходам с ТТЛ-микросхемами, наличие у выходов трех состояний, единая система сигналов управления (основными сигналами являются $\overline{CS}$ и $\overline{WR}/RD$), пониженный в 3 ... 6 раз уровень потребляемой мощности в режиме хранения.

Микросхемы серии К132 работают в режимах записи, хранения, считывания. Условия реализации этих режимов приведены в табл. 2.20 и 2.21.

Отличительной особенностью микросхемы КР132РУ2 является возможность контроля записываемой информации, поскольку в режиме записи информация, записываемая в микросхему, появляется на выходе, как это показано в табл. 2.22. Аналогичным свойством обладает микросхема К565РУ2.

Данное свойство микросхем не позволяет объединять их информационные входы и выходы для подключения к шине данных.

При реализации схем управления режимами микросхем памяти необходимо учитывать требования к форме представления сигналов управления $\overline{CS}$ и $\overline{WR}/RD$. Эти требования, как отмечалось в § 2.1, различны для тактируемых и асинхронных микросхем статических ОЗУ. К числу тактируемых относятся микросхемы КР132РУ4, КР132РУ6, КМ132РУ10. Остальные микросхемы серии К132 из приведенных в табл. 2.15 являются асинхронными.

Микросхемы КР132РУ4, РУ6, РУ10 имеют встроенные в кристалл регистры-«защелки» во входных цепях всех сигналов: адресных, информационных и управляющих. Эта особенность микросхем обусловливает требование к времени удержания адресных сигналов на входах микросхемы относительно сигнала $\overline{CS}$: $t_{H(CS-A)}$ =25 ... 50 нс (см. рис. 2.2). Затем адресные сигналы могут при-

Таблица 2.17. **Статические параметры МДП-микросхем ОЗУ**

Микросхема	U_{cc}, В	U_I, В		U_O, В		I_O, мА			I_{LI}, мкА	I_{LO}, мкА
		L	H	L	H	L	H	lim		
КР132РУ2, РУ3	5±10 %	0,4	2,4	0,4	2,4	1,6	0,1	3,2	10	20
К132РУ4, РУ6, РУ10	5±10 %	0,4	2,4	0,4	2,4	5,0	2	10	10	50
К132РУ5, РУ8, РУ9	5±10 %	0,4	2,4	0,4	2,4	8,0	4	10*	10	50
К1801РУ1	5±10 %	0,5	2,4	0,5	2,4	3,2	0,08	5	20	20
К565РУ2	5±10 %	0,8	2	0,4	2,4	2,1	0,1	10	10	10

* У микросхемы КР132РУ5 предельный выходной ток $I_{O\ lim}$=20 мА.

Примечание. Предельное значение напряжения питания у всех микросхем $U_{cc\ lim}$=6 В.

Таблица 2.18. **Динамические параметры МДП-микросхем ОЗУ**

Микросхема	$t_{A(A)}$, нс	$t_{SU(A-CS)}$, нс	$t_{W(CS)}$, нс	$t_{V(CS-A)}$, нс	$t_{REC(CS)}$, нс	C_L, пФ	
						номинальная	предельная
КР132РУ2А	650	100	400	0	0	100	500
КР132РУ2Б	950	100	400	0	0	100	500
КР132РУ3А	75	10	55	—	—	100	500
КР132РУ3Б	125	10	55	—	—	100	500
КР132РУ4А	33	0	33	—	22	30	100
КР132РУ4Б	70	0	70	—	40	30	100
КМ132РУ5А	85	0	70	15	0	30	600
КМ132РУ5Б	120	0	105	15	0	30	600
КР132РУ6А	45	0	45	—	30	30	120
КР132РУ6Б	70	0	70	—	50	30	120
КМ132РУ8А	70	0	55	5	0	30	600
КМ132РУ8Б	120	0	55	5	0	30	600
КМ132РУ9А	60	5	50	5	0	30	600
КМ132РУ9Б	110	5	60	5	0	30	600
КМ132РУ10А	60	4	60	—	15	45	500
КМ132РУ10Б	75	4	75	—	15	45	500
К565РУ2А	450	20	300	130	0	100	600
К565РУ2Б	850	200	600	50	0	100	600
К1809РУ1	400	75	805	—	75	100	—
К1809РУ1А	400	75	1100	—	100	100	—

Примечания: 1. Режим RMW микросхемы КР132РУ6А (Б) характеризуется следующими параметрами: $t_{W(CS)}$=110 (150) нс, $t_{W(WR)}$=30 (45) нс, $t_{SU(CS-WR)}$=35 (50) нс, t_{CY}=140 (200) нс.

2. Входные емкости микросхем равны 5 . . . 7 пФ, выходные — 7 . . . 12 пФ.

Таблица 2.19. Назначение выводов МДП-микросхем ОЗУ

Номер вывода	К1809 РУ1	К132						К565 РУ2
		РУ10	РУ6	РУ5	РУ8, РУ9	РУ3, РУ4	РУ2	
1	$\overline{RD}$	A_0	A_3	A_0	A_6	$\overline{CS}$	A_1	A_6
2	$\overline{AN}$	A_2	A_4	A_1	A_5	A_0	A_0	A_5
3	$\overline{C}$	A_4	A_5	A_2	A_4	A_1	$\overline{WR}$/RD	$\overline{WR}$/RD
4	$ADIO_4$	A_6	A_6	A_3	A_3	A_2	A_6	A_1
5	$ADIO_5$	A_7	A_7	A_4	A_0	A_3	A_7	A_2
6	$ADIO_6$	A_8	A_8	A_5	A_1	A_4	A_8	A_3
7	$ADIO_7$	A_9	A_9	DO	A_2	DO	A_9	A_4
8	$ADIO_8$	A_{10}	DO	$\overline{WR}$/RD	$\overline{CS}$	0V	A_5	A_0
9	$ADIO_9$	DO	$\overline{WR}$ RD	0V	0V	A_5	0V	0V
10	$ADIO_{10}$	$\overline{WR}$/RD	0V	$\overline{CS}$	$\overline{WR}$/RD	A_6	U_{cc}	U_{cc}
11	$ADIO_{11}$	0V	$\overline{CS}$	DI	DIO_3	A_7	DI	DI
12	0V	$\overline{CS}$	DI	A_{11}	DIO_2	A_8	DO	DO
13	$ADIO_3$	DI	A_{10}	A_{10}	DIO_1	A_9	$\overline{CS}$	$\overline{CS}$
14	$ADIO_2$	A_{11}	A_{11}	A_9	DIO_0	$\overline{WR}$/RD	A_4	A_9
15	$ADIO_1$	A_{12}	A_{12}	A_8	A_9	DI	A_3	A_8
16	$ADIO_0$	A_{13}	A_{13}	A_7	A_8	U_{cc}	A_2	A_7
17	$ADIO_{12}$	A_{14}	A_0	A_6	A_7			
18	$ADIO_{13}$	A_{15}	A_1	U_{cc}	U_{cc}			
19	$ADIO_{14}$	A_5	A_2					
20	$ADIO_{15}$	A_3	U_{cc}					
21	BS	A_1						
22	$\overline{BY}$	U_{cc}						
23	$\overline{WR}$							
24	U_{cc}							

Примечание. Знак инверсии над обозначением вывода указывает на то, что вывод инверсный и должен быть обозначен на условном графическом изображении микросхемы кружком.

Таблица 2.20. Таблица истинности микросхем серии К132 (РУ3, РУ4, РУ5, РУ6, РУ10)

$\overline{CS}$	$\overline{WR}$/RD	A	DI	DO	Режим работы
1	X	X	X	Z	Хранение
0	0	A	D	Z	Запись
0	1	A	X	D	Считывание

Таблица 2.21. **Таблица истинности микросхем К132РУ8, РУ9**

$\overline{CS}$	$\overline{WR}/RD$	$A_0 \ldots A_9$	$DIO_0 \ldots DIO_3$	Режим работы
1	X	X	Z	Хранение
0	0	A	$D_0 \ldots D_3$	Запись
0	1	A	$D_0 \ldots D_3$	Считывание

Таблица 2.22. **Таблица истинности микросхем КР132РУ2, К565РУ2**

$\overline{CS}$	$\overline{WR}/RD$	$A_0 \ldots A_9$	DI	DO	Режим работы
1	X	X	X	Z	Хранение
0	0	A	D	D	Запись
0	1	A	X	D	Считывание

нимать произвольные состояния, не нарушая работу микросхемы в текущем цикле. Особенностью микросхемы КР132РУ6 является наличие у нее дополнительно к обычным для микросхем ОЗУ режимам работы режима «считывание — модификация — запись». Этот режим описан в § 2.1 и проиллюстрирован временными диаграммами на рис. 2.6, *в*. Для этой же микросхемы техническими условиями оговорен маломощный режим хранения, обеспечиваемый питанием накопителя через вход CS напряжением U_{cc}. Источник питания при этом должен быть отключен от вывода питания микросхемы. В этом режиме микросхема потребляет ток менее 2 мА, что соответствует потребляемой мощности менее 11 мВт. Это в 10 раз меньше, чем в режиме хранения при номинальном напряжении питания 5 В.

В режиме считывания на выходах микросхем КМ132РУ5 и КМ132РУ9 может появиться помеха после подачи импульсного сигнала $\overline{CS}$ или при изменении адресных сигналов, если сигнал $\overline{CS}=0$ подан уровнем. Помеха на выходе может возникнуть до появления информационного сигнала, т. е. в интервале времени не более t_{CS}. Время возникновения помехи определяется параметром $t_{SU(CS-DO)}$ или $t_{SU(A-DO)}$. Например, у микросхемы КМ132РУ9 значение этого параметра равно 5 нс при времени выборки адреса 60 нс. Как видно, помеха появляется на выходе микросхемы значительно раньше сигнала считываемых данных.

Микросхема КМ132РУ10А(Б) емкостью 64К бит имеет несколько модификаций (типономиналов) с меньшей информационной емкостью 32К. Это микросхемы КМ132РУ101А(Б) и КМ132РУ102А(Б). Статические и динамические параметры этих микросхем не отличаются от параметров базовой микросхемы. Поскольку емкость микросхем вдвое меньше, то при их установке на плату на вывод старшего разряда адресного кода A_{15} необходимо подать напряжение с уровнем лог. 0 у микросхемы КМ132РУ101 и лог. 1 у микросхемы КМ132РУ102.

Состав серии К132 расширяется за счет микросхем с четырех- и восьмиразрядной организацией и более высоким быстродействием (табл. 2.16).

Микросхемы К1809РУ1 (1К×16 бит) К1809РУ1А (512×16 бит), К1809РУ1Б

(256×16 бит) имеют встроенный интерфейс, ориентированный на совместное применение с магистралью по ГОСТ 26765.51—86. Электрические параметры микросхем приведены в табл. 2.17 и 2.18, а назначение выводов для К1809РУ1 дано в табл. 2.19.

Микросхемы К1809РУ1А и К1809РУ1Б выпускаются в двух вариантах, отличающихся рабочей областью накопителя: К1809РУ1А00, К1809РУ1А10 и К1809РУ1Б00, К1809РУ1Б10. В этих микросхемах часть адресных входов не используется и на них необходимо обеспечить следующие уровни напряжений: в микросхемах РУ1А00 $A_{10}=0$, РУ1А10 $A_{10}=1$, в микросхемах РУ1Б00 $A_9=A_{10}=0$, РУ1Б11 $A_9=A_{10}=1$, РУ1Б01 $A_9=1, A_{10}=0$, РУ1Б10 $A_9=0, A_{10}=1$. Статические и динамические параметры микросхем-модификаций одинаковы с параметрами микросхем К1809РУ1А и К1809РУ1Б.

Система управляющих, информационных и адресных сигналов микросхемы К1809РУ1 и ее модификаций, а также алгоритм ее функционирования отвечают требованиям указанного ранее стандарта к структуре магистрали и правилам взаимодействия с нею. В этом отношении рассматриваемая микросхема, имея свои особенности, близка к микросхеме КР537РУ11 (см. § 2.2) и по интерфейсным характеристикам совместима с нею.

Микросхема имеет 16 выводов $ADIO_0 \ldots ADIO_{15}$ для подключения к общей шине «Адрес — Данные» $AD_0 \ldots AD_{15}$ магистрали. По этим выводам подводятся к микросхеме сигналы адресного кода и записываемых данных и отводятся от нее сигналы считываемых данных. Управление работой микросхемы осуществляют сигналами: $\overline{C}$ — синхронизация, $\overline{WR}$ — запись, $\overline{RD}$ — считывание, $\overline{BY}$ — признак записи байта. Эти сигналы являются входными. Для ответа микросхемы о принятии данных для записи или выдаче данных при считывании предусмотрен выходной сигнал $\overline{AN}$ — ответ. Для обеспечения обмена микросхемы с магистралью указанными сигналами она подключается соответствующими этим сигналам выводами к одноименным линиям шины управления магистрали.

В разводке выводов микросхемы имеется одна особенность, которая состоит в том, что вывод 21 соединен с кристаллом, находящимся под напряжением смещения 1,8 В (назначение смещения рассмотрено в § 1.2). При установке микросхемы на плате рекомендуется вывод 21 подключить через конденсатор емкостью 1000 пФ к корпусу.

В структуру микросхемы встроено программируемое устройство в виде пятиразрядного регистра и селектора адреса. В это устройство предварительно записывается код собственного адреса микросхемы $A_{мс}$. Адресный селектор, реализованный в виде цифрового компаратора, выполняет функцию идентификации приходящего с магистрали адреса. Кроме указанного устройства микросхема имеет функциональный узел для программирования режима работы: ОЗУ или ПЗУ. В составе микросхемы имеются также два 16-разрядных регистра для хранения кода адреса и кода данных.

Адресные сигналы и сигналы данных подводятся к микросхеме по одной 16-разрядной шине в мультиплексном режиме: вначале поступают сигналы адреса, затем — данные. Отдельные разряды кода адреса имеют следующее назначение:

$A_{15} \ldots A_{11}$ — собственный адрес микросхемы,

$A_{10} ... A_1$ — адрес ячейки памяти,

A_0 — адрес байта: $\overline{A}_0=0$ — признак передачи старшего байта данных (D_{15}... ...D_8), $\overline{A}_0=1$ — младшего байта ($D_7 ... D_0$); при передаче слова разряд A_0 может иметь произвольное состояние.

Следует обратить внимание на то, что при описании микросхемы будем использовать кодирование физических уровней сигналов — низкого L и высокого H, принятое в положительной логике: L-уровень соответствует логическому состоянию 0, H-уровень — логическому состоянию 1. Поскольку микросхема ориентирована на интерфейс МПИ, в котором сигналы имеют инверсное представление, то необходимо ввести в обозначения сигналов и соответствующих им выводов знаки инверсии.

Если микросхема находится в составе блока ОЗУ, то при каждом включении питания в микросхему должен быть записан ее собственный адрес $A_{мс}$. Для этого к ней производится обращение по адресу программирования (служебному адресу (FFFO) запись в шестнадцатеричной системе счисления), т. е. устанавливают разряды $\overline{A}_{15} ... \overline{A}_4$ в состояние лог. 0, разряды $\overline{A}_3 ... \overline{A}_0$ — в состояние лог. 1. Затем по этим же линиям общей шины подают 16-разрядный код данных, в котором разряды $\overline{D}_{15} ... \overline{D}_{11}$ содержат собственный адрес микросхемы, а $\overline{D}_{10}$ — значение бита признака режима работы (режима применения): при $\overline{D}_{10}=0$ микросхема работает в режиме ОЗУ, при $\overline{D}_{10}=1$ в микросхеме блокируются цепи записи, и она может работать только в режиме считывания записанных ранее данных, т. е. в режиме ПЗУ. Значения остальных разрядов кода данных программирования могут быть произвольными.

Наличие у микросхемы пятиразрядного программируемого адресного устройства и селектора адреса позволяет подключать к магистрали без дополнительных устройств до 32 микросхем для образования блока статического ОЗУ емкостью до 32К×16 бит. При подключении к магистрали нескольких микросхем возникает необходимость разделения служебных адресов микросхем. В противном случае во все микросхемы будет записан один адрес $A_{мс}$, поскольку служебный адрес FFF0 у всех микросхем одинаков. Для решения этой задачи можно использовать различные схемы подключения выводов $ADIO_1$ ... ...$ADIO_3$ и $ADIO_4 ... ADIO_7$ к линиям магистрали $AD_1 ... AD_7$. Например, подключение вывода $ADIO_3$ к линии AD_4, а вывода $ADIO_4$ к линии AD_3 изменит служебный адрес микросхемы с FFF0 на FFE8, при схеме подключения $ADIO_1=AD_4$, $ADIO_4=AD_1$ получим адрес FFE2, при схеме $ADIO_5=AD_3$, $ADIO_3=AD_5$ — адрес FFD8 и т. д.

Микросхема может работать в следующих режимах: запись и считывание 16-разрядного слова, запись отдельно старшего и младшего байта данных, а также в режиме «считывание — модификация — запись» (RMW) 16-разрядного слова. Микросхема относится к группе тактируемых. Фиксация адресного кода в регистре осуществляется по перепаду H/L синхросигнала $\overline{C}$. Обмен данными с магистралью при записи и считывании происходит в асинхронном режиме.

Алгоритм функционирования микросхемы К1809РУ1 соответствует процедурам адресного обращения к памяти, записи и считывания данных, предусмотренным ГОСТ 26765.51—86. Описание режимов для микросхемы К537РУ11,

данное в § 2.2 и проиллюстрированное временными диаграммами на рис. 2.6, применимо и для микросхемы К1809РУ1.

В дополнение к данным табл. 2.18 приведем значения динамических параметров микросхем К1809РУ1, К1809РУ1А и К1809РУ1Б в диапазоне температур —10 ... +70° С (в скобках указаны значения параметров К1809РУ1А и РУ1Б, отличающиеся от параметров К1809РУ1):

Время цикла записи (считывания) t_{CY}, нс	880(1200)
Время цикла «считывание—модификация—запись», мкс . . .	1,7(2,4)
Время выборки сигнала $\overline{C}$ $t_{A(C)}$, нс	325
Время удержания адреса относительно сигнала синхронизации $\overline{C}$ $t_{H(C-A)}$, нс	25
Время установления сигнала считывания относительно сигнала $\overline{C}$ $t_{SU(C-RD)}$, нс	50
Длительность сигнала считывания $t_{W(RD)}$, нс	625(950)
Длительность сигнала записи $t_{W(WR)}$, нс	700(750)
Длительность интервала между сигналами синхронизации $\overline{C}$ $t_{REC(C)}$, нс	75(100)
Время сохранения сигнала $\overline{C}$ после сигналов записи и считывания, нс:	
$t_{V(RD-C)}$	130(100)
$t_{V(WR-C)}$	0(100)
Длительность интервала в режиме RMW между сигналами $\overline{RD}$ и $\overline{WR}$ $t_{REC(RD-WR)}$, нс	(240)
Время установления в режиме RMW сигнала $\overline{WR}$ относительно сигнала $\overline{C}$ $t_{SU(C-WR)}$, нс	900

Время цикла обращения к микросхеме для считывания (записи) определяется из выражений

$$t_{CY} = t_{W(C)} + t_{REC(C)},$$

где $t_{W(C)RD} = t_{SU(C-RD)} + t_{W(RD)} + t_{V(RD-C)}$ или $t_{W(C)WR} = t_{SU(C-WR)} + t_{W(WR)} + t_{V(WR-C)}$.

Время цикла в режиме RMW может быть рассчитано из следующего выражения:

$$t_{CY(RMW)} = t_{SU(C-WR)RMW} + t_{W(WR)RMW} + t_{V(WR-C)} + t_{REC(C)}.$$

Микросхема К1809РУ1 электрически и конструктивно совместима с микропроцессорными БИС серии К1801. На основе этого микропроцессорного комплекта созданы одноплатные микроЭВМ семейства «Электроника-5», в частности микроконтроллеры «Электроника С5-41», в которых на микросхемах К1809РУ1 реализовано статическое ОЗУ емкостью (8 ... 12) К×16 бит. Пример применения микросхемы в блоке статического ОЗУ приведен в § 4.1.

Микросхема К565РУ2 емкостью 1К×1 бит — единственная микросхема статического ОЗУ в серии микросхем динамических ОЗУ К565. Микросхема относится к группе асинхронных. Ее параметры приведены в табл. 2.17 и 2.18, а назначение выводов — в табл. 2.19. Условия реализации режимов работы указаны в табл. 2.22.

Отметим две особенности микросхемы. Во-первых, имея выход с тремя состояниями, микросхема не допускает объединения информационных входа и

выхода для подключения к общей шине передачи данных. Эта особенность объясняется тем, что в микросхеме предусмотрен переход выхода в Z-состояние только при запрещающем состоянии сигнала выбора $\overline{CS}=1$. Поэтому в режиме записи, когда $\overline{CS}=0$ и $\overline{WR}/RD=0$, на выходе появляется записываемая информация, что позволяет осуществлять контроль правильности записи.

Во-вторых, при отрицательном перепаде сигнала $\overline{CS}$ или при смене адресных сигналов, если $\overline{CS}=0$, на выходе микросхемы до появления считываемого сигнала в интервале времени не более t_{CS} может возникнуть сигнал помехи.

По уровням входных и выходных сигналов микросхема совместима с ТТЛ-микросхемами.

2.4. Биполярные микросхемы статических ОЗУ

Характеристики биполярных микросхем статических ОЗУ широко известных серий представлены в табл. 2.23—2.25, а назначение выводов корпусов приведено в табл. 2.26.

Микросхемы памяти серий К500, К1500 изготовлены по ЭСЛ-технологии. Они характеризуются высоким быстродействием (время цикла 9 ... 45 нс), сравнительно небольшой, до 16К бит, информационной емкостью, повышенным энергопотреблением 0,5 ... 1,1 Вт, причем уровень мощности потребления для режимов обращения, т. е. в активном состоянии, и хранения одинаков.

По режиму доступа к накопителю микросхемы относятся к группе асинхронных. Выход микросхем выполнен по схеме с открытым эмиттером (ОЭ). Такой выход можно непосредственно подключать к линии передачи либо нагружать внешним резистором с сопротивлением 50 Ом, включая его между выходом ОЭ и дополнительным источником напряжения —2 В.

Микросхемы серии К1500 представляют собой второе поколение ЭСЛ-микросхем. Первым было поколение микросхем серий 100 и К500. Указанные серии характеризуются достаточно развитым функциональным составом, включающим микросхемы разных видов, в том числе и микросхемы памяти Микросхемы ОЗУ серии К1500 обладают более высоким быстродействием, чем микросхемы серии К500, при одинаковой потребляемой мощности, а также большей информационной емкостью. Несмотря на различия в напряжении питания микросхемы рассматриваемых серий могут применяться совместно без специальных средств сопряжения.

У ЭСЛ-микросхем разных серий много общего в устройстве и в режимах работы. Большая часть микросхем имеет одноразрядную организацию и только некоторые микросхемы — четырехразрядную. Все микросхемы работают в режимах записи, считывания и хранения информации при одинаковых условиях реализации этих режимов (табл. 2.27).

Микросхемы К500РУ148 и К500РУ410 имеют соответственно два и три входа для сигналов выбора $\overline{CS}$. Для доступа к накопителям этих микросхем необходимо обеспечить присутствие на всех входах CS сигналов с активным уровнем. При нарушении этого условия микросхема переходит в режим хранения, а на ее выходе устанавливается напряжение с уровнем лог. 0.

Таблица 2.23. Характеристики биполярных микросхем ОЗУ

Микросхема	Емкость, бит	Режим доступа	t_{CY}, нс	P_{cc}, Вт	Тип корпуса
К500РУ145	16×4	А	20	0,8	238.16-2
К500РУ148	64×1	А	24	0,65	238.16-2
К1500РУ410	256×1	А	40	0,73	238.16-2
К500РУ415	1К×1	А	40	0,8	238.16-2
К500РУ470	4К×1	А	40	1,1	2107.18-3
К1500РУ073	16×4	А	9	1	4114.24-3
К1500РУ415	1К×1	А	28	0,7	4106.16-4
К1500РУ470	4К×1	А	45	0,7	4116.18-3
К1500РУ474	1К×4	А	20	0,9	4114.24-3
КР1500РУ480А	16К×1	А	35	1	239.14-2
КР541РУ1	4К×1	А	155	0,5	2107.18-1
КР541РУ2	1К×4	А	140	0,5	2107.18-1
КР541РУ3	16К×1	А	170	0,6	2118.20-1
КР541РУ31	8К×1	А	170	0,6	2118.20-1
КР185РУ1	64×1	А	330	0,3	201.14-2
КР185РУ3	64×1	Т	430	0,3	201.14-2
КР185РУ4	256×1	Т	400	0,5	238.16-2
КР185РУ5	1К×1	А	400	0,36	238.16-2
КР185РУ7	256×4	А	45	0,84	2108.22-3
КР185РУ9	64×9	А	45	1,05	2121.28-4
К134РУ6	1К×1	А	1000	0,44	4112.16-2
К155РУ5	256×1	А	90	0,74	238.16-2
К155РУ7	1К×1	А	45	0,74	2108.22-1
КР531РУ8	16×4	А	95	0,58	201 16-16
КР531РУ9	16×4	А	95	0,55	201.16-16
КР531РУ11	16×4	Т	45	0,58	2104.18-2
К589РУ01	16×4	А	50	0,55	238.16-2

Микросхемы серии КР185 выполнены с применением тиристорных триггеров (КР185РУ2, КР185РУ3, КР185РУ4) и триггеров на элементах инжекционной логики (КР185РУ5, КР185РУ7, К185РУ9) в структуре накопителя и ТТЛ-элементов в схемах входных, выходных и управляющих функциональных узлов. Поэтому входные и выходные сигналы микросхем этой серии имеют ТТЛ-уровни и совместимы с ТТЛ-микросхемами.

Большинство микросхем серии имеет сравнительно невысокое быстродействие (время цикла равно 400 нс), значительное энергопотребление, соизмеримое с ЭСЛ-микросхемами, выходы с открытым коллектором, рассчитанные на значительную нагрузку (предельный выходной ток 10 ... 20 мА).

Таблица 2.24. **Статические параметры биполярных микросхем ОЗУ**

Микросхема	U_{cc}, В	I_{cc}, мА	U_I, В		U_O, В		I_O, мА		
			L	H	L	H	L	H	lim
К500РУ145	—5,2±5 %	150	—1,6	—1,1	—1,56	—1,07	—	—	27
К500РУ148	—5,2±5 %	122	—1,6	—1,1	—1,62	—1,02	—	—	27
К500РУ410	—5,2±5 %	140	—1,6	—1,1	—1,56	—1,07	—	—	27
К500РУ415	—5,2±5 %	150	—1,6	—1,1	—1,6	—1,04	—	—	27
К500РУ470	—5,2±5 %	210	—1,63	—0,6	—1,6	—1,04	—	—	27
К1500РУ073	—4,5±5 %	220	—1,6	—1,16	—1,61	—1,03	—	—	30
К1500РУ415	—4,5±5 %	150	—1,46	—1,16	—1,62	—1,02	—	—	30
К1500РУ470	—4,5±5 %	150	—1,46	—1,16	—1,62	—1,02	—	—	30
К1500РУ474	—4,5±5 %	195	—1,65	—1,47	—1,61	—1,03	24	—	30
КР1500РУ480А	—4,5±5 %	220	—1,62	—1,02	—1,61	—1,03	30	5,2	40
КР541РУ1	5±5 %	95	0,8	2	0,45	2,4	8	5,2	18
КР541РУ2	5±5 %	100	0,8	2	0,45	2,4	8	5,2	18
КР541РУ3	5±5 %	110	0,8	2	0,45	2,4	8	5,2	18
КР185РУ3	5±10 %	56	0,4	2,4	0,4	2,4	5	0,2	6
КР185РУ4	5±10 %	90	0,4	2,4	0,4	2,4	5	0,2	6
КР185РУ5	5±10 %	65	0,4	2,4	0,4	2,4	10	0,2	20
КР185РУ7	5±5 %	160	0,8	2,1	0,45	2,4	8	5,2	20
КР185РУ9	5±5 %	200	0,8	2,1	0,5	2,4	8	0,1	10
К134РУ6	5±10 %	80	0,8	2	0,3	2,4	16	0,05	20
К155РУ5	5±5 %	140	0,4	2,4	0,45	2,4	20	0,05	20
К155РУ7	5±5 %	140	0,4	2,4	0,45	2,4	16	0,05	20
КР531РУ8	5±5 %	110	0,8	2	0,45	2,4	16	6,5	20
КР531РУ9	5±5 %	105	0,8	2	0,45	2,4	16	0,1	20
КР531РУ11	5±5 %	110	0,8	2	0,5	2,4	16	5,2	20
К589РУ01	5±5 %	105	0,8	2	0,5	2,4	10	0,1	12

Все микросхемы серии работают в асинхронном режиме записи и считывания. Исключение составляют микросхемы тактируемых ОЗУ КР185РУ3 и КР185РУ4. Особенностью микросхем КР185РУ2 и КР185РУ3 является наличие в структуре их кристаллов резистора нагрузки (вывод 12) с сопротивлением 3,4 кОм, подключенного между выводами 14 (U_{cc}) и 12. Для использования этого резистора необходимо вывод 12 соединить с выводом 8 (выход DO).

У микросхем КР185РУ2, КР185РУ3 и КР185РУ4 отсутствует вход сигнала записи-считывания WR/RD, но имеется парафазный информационный вход DI, $\overline{DI}$. Запись осуществляется сигналом $\overline{CS}$ при условии, что предварительно поданы адресные сигналы и информационный сигнал своим прямым и инверсным значением. Запрещается подавать на информационные входы сигналы с состоянием лог. 1. Считывание реализуется в том же режиме, но при условии, что на оба информационных входа поданы нули. В режимах записи и хранения на выходах микросхем устанавливается сигнал с уровнем лог. 1.

Для исключения функциональных сбоев в работе микросхем на максимальных частотах обращения, равных $1/t_{CY}$, длительности фронтов входных сигналов не должны превышать 30 нс.

Микросхема КР185РУ7 имеет выход с тремя состояниями, а КР185РУ9 — инверсные выходы ТТЛ — ОК. На выходе микросхемы КР185РУ5 в режиме

Таблица 2.25. **Динамические параметры биполярных микросхем ОЗУ**

Микросхема	$t_{A(A)}$, нс	$t_{SU(A-WR)}$, нс	$t_{W(WR)}$, нс	$t_{V(WR-A)}$, нс	C_L, пФ	$C_{L\,lim}$, пФ
К500	10...35	5...10	10...30	5	33	150
К1500	15...35	5...10	18...30	5...10	11...30	—
К1500РУ073	6	2	5	2	30	—
КР541РУ1	120	45	60	50	30	200
КР541РУ2	120	50	60	30	30	1000
КР541РУ3	150	60	60	50	30	200
КР185РУ3	200	0	230	200*	80	120
КР185РУ4	200	0	230	170*	80	120
КР185РУ5	350	150	250	0	80	200
КР185РУ7	45	10	30	5	15	100
КР185РУ9	45	5	35	5	30	100
К134РУ6	700	200	550	250	100	400
К155РУ5	90	10	30	5	30	200
К155РУ7	45	—	30	—	30	200
КР531РУ8	35	35	25	35	30	100
КР531РУ9	35	35	25	35	30	100
КР531РУ11	40	25	—	20	30	200
К589РУ01	35	15	35	10	30	150

* Указаны значения параметра $t_{REC(CS)}$.

Примечания: 1. Входные емкости имеют значения в пределах 5...8 пФ, выходные — 11...33 пФ для микросхем серий К500, К1500, 3...15 пФ для микросхем остальных серий.

2. Для тактируемых микросхем ОЗУ КР185РУ3 и КР185РУ4 значения параметров в столбцах 3...5 приведены для сигнала выбора CS.

считывания при подаче импульсного сигнала $\overline{CS}$ или при изменении адресных сигналов, когда $\overline{CS}=0$, могут возникнуть помехи длительностью не более времени выбора t_{CS}. На выходе микросхемы КР185РУ2 возможны кратковременные помехи в режиме записи в момент подачи сигнала $\overline{CS}$.

Потребляемые микросхемами серии КР 185 мощности в режиме хранения в 1,5 ... 3 раза меньше, чем в режиме обращения.

Микросхемы ОЗУ серии КР531, изготовленные по ТТЛШ-технологии, характеризуются (табл. 2.23) сравнительно высоким быстродействием (время выборки адреса 35 ... 40 нс), значительным энергопотреблением (до 0,6 Вт), небольшой информационной емкостью (16×4 бит).

Микросхемы КР531РУ8 и КР531РУ9 во многом аналогичны, включая и разводку выводов (табл. 2.26). Их различие состоит в том, что у микросхемы КР531РУ9 выходы ТТЛ—ОК инверсные, а у КР531РУ8 — прямые с тремя состояниями. Обе микросхемы относятся к группе асинхронных и работают в типичном режиме управления (табл. 2.28) записью, считыванием и хранением данных.

Микросхема КР531РУ11 имеет ряд особенностей. Во-первых, она работает в тактируемом режиме при записи и в асинхронном режиме при считывании. Во-вторых, в ее структуре применены входные цепи, стробируемые положительным перепадом тактового сигнала С, и выходной четырехразрядный регистр для хранения считываемых данных перед выводом их из микросхемы.

Таблица 2.26. Назначение выводов биполярных микросхем ОЗУ

Номер вывода	К1500			К1500, К500		К500			КР541		
	РУ073	РУ474	РУ480	РУ470	РУ415	РУ145	РУ148	РУ410	РУ3	РУ2	РУ1
1	DO_1	0V	DO	DO	DO	DO_0	0V	A_0	DO	A_6	DO
2	DO_0	DO_2	A_0	A_0	A_0	DO_1	A_0	A_1	A_7	A_5	A_0
3	$\overline{CS}$	DO_3	A_1	A_1	A_1	$\overline{CS}$	A_1	A_2	A_8	A_4	A_1
4	DI_1	A_0	A_2	A_2	A_2	DI_0	$\overline{CS_1}$	A_3	A_9	A_3	A_2
5	DI_0	A_1	A_3	A_3	A_3	DI_1	$\overline{CS_2}$	$\overline{CS_1}$	A_{10}	A_0	A_3
6	—	A_2	—	A_4	A_4	A_0	A_2	$\overline{CS_2}$	A_{11}	A_1	A_4
7	—	A_3	—	A_5	A_5	A_1	A_3	$\overline{CS_3}$	A_{12}	A_2	A_5
8	A_0	A_4	A_4	A_6	U_{cc}	U_{cc}	U_{cc}	U_{cc}	A_{13}	$\overline{CS}$	A_6
9	A_1	A_5	A_5	U_{cc}	A_6	A_2	A_4	A_4	A_6	0V	0V
10	A_2	—	A_6	A_7	A_7	A_3	A_5	A_5	0V	$\overline{WR}$/RD	A_7
11	U_{cc}	A_6	A_7	A_8	A_8	DI_2	—	A_6	A_5	DIO_3	A_8
12	A_3	U_{cc}	U_{cc}	A_9	A_9	DI_3	$\overline{WR}$/RD	A_7	A_4	DIO_2	A_9
13	A_4	A_7	A_8	A_{10}	$\overline{WR}$/RD	WR/RD	DI	DI	A_3	DIO_1	A_{10}
14	A_5	A_8	A_9	A_{11}	$\overline{CS}$	DO_2	—	$\overline{WR}$/RD	A_2	DIO_0	A_{11}
15	—	A_9	A_{10}	$\overline{WR}$/RD	DI	DO_3	DO	DO	A_1	A_9	$\overline{WR}$/RD
16	—	$\overline{WR}$/RD	A_{11}	$\overline{CS}$	0V	0V	0V	0V	A_0	A_8	$\overline{CS}$
17	—	$\overline{CS}$	A_{12}	DI					DI	A_7	DI
18	DI_2	DI_0	—	0V					$\overline{CS}$	U_{cc}	U_{cc}
19	DI_3	DI_1	—						$\overline{WR}$/RD		
20	$\overline{WR}$/RD	DI_2	A_{13}						U_{cc}		
21	DO_3	DI_3	$\overline{WR}$/RD								
22	DO_2	DO_0	CS								
23	0V	DO_1	DI								
24	0V	0V	0V								
25											
26											
27											
28											

Примечание. Знак инверсии над обозначением вывода указывает на то, что вывод схемы должен быть обозначен кружком.

K531			K155		K185						K134	K589
РУ11	РУ9	РУ8	РУ5	РУ7	РУ9	РУ7	РУ5	РУ4	РУ3	РУ2	РУ6	РУ01
DI_1	A_0	A_0	A_0	$\overline{CS}$	A_3	A_1	A_4	$\overline{CS}$	A_1	A_1	$\overline{CS}$	A_0
DI_0	$\overline{CS}$	$\overline{CS}$	A_1	A_0	A_4	A_2	A_5	A_0	A_2	A_2	A_0	$\overline{CS}$
A_0	$\overline{WR}/RD$	$\overline{WR}/RD$	A_2	A_1	A_5	A_3	A_6	A_1	A_3	A_3	A_1	$\overline{WR}/RD$
A_2	DI_0	DI_0	A_3	A_2	DI_0	A_4	A_7	A_2	A_4	A_4	A_2	DI_0
A_3	$\overline{DO}_0$	DO_0	$\overline{CS}_1$	A_3	DI_1	A_5	A_8	A_3	A_5	A_5	A_3	$\overline{DO}_0$
A_1	DI_1	DI_1	$\overline{CS}_2$	A_4	DI_2	A_6	A_9	DO	CS	$\overline{CS}$	A_4	DI_1
DO_0	$\overline{DO}_1$	DO_1	$\overline{CS}_3$	DO	DI_3	A_7	DI	—	0V	0V	DO	$\overline{DO}_1$
DO	0V	0V	0V	0V	DI_4	0V	0V	0V	DO	DO	0V	0V
0V	$\overline{DO}_2$	DO_2	DI	A_5	DI_5	DI_0	DO	$\overline{DI}$	DI	DI	A_9	$\overline{DO}_2$
DO_2	DI_2	DI_2	$\overline{WR}/RD$	A_6	DI_6	DO_0	$\overline{WR}/RD$	DI	$\overline{DI}$	$\overline{DI}$	A_5	DI_2
DO_3	$\overline{DO}_3$	DO_3	DO	A_7	DI_7	DI_1	$\overline{CS}$	A_4	—	—	A_6	$\overline{DO}_3$
$\overline{OE}$	DI_3	DI_3	A_4	A_8	DI_8	DO_1	A_0	—	R	R	A_7	DI_3
$\overline{RD}$	A_3	A_3	A_5	A_9	$\overline{WR}/RD$	DI_2	A_1	A_5	A_0	A_0	A_8	A_3
C	A_2	A_2	A_6	$\overline{WR}/RD$	0V	DO_2	A_2	A_6	U_{cc}	U_{cc}	$\overline{WR}/RD$	A_2
$\overline{WR}$	A_1	A_1	A_7	DI	$\overline{CS}$	DI_3	A_3	A_7			DI	A_1
DI_3	U_{cc}	U_{cc}	U_{cc}	U_{cc}	$\overline{DO}_8$	DO_3	U_{cc}	U_{cc}			U_{cc}	U_{cc}
DI_2					$\overline{DO}_7$	CS_1						
U_{cc}					$\overline{DO}_6$	$\overline{OE}$						
					$\overline{DO}_5$	CS_2						
					$\overline{DO}_4$	$\overline{WR}/RD$						
					$\overline{DO}_3$	A_0						
					$\overline{DO}_2$	U_{cc}						
					$\overline{DO}_1$							
					$\overline{DO}_0$							
					A_0							
					A_1							
					A_2							
					U_{cc}							

вод (вход, выход) является инверсным и на условном графическом изображении микро-

Таблица 2.27. **Таблица истинности ЭСЛ-микросхем ОЗУ**

$\overline{CS}$	$\overline{WR}/RD$	A	DI	DO	Режим работы
1	X	X	X	0	Хранение
0	0	A	D	0	Запись
0	1	A	X	D	Считывание

Таблица 2.28. **Таблица истинности микросхемы КР531РУ8**

$\overline{CS}$	$\overline{WR}/RD$	$A_0 \dots A_3$	$DI_0 \dots DI_3$	$DO_0 \dots DO_3$	Режим работы
1	X	X	X	Z	Хранение
0	0	A	$D_0 \dots D_3$	Z	Запись
0	1	A	X	$D_0 \dots D_3$	Считывание

В-третьих, микросхема допускает раздельное управление записью и считыванием, осуществляемое по соответствующим сигналам $\overline{WR}$ и $\overline{RD}$. Для управления состоянием выхода предусмотрен сигнал $\overline{OE}$.

В режиме записи на входы микросхемы подают адресные сигналы, сигнал записи $\overline{WR}=0$ и данные $D_0 \dots D_3$. Затем поступает положительный импульс тактового сигнала C, по положительному перепаду которого происходит запись данных. В это время выходы могут находиться в одном из следующих состояний:

а) при $\overline{OE}=1$ в Z-состоянии;

б) при $\overline{OE}=0$, $\overline{RD}=1$ в состоянии, определенном кодом, считанным в предыдущем цикле;

в) при $\overline{OE}=0$, $\overline{RD}=0$ в начале цикла записи в состоянии, определяемом считанным ранее кодом, а в конце цикла записи в состоянии, определяемом записанным кодом.

В режиме считывания состояния сигналов C и $\overline{WR}$ могут быть любыми, поскольку состояния выходов определяют сигналы $\overline{RD}$ и $\overline{OE}$: а) при $\overline{OE}=0$ и $\overline{RD}=0$ выходы открыты для информации; б) при $\overline{OE}=1$, $\overline{RD}=0$ выходы находятся в Z-состояниях, а информация из выбранной ячейки накопителя записывается в выходной регистр и временно находится в нем; при изменении в последующем состояния сигнала $\overline{OE}=0$ на выходе через время $t_{A(OE)}$ появится информация, временно хранимая в регистре; то обстоятельство, что время выборки сигнала $\overline{OE}$ меньше времени выборки адреса $t_{A(A)}$, можно использовать для увеличения оперативности считывания данных из ОЗУ.

Режим хранения обеспечивается статическим состоянием сигнала C в течение всего времени хранения независимо от состояния этого сигнала.

Микросхема К589РУ01 емкостью 16×4 бит изготовлена по ТТЛШ-технологии, имеет выходы с открытым коллектором, причем выходы инверсные. Ре-

Таблица 2.29. **Таблица истинности микросхемы К155РУ5**

$\overline{CS}_1$	$\overline{CS}_2$	CS_3	$\overline{WR}/RD$	$A_0 \dots A_7$	DI	DO	Режим работы
M	M	M	X	X	X	1	Хранение
0	0	1	0	A	D	1	Запись
0	0	1	1	A	X	D	Считывание

Примечание. M — любая комбинация состояний сигналов, отличная от $\overline{CS}_1=0$, $\overline{CS}_2=0$, $CS_3=1$.

Таблица 2.30. **Таблица истинности микросхемы К155РУ7**

$\overline{CS}$	$\overline{WR}/RD$	$A_0 \dots A_9$	DI	DO	Режим работы
1	X	X	X	Z	Хранение
0	0	A	D	Z	Запись
0	1	A	X	D	Считывание

жимами работы микросхемы управляют посредством сигналов $\overline{CS}$ и $\overline{WR}/RD$ по типичному алгоритму асинхронного доступа к накопителю.

Микросхемы серии К155 изготовлены по ТТЛ-технологии, имеют выходы с открытым коллектором (К155РУ5) и с тремя состояниями (К155РУ7). Обе микросхемы относятся к группе асинхронных. Управляющие сигналы $\overline{CS}_1$, $\overline{CS}_2$, CS_3 у микросхемы К155РУ5 открывают доступ к накопителю при условии $\overline{CS}_1=0$, $\overline{CS}_2=0$, $CS_3=1$. У микросхемы К155РУ7 управление доступом осуществляется одним сигналом $\overline{CS}$. Микросхемы работают в режимах записи, считывания, хранения, условия реализации которых приведены в табл. 2.29 и 2.30.

Серия КР541 включает микросхемы статических ОЗУ асинхронного типа, изготовленные по технологии ИИЛ—ТТЛШ, емкостью 4К, 8К и 16К бит, обладающие средним быстродействием.

По сравнению с микросхемами серии К132 микросхемы серии КР541 имеют более высокий уровень потребляемой мощности при сравнимом быстродействии, причем они не обладают способностью снижать потребление мощности от источника питания в режиме хранения. Микросхемы работают в режимах записи, хранения и считывания с типичными условиями реализации этих режимов, аналогичными представленным в табл. 2.30.

Микросхемы КР541РУ31 — КР541РУ34 являются модификациями микросхемы КР541РУ3, имеющими идентичные с ней параметры, но вдвое меньшую емкость. При применении этих микросхем следует зафиксировать состояние входа одного из двух старших разрядов адресного кода: $A_{12}=0$ (РУ31), $A_{12}=1$ (РУ32), $A_{13}=0$ (РУ33), $A_{13}=1$ (РУ34).

Микросхема К134РУ6 емкостью 1К×1 бит изготавливается по технологии ИИЛ — ТТЛ, характеризуется невысоким быстродействием и средним энергопотреблением (время выборки адреса 700 нс при потребляемой мощности

0,45 Вт), имеет выход ТТЛ — ОК. Микросхема работает в режимах записи, считывания и хранения, причем при хранении информации потребляемая мощность снижается вдвое. Условия реализации режимов аналогичны приведенным в табл. 2.29 с учетом того, что К134РУ6 имеет один вход для сигнала выбора $\overline{CS}$.

2.5. Микросхемы регистровых ЗУ

Регистр как функциональный узел широко применяется в качестве ячейки или набора ячеек памяти. Например, регистры имеются в структурах микропроцессоров, микросхем памяти и многих других устройств для хранения кодов адреса, данных, команд. Микросхемы регистров входят в состав большинства серий, в том числе и в микропроцессорные комплекты БИС в качестве регистров общего назначения, многорежимных буферных регистров (МБР), буферного ЗУ между двумя цифровыми устройствами с различной скоростью передачи и приема данных и т. д.

Запоминающие устройства на регистрах могут быть построены с произвольным доступом (выборкой) и с последовательным доступом. Регистровые ЗУ с произвольной выборкой (регистровые файлы) позволяют адресовать все регистры и обратиться к любому из них для записи или считывания информации. В отличие от них регистровые ЗУ с последовательным доступом для обращения к нужной ячейке требуют перебора адресов в сторону их увеличения или уменьшения до требуемого адреса. Те и другие типы регистровых ЗУ реализуются на микросхемах регистров.

Наиболее подходящими для применения в регистровых ЗУ являются микросхемы с многорегистровой структурой. Среди таких микросхем (табл. 2.31) заметно значительное разнообразие в устройстве, в сигналах и режимах управления их работой.

Микросхема КР1802ИР1 является двухадресным регистровым ЗУ емкостью 16×4 бит. Структура микросхемы (рис. 2.7) состоит из матрицы с шестнадцатью регистрами по четыре разряда (триггера) каждый, двух независимых устройств ввода-вывода: канала А и канала В на четыре разряда каждый, двух дешифраторов кодов адреса ячеек памяти (регистров) и двух устройств управления. В систему сигналов входят: $A_{A0} \dots A_{A3}$, $A_{B0} \dots A_{B3}$ — адресные сигна-

Таблица 2.31. **Параметры микросхем регистровых ЗУ**

Микросхема	Емкость, бит	t_{CY}, нс	P_{cc}, мВт	Тип выхода	Тип корпуса
КР1802ИР1	16×4	55	990	ТТЛ-3	2120.24-2
К555ИР26	4×4	43	250	ТТЛ-3	2103.16-2
К555ИР32	4×4	30	100	ТТЛ-ОК	238.16-2
К1002ИР1	32×8	500	20	КМДП-3	4118.24-2
К561ИР11	8×4	450	4	КМДП	239.24-1
К561ИР12	4×4	6000	3	КМДП-3	239.24-1
К1800РП6	32×9	19	1800	ЭСЛ	2207.48-1
К555ИР30	8×1	34	180	ТТЛ	238.16-2
К1815ИР1	8×4	118	750	ТТЛ	4119.28-1

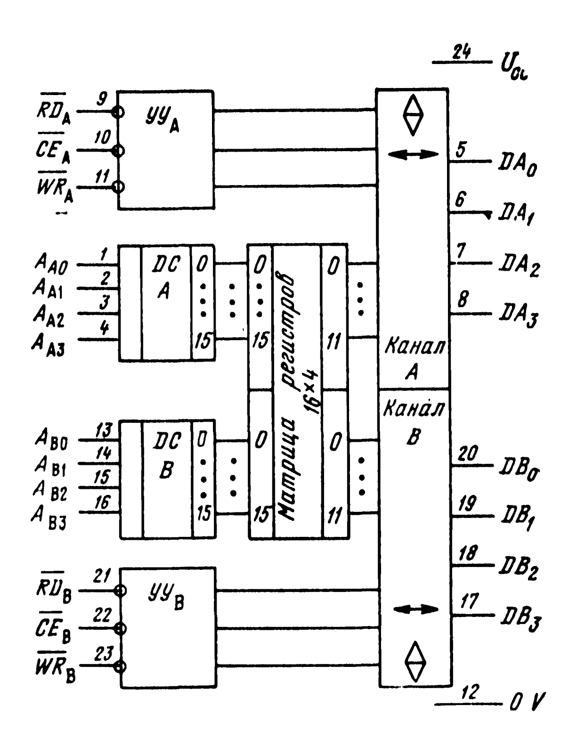
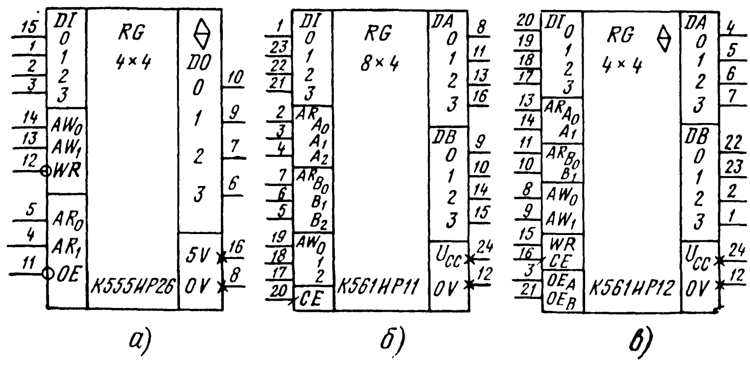


Рис. 2.7. Структура микросхемы регистрового ЗУ КР1802ИР1

лы, обеспечивающие независимое обращение к регистрам матрицы при условии, что коды не должны быть одинаковыми; $\overline{RD}_A$, $\overline{RD}_B$ — сигналы считывания информации по каналам A и B соответственно; $\overline{WR}_A$, $\overline{WR}_B$ — сигналы записи информации в каналы A и B; $\overline{CE}_A$, $\overline{CE}_B$ — разрешение обмена с каналами A и B. Все входы управляющих сигналов — инверсные, следовательно, активные состояния названных сигналов соответствуют лог. 0. Информацию записывают в регистры матрицы и считывают ее через совмещенные входы-выходы канала A ($DA_0 \dots DA_3$) и канала B ($DB_0 \dots DB_3$). Устройство ввода-вывода состоит из усилителей считывания, имеющих выходы с тремя состояниями, и усилителей записи.

Микросхема под управлением сигналов $\overline{RD}$, $\overline{WR}$, $\overline{CE}$ может работать в следующих режимах: запись по каналу A, запись по каналу B, одновременная запись по каналам A и B, считывание по каналу A, считывание по каналу B, одновременное считывание по каналам A и B, запись по одному из каналов и одновременно считывание по другому. При отсутствии разрешения обмена по каналу, т. е. при $\overline{CE}=1$, выходы данного канала находятся в Z-состоянии. Сигналы управления подаются уровнем напряжения.

Микросхемы К555ИР26, К555ИР32 (рис. 2.8, *а*) состоят из четырех регистров по четыре разряда в каждом. Все регистры адресуемы, причем предусмот-



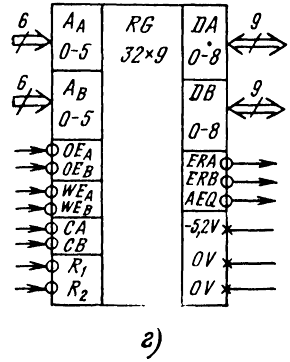


Рис. 2.8. Микросхемы с многорегистровой структурой:
а — К555ИР26, К555ИР32 (выход ОК); *б* — К561ИР11; *в* — К561ИР12; *г* — К1800РП6

рена раздельная адресация регистров при записи (AW_0AW_1) и при считывании (AR_0AR_1). Информацию записывают четырехразрядным кодом по входам $DI_0 \ldots DI_3$, предварительно установив код адреса и подав сигнал записи $\overline{WR}=0$. При $\overline{WR}=1$ доступ к регистрам для записи закрыт. Сигналы управления подаются уровнями напряжения.

Считывание информации производят по установленному адресу при наличии сигнала разрешения выхода $\overline{OE}=0$. При $\overline{OE}=1$ доступ к регистрам для считывания закрыт, выходы находятся в высокоомном состоянии. Разделение адресных сигналов позволяет одновременно записывать и считывать информацию, адресуя разные регистры.

Микросхемы могут работать в режимах записи четырехразрядного кода в любой из регистров, считывания кода из любого регистра, одновременной записи и считывания кодов по разным адресам, хранения при $\overline{WE}=\overline{OE}=1$.

Микросхемы К555ИР26 и К555ИР32 отличаются схемой выхода: у первой — выход с тремя состояниями, у второй — с открытым коллектором. Микросхемы допускают объединение одноименных входов и выходов для наращивания числа регистров и их разрядности. Задача объединения микросхем решается непосредственным соединением выводов у К555ИР26, а у микросхем К555ИР32 при объединении выходов необходимо использовать высокоомный резистор, включаемый между точкой соединения выходов и источником питания.

Микросхема К561ИР11 (рис. 2.8, *б*) состоит из восьми четырехразрядных адресуемых регистров. Информацию в микросхему записывают по входам $DI_0 \ldots DI_3$, считывают по выходам двух четырехразрядных каналов A и B:

$DA_0 \dots DA_3$, $DB_0 \dots DB_3$. Адресные сигналы для записи и считывания разделены: для записи $AW_0 \dots AW_2$, для считывания $AR_{A0} \dots AR_{A2}$ по каналу A, $AR_{B0} \dots AR_{B3}$ по каналу B. Сигнал CE разрешает или запрещает доступ к микросхеме. Вход этого сигнала — прямой динамический: только при положительном перепаде этого сигнала осуществляется запись или считывание информации, при других состояниях сигнала доступ к регистрам закрыт, в это время на выходах присутствуют коды, считываемые до снятия разрешения.

Микросхема может работать в режимах хранения, записи кода в один из регистров, считывания кодов из двух регистров одновременно. Запись и считывание информации при разных адресах одновременно невозможны, поскольку при записи код адреса выбираемого регистра подается на все три группы адресных входов. Записываемая информация появляется на выходах обоих каналов спустя некоторое время после поступления на вход CE положительного перепада этого сигнала. Следовательно, микросхема позволяет осуществлять контроль записи. При считывании на адресные входы записи должна быть подана нулевая комбинация сигналов, а на адресные входы считывания — коды адресов регистров, из которых информация должна быть считана по каналам A и B. На выходах каналов считываемая информация появится спустя время выборки сигнала разрешения доступа CE. Режим хранения обеспечивается при любом состоянии сигнала CE, кроме положительного его перепада.

При наращивании числа регистров необходимо объединить несколько микросхем одноименными выводами, исключив входы сигнала CE. При этом следует учитывать отсутствие у выходов третьего состояния, что не позволяет непосредственно соединять одноименные выходы. Для объединения микросхем по выходам необходимо использовать мультиплексор. Объединенные микросхемы должны быть дополнены дешифратором кода выбора микросхемы, выходы которого соединяют со входами сигнала CE.

Микросхема К561ИР12 (рис. 2.8, *в*) содержит четыре четырехразрядных регистра. У этой микросхемы много общего с К561ИР11 в организации и режимах работы, но есть и существенные отличия: выходы имеют три состояния, введены дополнительные сигналы управления — WE «Разрешение записи», OE_A и OE_B «Разрешение выхода» по каналам A и B соответственно. При $OE=0$ выходы соответствующего канала принимают Z-состояние.

Микросхема может работать в режимах хранения, записи в один из регистров, считывания из двух регистров одновременно, записи и считывания при разных адресах в одном цикле обращения.

В режиме записи необходимо подать код адреса, сигнал $WE=1$ и положительный перепад сигнала CE. Выходы в этом режиме могут находиться либо в Z-состоянии, если $OE=0$, либо в состоянии контроля записываемой информации, если $OE=1$. Режим хранения обеспечивается отсутствием перепада сигнала CE.

Наличие выходов с тремя состояниями позволяет при наращивании емкости соединять одноименные входы и выходы микросхем непосредственно. Рекомендуется точку соединения выходов соединять с корпусом через высокоомный резистор [41].

Микросхема К1002ИР1 (рис. 2.9) представляет собой ЗУ обратного магазинного типа или, иначе, ЗУ с организацией «первый вошел — первый вышел»

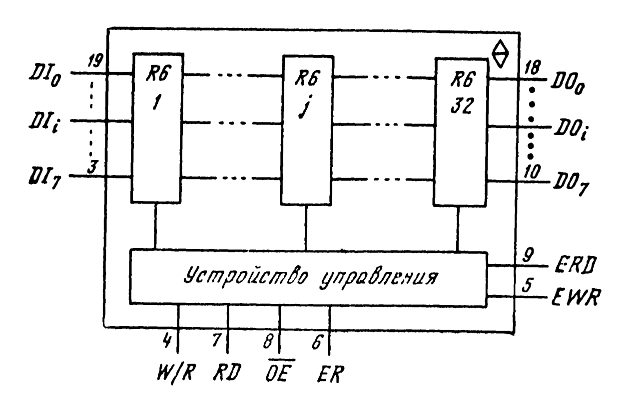


Рис. 2.9. Структура микросхемы ЗУ магазинного типа К1002ИР1

(FIFO) емкостью 32×8 бит. Она содержит 32 восьмиразрядных регистра, соединенных так, что параллельные выходы предыдущего соединены с соответствующими входами последующего. Входы первого регистра являются и входами микросхемы $DI_0 \dots DI_7$, а выходы последнего — выходами микросхемы $DO_0 \dots$ $\dots DO_7$. Выходы могут принимать три состояния.

Устройство управления выполняет ряд функций, в частности, автоматически сдвигает записанный в первый регистр байт к выходу через все промежуточные регистры так, что первый записанный байт размещается в последнем регистре, второй — в предпоследнем и т. д. Операцию записи выполняют с помощью сигнала WR в форме импульса. Сообщение о готовности микросхемы принять для записи следующий байт формирует выход EWR в форме сигнала с состоянием лог. 1. Очередной сигнал WR переводит выход готовности в состояние лог. 0, и, когда записанный байт будет перемещен во второй регистр, на выходе готовности установится EWR=1. При полном заполнении ЗУ сигнал готовности принимает состояние лог. 0. Предусмотрена возможность стирания информации в ЗУ сигналом ER=1.

Считывание информации осуществляют последовательно во времени с выводов последнего регистра при сигнале разрешения выхода $\overline{OE}=0$ и по сигналу считывания RD=1. Сообщение о готовности выхода к считыванию следующего байта микросхема формирует в виде сигнала на выходе ERD с состоянием лог. 1. При поступлении очередного сигнала считывания выход ERD переходит в состояние лог. 0 и после перемещения информации в последний регистр на нем устанавливается лог. 1. При отсутствии в микросхеме информации на выходе ERD присутствует лог. 0.

При подаче сигнала $\overline{OE}=1$ (состояние «Блокировка») выходы микросхемы $DO_0 \dots DO_7$ и EWR принимают Z-состояние, вход RD блокируется и микросхема переходит в режим работы, допускающий только запись информации.

Регистровые ЗУ магазинного типа, аналогичные рассмотренной микросхеме, могут быть эффективно применены при реализации буферных ЗУ для согласования устройств с неравномерной скоростью передачи данных.

Микросхема К1800РП6 представляет собой двухадресное ЗУ с организацией 32×9 бит. Структура микросхемы состоит из двух частей с независимой адресацией, что позволяет использовать ее как двухканальную систему для работы

на две независимые магистрали адресов и данных. Для обеспечения этого режима в микросхеме предусмотрен ряд схемотехнических решений, исключающих сбои и ошибки в работе. Матрица разделена на два массива с одинаковой организацией 32×9 бит, каждый из которых имеет необходимые функциональные узлы для адресации ячеек памяти, записи и считывания информации [53].

На условном графическом обозначении микросхемы (рис. 2.8, *г*) показана система адресных и управляющих сигналов: для адресации по каналу A ($A_{A1} \dots A_{A5}$) и по каналу B ($A_{B1} \dots A_{B5}$), для проверки на четность A_{A0} и A_{B0}, разрешения записи $\overline{WE_A}$, $\overline{WE_B}$, разрешения выхода $\overline{OE_A}$ и $\overline{OE_B}$, тактовые сигналы $\overline{CA}$ и $\overline{CB}$, обеспечивающие выход считываемой информации при наличии разрешения выхода, т. е. $\overline{OE}=0$.

Ввод и вывод информации осуществляется через два девятиразрядных двунаправленных входа-выхода DA, DB. При $\overline{OE}=1$ выходы находятся в состоянии лог. 1. Работа микросхемы структурно организована так, что оба массива матрицы доступны для обращения к ним по обоим каналам. Между собой массивы связаны так, что если информация записывается в один из них, то автоматически она записывается и во второй. Поэтому внешне микросхема функционирует как регистровое двухканальное ЗУ с организацией 32×9 бит с произвольной выборкой для записи и считывания по двум каналам одновременно.

Существенной особенностью микросхемы является ее способность выявлять ошибки в коде адреса и данных по методу контроля четности. Один разряд в коде адреса является контрольным. Эту же роль играет девятый бит в коде данных. В структурной схеме имеются узлы контроля четности адреса и данных и формирования сигналов ошибки в канале A ($\overline{ERA}$) и B ($\overline{ERB}$), а также сигнала предупреждения о возможности ошибки $\overline{AEQ}$ при совпадении адресов. При выявлении ошибки в коде данных микросхема их не принимает и не выдает на выход при считывании, сопровождая эти операции сигналами— признаками ошибок на соответствующих выходах.

Микросхема выполнена по ЭСЛ-технологии, обладает высоким быстродействием. Для снижения влияния наводок в цепях питания предусмотрены в конструкции микросхемы две общие точки с нулевым потенциалом, одна из которых предназначена для выходных эмиттерных повторителей. Функциональные возможности микросхемы позволяют применять ее в качестве буфера данных между быстродействующим процессором и более медленными периферийными устройствами. Она может быть использована также в качестве стека или блока сверхоперативного ОЗУ. Модификацией микросхемы является микросхема К1800РП16, у которой за счет исключения взаимосвязи между двумя массивами матрицы информационная емкость удвоена и равна 64×9 бит.

Микросхема К1815ИР1 (рис. 2.10), выполненная по ТТЛШ-технологии, содержит матрицу быстродействующих регистров сдвига емкостью 8×4 бит. Каждый элемент матрицы (рис. 2.10, *в*) представляет собой D-триггер с динамическим управлением и с двухканальным мультиплексором на входе. Выбор канала осуществляют сигналом SL. Матрица состоит из четырех «строк» и восьми «столбцов». Информационные входы разделены на две группы: $DI_{A0} \dots$

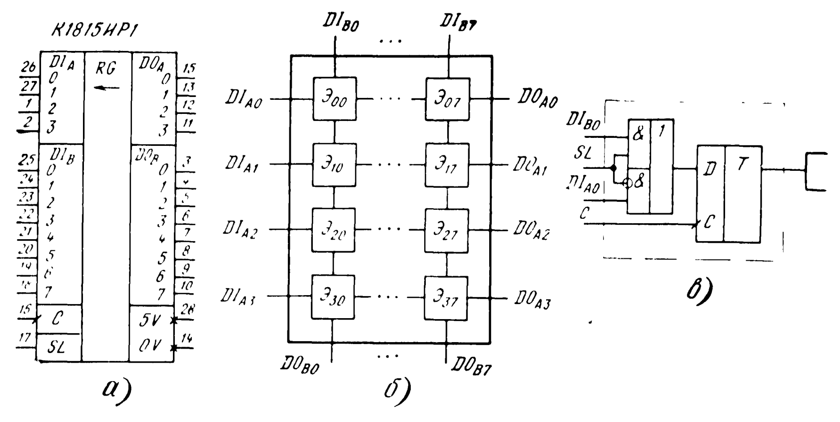


Рис. 2.10. Многорегистровая микросхема К1815ИР1 с матричной структурой:
а — условное обозначение; *б* — структурная схема; *в* — элемент (Э) матрицы

... DI_{A3} и DI_{B0} ... DI_{B7}. Аналогично разделены и выходы. Каждый элемент матрицы управляется положительным перепадом тактового сигнала С и сигналом выбора канала SL (на рисунке матрицы сигналы не показаны).

При SL=1 матрица принимает конфигурацию «восемь четырехразрядных регистров сдвига» (сдвиг по столбцам). Ввод данных осуществляется через входы DI_{B0} ... DI_{B7}, вывод — через выходы DO_{B0} ... DO_{B7}. Эту конфигурацию матрицы можно рассматривать как регистровое ЗУ магазинного типа 4×8 бит (четыре восьмиразрядные ячейки памяти) с параллельной передачей байтов.

При SL=0 матрица преобразуется в конфигурацию «четыре восьмиразрядных регистра сдвига» (сдвиг по строкам). Ввод информации осуществляют по входам DI_{A0} ... DI_{A3}, вывод — через выходы DO_{A0} ... DO_{A3}. Матрица такой конфигурации может выполнять функции регистрового ЗУ емкостью 8×4 (восемь четырехразрядных ячеек памяти) с параллельной передачей четырехразрядных кодов от входа к выходу.

Микросхема может осуществлять преобразование параллельного кода в последовательный и наоборот. Время цикла регистрового ЗУ составляет 118 нс, время выборки сигнала С — 40 нс.

Микросхема К555ИР30 содержит восемь адресуемых триггеров. В этом заключается своеобразие микросхемы. Адресный код имеет три разряда. Для записи информации и для ее считывания предусмотрены информационные вход и выход. Режимом микросхемы управляют с помощью сигнала записи $\overline{WR}$. Таким образом, микросхема представляет собой статическое ОЗУ с организацией 8×1 бит.

2.6. Арсенид-галлиевые микросхемы памяти серии К6500

Микросхемы на основе арсенид-галлия (GaAs) выпускают в составе немногочисленных серий, в частности серии К6500. В указанную серию входят логические микросхемы, триггеры, счетчики, регистры сдвига и статическое

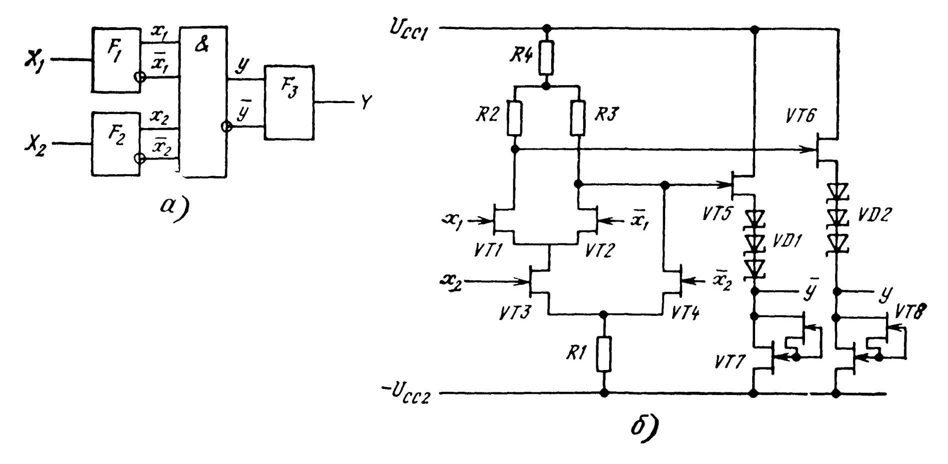


Рис. 2.11. Логический элемент ПТШ—GaAs:
а — функциональная схема; б — принципиальная схема (без формирователей)

ОЗУ емкостью 1K×1 бит. Серия развивается, ее расширение предусматривает выпуск новых микросхем: триггеров, формирователей сигналов, мультиплексоров и микросхем памяти [1].

В основе схемотехники микросхем серии лежит полевой транзистор с управляющим Шотки-затвором (ПТШ), изготовленный в кристалле арсенида галлия. Транзистор обладает высоким быстродействием, поскольку арсенид галлия характеризуется значительно более высокой подвижностью носителей заряда, чем кремний. Кроме транзисторов в микросхемах использованы диоды и резисторы на основе ПТШ. Логические и триггерные элементы построены на принципе истоко-связанной логики и логики токовых переключателей. Один из основных вариантов реализации логического элемента ПТШ приведен на рис. 2.11. В схеме логического элемента (рис. 2.11, *а*) имеются входные F_1, F_2 и выходной F_3 формирователи сигналов и логическая схема (рис. 2.11, *б*), реализованная на основе переключателя тока на транзисторах VT1—VT4 и двух истоковых повторителей на транзисторах VT5 и VT6. Диоды Шотки VD1, VD2 и транзисторы VT7, VT8 в цепях истоков выходных транзисторов необходимы для согласования со входом формирователя F_3 и стабилизации уровня выходного напряжения. Питание логического элемента и формирователей осуществлено от двух источников напряжения: $U_{cc1}=4$ В±5%, $U_{cc2}=-2{,}4\pm5\%$, причем цепи питания U_{cc1} выходного формирователя F_3 и остальной части схемы разделены.

Базовый логический элемент (без формирователей) характеризуется следующими параметрами: $U_{OH}\geqslant0{,}9$ В, $U_{OL}<0{,}1$ В, $P_{cc}=5$ мВт, средняя задержка распространения сигнала $t_{PAV}=0{,}15$ нс. Формирователи F_1, F_2 согласуют уровни внешних сигналов и логической схемы x_1, x_2. Внешние сигналы имеют уровни от 0 до 1 В, а внутренние +0,5 В для прямых x_1, x_2 и —0,5 В для инверсных $\bar{x}_1, \bar{x}_2$ значений. Схемы входных формирователей одинаковы и аналогичны логической схеме на рис. 2.11, *б*, но имеют один информационный вход для внеш-

него сигнала X. На другой вход токового переключателя подано опорное напряжение 0,5 В, формируемое внутри кристалла. Входной формирователь преобразует внешний сигнал с логическим перепадом примерно 1 В в парафазный сигнал x, $\bar{x}$ с уровнями ±5 В.

Выходной формирователь F_3, также построенный на основе переключателя тока и мощного ключевого элемента, обеспечивает преобразование уровней внутренних сигналов y, $\bar{y}$ в уровни внешних сигналов, а также повышение нагрузочной способности логического элемента. Выходной ток преобразователя равен 10 мА, а его предельное значение — до 30 мА.

В микросхемах серии К6500 выходы выполнены с открытым истоком. Для перехода от маломощных внутренних цепей с токами до 1 мА к мощному выходному транзистору и для обеспечения режима его переключения с частотой более 1 ГГц требуется включить между внутренней логической схемой и выходным формирователем два-три каскада усиления мощности. Этим объясняется значительный уровень потребляемой мощности микросхемами серии — от 0,5 до 1,7 Вт в зависимости от сложности микросхемы.

Кроме отмеченных для микросхем серии К6500 характерны следующие особенности:

а) сверхвысокое быстродействие, характеризуемое частотой переключения цифровых микросхем более 1 ГГц;

б) применение в качестве межсоединений и линий передачи микрополосковых и коаксиальных линий с волновым сопротивлением 50 Ом с включением на концах резисторов нагрузки сопротивлением 50 Ом;

в) существенная зависимость на частоте 1 ГГц уровня выходного напряжения от емкости монтажа и нагрузки в незначительных пределах ее изменения — от 1 до 4 пФ.

г) необходимость применения корпусов с хорошей теплопроводностью, например керамических и металлокерамических корпусов типа 4 в сочетании с воздушным охлаждением или с использованием металлического рассеивателя выделяемого тепла.

Микросхема К6500РУ1 является статическим асинхронным ОЗУ емкостью 1К×1 бит (рис. 2.12). Она обладает самым высоким быстродействием среди микросхем ОЗУ, имея время выборки адреса не более 4 нс. Однако у нее выше других и уровень потребляемой мощности — до 1,6 Вт.

Для работы микросхема требует два источника питания напряжениями 4 В±5% и —2,4±5%. Выходной ток равен 2 мА. Входы очень чувствительны к воздействию статического электричества, допустимый потенциал которого не более 30 В. По питанию и уровням сигналов микросхема совместима с микросхемами своей серии К6500. Уровни сигналов на входах и выходах микросхемы имеют значения: не более 0,1 В для состояния лог. 0 и 0,9 ... 1,2 В для состояния лог. 1. Выход имеет схему с открытым истоком.

Микросхема работает в режимах записи, считывания и хранения информации. Условия реализации режимов, как и для микросхем ЭСЛ, определены в табл. 2.27. Допускается наличие сигналов на входах при выключенном питании. Микросхема конструктивно оформлена в металлокерамический корпус 4118.24-1 [3].

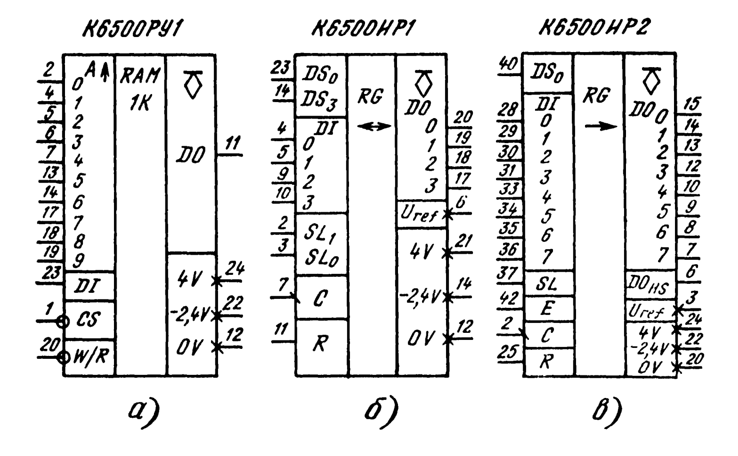


Рис. 2.12. Арсенид-галлиевые микросхемы серии К6500:
а — статическое ОЗУ К6500РУ1; *б* — реверсивный регистр сдвига К6500ИР1; *в* — регистр сдвига К6500ИР2

Микросхемы К6500ИР1 — четырехразрядного реверсивного регистра сдвига (рис. 2.12, *б*) и К6500ИР2 — восьмиразрядного регистра сдвига (рис. 2.12, *в*) могут выполнять следующие функции: запись и считывание данных в последовательной и параллельной формах представления во времени, сдвиг кодовой комбинации, хранение. Обе микросхемы выполняют указанные функции по отрицательному перепаду тактового сигнала С. Частота следования тактовых сигналов — до 1 ГГц. Уровни входных и выходных сигналов имеют те же значения, что и в микросхеме К6500РУ1. Потребляемые микросхемами мощности равны соответственно 1,7 и 2,6 Вт.

Микросхемы рассчитаны на работу в согласованных линиях передачи с волновым сопротивлением 50 Ом. Особенностью микросхем является раздельное питание функциональных узлов, расположенных внутри кристалла (собственно регистры) и по периферии (входные и выходные формирователи). Предусмотрен также выход для опорного напряжения $U_{ref}=0{,}5$ В, формируемого внутри кристалла.

Микросхема К6500ИР1 имеет четыре информационных входа $DI_0 \dots DI_3$ и четыре выхода $DO_0 \dots DO_3$, входы для последовательной записи данных сдвигом в сторону старшего DS_0 или младшего DS_3 разряда, входы тактового сигнала С, сигнала R установки нуля и входы сигналов выбора режима SL_0, SL_1. Условия реализации режимов следующие:

а) при $SL_1SL_0=00$ запись данных со стороны входа DS_0 и сдвиг в сторону старших разрядов;

б) при 01 запись со стороны входа DS_3 и сдвиг в сторону младших разрядов;

в) при 10 запись параллельным кодом;

г) режим хранения.

Сопротивления нагрузки не должны превышать 50 Ом. Микросхема выпускается в корпусе 4118.24-1.

Микросхема К6500ИР2 имеет восемь информационных входов и восемь выходов, вход DS_0 для записи последовательного кода, вход E для сигнала разрешения сдвига, вход R для сигнала установки регистра в нулевое состояние выходов, вход SL для сигнала выбора режима: при 0 запись последовательного кода и сдвиг в сторону старшего разряда, при 1 сдвиг кода в режиме кольцевого регистра, вход для тактового сигнала C и выход полусумматора DO_{HS}.

Параллельную запись в регистр осуществляют в два этапа: вначале сигналом R все разряды регистра устанавливают в состояние нуля на выходе, затем кодом $DI_0 \dots DI_7$ воздействуют на входы S установки разрядов в 1.

Режим сдвига обеспечивается отрицательными перепадами сигнала C при наличии сигнала разрешения E=1. При этом необходимо иметь на всех входах DI сигналы с состоянием лог. 0. В зависимости от сигнала SL регистр работает в режиме либо последовательной записи со стороны входа DS_0 потактным передвижением данных в сторону старшего разряда, либо циклического движения записанного кода по кольцевому регистру.

В микросхеме имеется полусумматор, на входы которого постоянно поданы сигналы с выходов пятого и шестого разрядов регистра. Полусумматор позволяет реализовать генератор псевдослучайной последовательности длиной 2^7-1 бит при соединении его выхода DO_{HS} со входом DS_0 регистра.

Конструктивно микросхема оформлена в корпус 5130.42-1.

2.7. Микросхемы динамических ОЗУ

В микросхемах памяти динамического типа функции элемента памяти выполняет электрический конденсатор, образованный внутри МДП-структуры. В таком элементе памяти информация (один бит) представляется в виде заряда (напряжения): наличие заряда в запоминающем конденсаторе соответствует нулю, его отсутствие — единице. Поскольку время сохранения заряда конденсатором ограничено, предусмотрено периодическое восстановление (регенерация) состояния конденсатора и, следовательно, записанной в него информации. В этом состоит одна из отличительных особенностей микросхем динамических ОЗУ. Кроме того, для обеспечения их работы необходимы сигналы синхронизации, которые внутри кристалла формируют требуемую последовательность управляющих сигналов.

Для изготовления микросхем динамических ОЗУ применяют в основном *n*-канальную МДП-технологию, которая позволяет повысить быстродействие и уровень интеграции микросхем, обеспечить малые токи утечки и за этот счет увеличить время сохранения заряда на запоминающем конденсаторе.

Микросхемы динамических ОЗУ представлены серией К565, которая включает микросхемы памяти, отличающиеся не только своими параметрами, но и структурным построением. Параметры микросхем серии приведены в табл. 2.32, а их условные графические обозначения — на рис. 2.13, *а—д*.

Входные и выходные сигналы имеют ТТЛ-уровни, поэтому микросхемы серии совместимы с ТТЛ-микросхемами. Значения выходных токов в нормальном режиме эксплуатации не превышают 4 мА, а в предельном режиме могут достигать 30 мА.

Таблица 2.32. Параметры микросхем динамических ОЗУ

Микросхема	Емкость, бит	t_{CY}, нс	U_{cc}, В	P_{cc}, мВт	P_{ccs}, мВт	Тип корпуса
КР565РУ1А, Б	4К×1	500, 900	12; ±5	400	20	210А.22-3
К565РУ3А-Г	16К×1	510 ... 370	12; ±5	460	40	201.16-17
К565РУ5Б-Д	64К×1	230 ... 460	5	250 ... 160	21	2103.16-8
К565РУ5Д1, Д2	32К×1	460	5	160	21	2103.16-8
К565РУ5Д3	16К×1	460	5	160	21	2103.16-8
К565РУ5Д4	16К×1	460	5	160	21	2103.16-8
К565РУ6Б-Д	16К×1	230 ... 460	5	150 ... 120	20	2103.16-2
К565РУ7В-Д	256К×1	340 ... 410	5	350	35	2103.16-13
К565РУ8А-Г	256К×1	100...200*	5	350	—	238.16-1
КР565РУ9В, Г	1М×1	150, 200*	5	400	—	2107.18-1

* Приведено значение времени выборки сигнала $\overline{RAS}$ $t_{A(RAS)}$.

В микросхемах динамических ОЗУ для записи и считывания информации используются процессы перезарядки емкостей запоминающих конденсаторов и разрядных шин кратковременными токами через транзисторные усилители за-

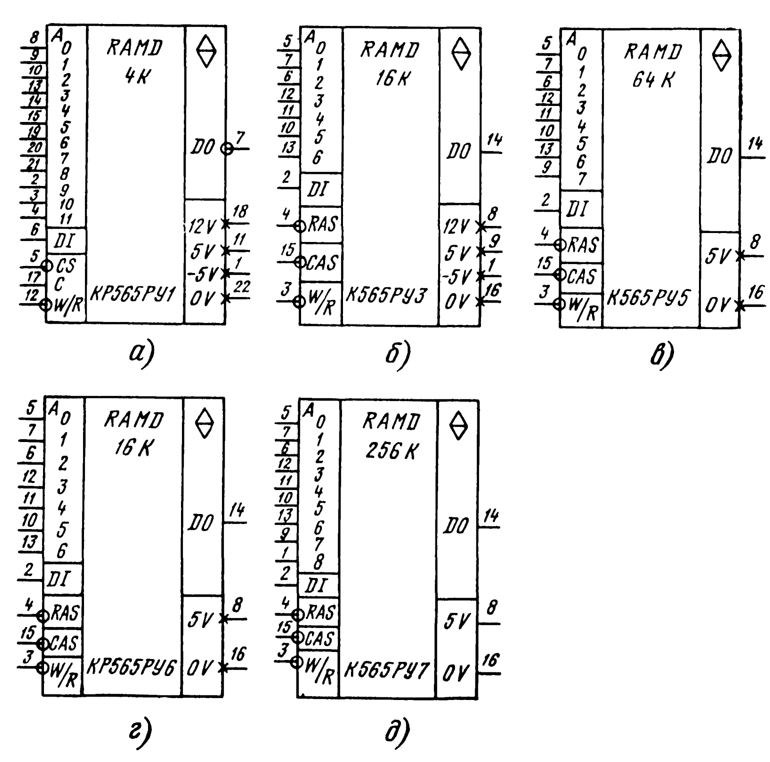


Рис. 2.13. Микросхемы динамических ОЗУ серии К565

Таблица 2.33. Таблица истинности микросхем серии К565

$\overline{RAS}$	$\overline{CAS}$	$\overline{WR}$/RD	A	DI	DO	Режим работы
1	1	X	X	X	Z	Хранение
1	0	X	X	X	Z	«
0	1	X	Перебор адресов	X	Z	Регенерация
0	0	0	A	D	Z	Запись D
0	0	1	A	X	D	Считывание D

писи-считывания. В режиме хранения эти токи не протекают потому, что, во-первых, емкостные цепи находятся в установившемся режиме и, во-вторых, снимается питание усилителей. Поэтому для микросхем динамических ОЗУ характерно существенное снижение потребляемой мощности в режиме хранения по сравнению с активным режимом (см. табл. 2.32).

Микросхемы работают в следующих режимах: записи, считывания, считывания—модификации—записи (RMW), слоговой и страничной записи, слогового и страничного считывания, регенерации, хранения с регенерацией. Рассмотрим названные режимы и условия их реализации (табл. 2.33) применительно к микросхеме К565РУ3. Аналогично процессы протекают и в других микросхемах динамических ОЗУ.

При обращении к микросхеме для записи информации необходимо подать, как показано на рис. 2.14, *а*, код адреса строк $A_0 ... A_6$ и одновременно с ним или с некоторой (не нормируемой) задержкой сигнал $\overline{RAS}$, затем с задержкой на время удержания адреса строк относительно сигнала $\overline{RAS}$ $t_{H(RAS-A)}$ на эти же выводы поступает код адреса столбцов $A_7 ... A_{13}$ и с задержкой на время $t_{SU(A-CAS)}$ подается сигнал $\overline{CAS}$.

К моменту подачи кода адреса столбцов на вход DI подводят записываемый бит информации, который сигналом $\overline{WR}$/RD при наличии $\overline{CAS}=0$ фиксируется на входном триггере-защелке. Сигнал записи может быть подан уровнем или импульсом длительностью $t_{W(WR)}$. Если этот сигнал подан уровнем, то фиксацию входных данных триггер-защелка производит по отрицательному перепаду сигнала $\overline{CAS}$ при наличии сигнала $\overline{RAS}$ в активном состоянии. По окончании записи должна быть выдержана пауза между сигналами $\overline{RAS}$ для восстановления состояния внутренних цепей микросхемы. Длительность интервала восстановления определена параметром $t_{REC(RAS)}$.

В режиме считывания (рис. 2.14, *б*) порядок следования адресных и управляющих сигналов аналогичен рассмотренному, но при наличии сигнала считывания $\overline{WR}$/RD=1. Время появления выходного сигнала можно отсчитывать от момента поступления сигналов адреса — время выборки адреса $t_{A(A)}$, либо от момента поступления сигнала $\overline{RAS}$ — время выборки сигнала $\overline{RAS}$ $t_{A(RAS)}$, либо от момента поступления сигнала $\overline{CAS}$ — время выборки сигнала $\overline{CAS}$ $t_{A(CAS)}$. Названные параметры связаны соотношением $t_{A(RAS)} = t_{A(CAS)} + t_{SU(RAS-CAS)}$.

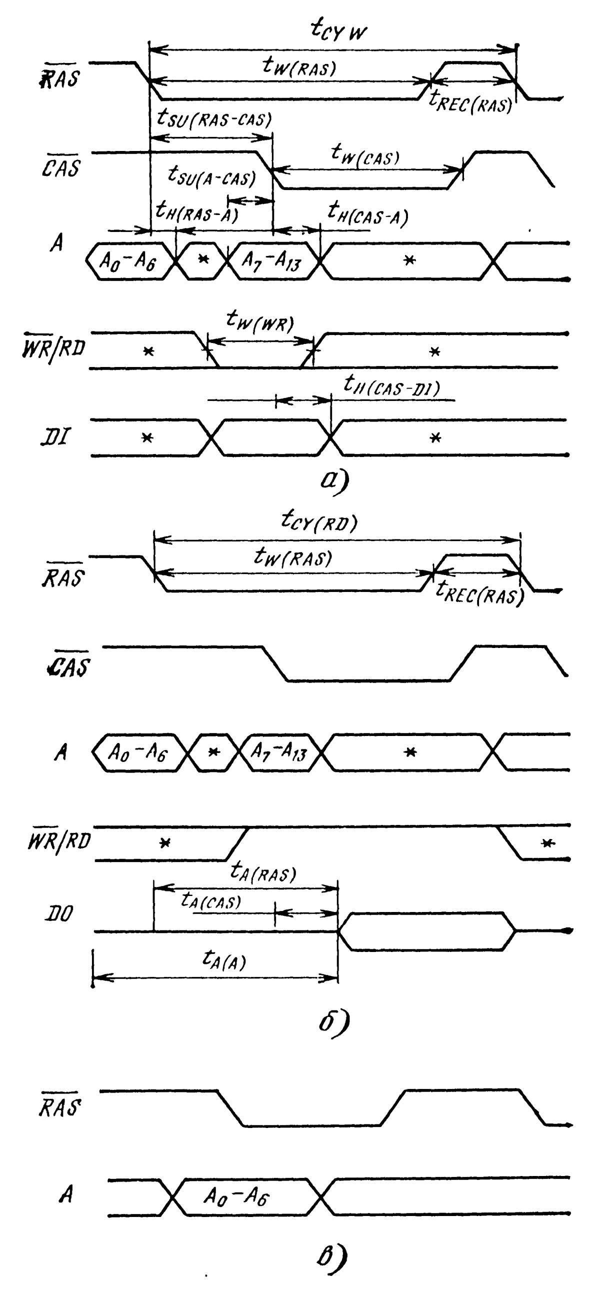


Рис. 2.14. Временные диаграммы сигналов микросхемы динамического ОЗУ: *а* — запись; *б* — считывание; *в* — регенерация сигналом $\overline{\text{RAS}}$

Таблица 2.34. Динамические параметры микросхем серии К565

Параметр, нс	К565РУ3			К565РУ5, К565РУ6				К565РУ7		
	А, В	В	Г	Б	В	Г	Д	В	Г	Д
t_{CY}	510	410	370	230	280	360	460	340	410	500
$t_{CY(RMW)}$	670	520	420	310	380	460	600	410	490	610
t^*_{CY}	370	275	225	150	180	250	320	120	140	180
$t_{W(RAS)}$	300	250	200	120	150	200	250	150	200	250
$t_{REC(RAS)}$	200	150	120	100	120	150	200	180	200	240
$t_{W(CAS)}$	220	165	135	70	90	120	150	75	100	125
$t_{SU(RAS-CAS)}$	100	85	65	30	35	55	75	50	60	60
$t_{H(RAS-A)}$	60	45	25	15	20	40	60	20	25	45
$t_{H(CAS-A)}$	100	75	55	25	35	45	60	55	70	90
$t_{W(WR)}$	120	75	55	35	45	80	120	40	65	90
$t_{H(CAS-DI)}$	100	75	55	45	55	80	120	55	70	90
$t^*_{W(CAS)}$	140	100	80	70	80	120	160	60	70	125
$t_{A(CAS}$	200	165	135	70	90	120	150	75	100	125
								50*	60*	70*
T_{REF}, мс	2	2	2	2	2	2	1	8	8	4

* Указано значение параметра в слоговом режиме для К565РУ7 и в страничном — для остальных микросхем.

Примечания. 1. Длительность фронта и среза сигналов для всех микросхем от 3 до 35 нс.

2. Предельная емкость нагрузки 200 пФ (для К565РУ7 — 100 пФ).

Для оценки быстродействия микросхемы памяти в расчет необходимо принимать время цикла записи (считывания) t_{CYW}, t_{CYR}. Микросхемы динамических ОЗУ характеризуются набором временных параметров, регламентирующих длительности импульсных сигналов, интервалы между ними, взаимный сдвиг во времени. Перечень параметров включает десятки наименований. В табл. 2.34 приведены основные из них.

Для обеспечения надежного сохранения записанной в накопителе информации предусмотрен режим принудительной регенерации, которой подвергается каждый элемент памяти в интервале времени, определяемом параметром T_{REF}. Регенерация выполняется автоматически для всех элементов памяти выбранной строки при каждом обращении к накопителю для записи или считывания информации. Поскольку обращение к разным строкам происходит с различными интервалами времени, рассчитывать только на автоматическую регенерацию нельзя, что и обусловливает необходимость организации специального режима принудительной регенерации.

Цикл регенерации состоит из m обращений к матрице, где m — число строк, перебором адресов строк с помощью внешнего счетчика циклов обращений. Обращение к накопителю для регенерации может быть организовано по любому из режимов: записи, считывания, считывания—модификации —записи, а также по специальным режимам регенерации: либо «сигналом $\overline{RAS}$», либо «$\overline{CAS}$ — перед — $\overline{RAS}$».

При организации принудительной регенерации наиболее целесообразным и удобным для реализации является режим регенерации сигналом $\overline{RAS}$. Времен-

ные диаграммы для этого режима представлены на рис. 2.14, *в*. Регенерация осуществляется путем перебора адресов строк с сопровождением каждого адреса сигналом $\overline{RAS}$ при пассивном состоянии сигнала $\overline{CAS}=1$. В этом режиме регенерации микросхема потребляет наименьшую мощность.

Принудительную регенерацию в режиме «$\overline{CAS}$ — перед — $\overline{RAS}$» можно осуществить при работе с микросхемой К565РУ7. Особенность режима состоит в том, что адресные сигналы не изменяются, их состояние может быть произвольным. Изменению подлежат сигналы $\overline{CAS}$ и $\overline{RAS}$, причем импульс сигнала $\overline{CAS}$ опережает импульс сигнала $\overline{RAS}$ на время $t_{SU(CAS-RAS)}$, равное 50 (К565РУ7В), 70 (К565РУ7Г), 95 нс (К565РУ7Д). В этом режиме адреса строк формирует внутренний счетчик, срабатывающий от сигнала $\overline{RAS}$. Содержимое счетчика увеличивается на единицу в каждом такте регенерации.

У микросхемы К565РУ1 режим регенерации осуществляют по циклу считывания или считывания—модификации—записи при выполнении условия $\overline{CS}=1$, обеспечивающего блокировку информационных входов и выходов микросхемы и возможность работать ей «на себя». Выход микросхемы в это время находится в Z-состоянии.

В расчет времени регенерации следует принимать время цикла, умноженное на число строк в накопителе. Например, на регенерацию информации в элементах памяти одной строки микросхемы К565РУ5Б в режиме RMW требуется 310 нс, а для регенерации элементов памяти всех 256 строк необходимо 80 мкс, что составляет 4% времени работы микросхемы. При регенерации в режиме перебора адресов строк и изменения только сигнала $\overline{RAS}$ общее время регенерации уменьшается до 62 мкс, что составляет 3% времени работы микросхемы.

Микросхемы серии К565 допускают применение режимов ускоренной записи и считывания данных — страничного и слогового режимов. Страничный режим записи (считывания) отличается тем, что в процессе записи (считывания) изменяются только адреса столбцов в сопровождении сигналов $\overline{CAS}$, т. е. осуществляется перебор адресов элементов памяти выбранной строки. В каждом такте должно быть изменено и состояние сигнала записи—считывания.

Слоговый режим записи (считывания) позволяет ускоренно записывать и считывать данные четырехразрядными кодами (слогами). Этот режим реализуем в микросхемах К565РУ7, К565РУ8 благодаря наличию в их структуре регистра и четырех усилителей, выбираемых сигналом $\overline{CAS}$ по внутренним адресам A_3A_6, а также счетчика, обеспечивающего перебор этих адресов от 00 до 11 в циклическом режиме. Внешний адрес задается полностью, причем разряды A_3A_6 содержат адрес первого бита в слоге. Затем при активном состоянии сигнала $\overline{RAS}$ приходят последовательно четыре такта сигнала $\overline{CAS}$. В каждом из этих тактов код внутреннего адреса A_3A_6 получает единичное приращение. Данные записываются или считываются побитно последовательно во времени, причем сигнал записи—считывания остается неизменным в течение всего цикла записи (считывания).

Быстродействие микросхем в страничном режиме повышается в 1,5—2 раза, а в слоговом — в 2—3 раза, как можно видеть из табл. 2.34.

Каждый тип микросхем серии К565 имеет подтипы (типономиналы), отличающиеся динамическими параметрами, а у микросхемы К565РУ5 — и информационной емкостью, что видно из табл. 2.32. По электрическим характеристикам и режимам работы микросхемы серии полностью совместимы, что позволяет переходить от одних микросхем к другим, например к микросхемам большей информационной емкости, без принципиальных изменений схемотехнических решений.

Микросхема К565РУ6 совместима с микросхемой К565РУ3 по электрическим параметрам, разводке выводов, имеет ту же информационную емкость, но отличается более высоким быстродействием, меньшей потребляемой мощностью и требует для работы один источник питания напряжением 5 В. Поэтому применение этой микросхемы предпочтительнее.

При эксплуатации микросхем с несколькими источниками питания К565РУ1 и К565РУ3 следует учитывать требования к последовательности включения и выключения источников питания: первым подключают напряжение — 5 В, а отключают его последним. Это требование обусловлено опасностью теплового пробоя между подложкой и МДП-структурами в области изолирующих электронно-дырочных переходов. Указанное напряжение подается на подложку (кристалл), и если его не подключить первым, то под воздействием, даже кратковременным, напряжений двух других источников 5 и 12 В может произойти в кристалле тепловой пробой. Порядок включения и выключения других напряжений питания может быть любым.

Полезно помнить также о чувствительности микросхем к воздействию статического электричества, предельное значение которого не превышает 30 В.

После включения питания нормальный режим функционирования устанавливается через несколько рабочих циклов, например, у микросхем К565РУ1 и К565РУ3 через восемь циклов, у К565РУ5 — после паузы в две милисекунды и последующих 16 циклов, у К565РУ6 после такой же паузы и 8—16 циклов работы в любом режиме.

Из сопоставления параметров микросхем статических и динамических ОЗУ, представленных в табл. 2.2, можно видеть, что микросхемы серии К565 уступают статическим по быстродействию, сравнимы с ними по потребляемой мощности и значительно превосходят по информационной емкости.

Дальнейшее развитие микросхем динамических ОЗУ связано с повышением информационной емкости, быстродействия, а также с освоением структур, в которых устройство динамической памяти совмещено на одном кристалле с устройством регенерации. Такое динамическое ОЗУ имеет для пользователя свойства статического ОЗУ и поэтому его называют квазистатическим. Элементы встроенных средств регенерации уже имеются в современных динамических ОЗУ, например в микросхеме К565РУ7. Особенностью этой микросхемы является увеличенный до 8 мс период регенерации, наличие встроенного счетчика адресов строк, позволяющего использовать режим авторегенерации. В данном режиме перебор адресов строк осуществляет внутренний счетчик, существенно ускоряя выполнение процедуры регенерации записанной в микросхему информации. Режим авторегенерации позволяет также упростить управление микросхемой.

3. МИКРОСХЕМЫ ПЗУ И ОСНОВЫ ИХ ПРИМЕНЕНИЯ

Микросхемы ПЗУ по способу программирования разделяют на три группы: МПЗУ (масочные ПЗУ), ППЗУ (программируемые ПЗУ), РПЗУ (репрограммируемые ПЗУ). Устройство микросхем ПЗУ названных групп рассмотрено в § 1.2. Общими для всех микросхем ПЗУ свойствами являются: словарная организация, наличие режима считывания как основного режима работы, энергонезависимость. Вместе с тем у микросхем разных групп есть существенные различия в способе программирования, режимах считывания, в обращении с ними при применении, в областях практического использования. Поэтому целесообразно рассмотреть каждую группу микросхем отдельно.

Микросхемы ПЗУ выпускаются как самостоятельными сериями с однородным составом, так и в комплекте с микросхемами других видов. Например, серия К556 состоит только из микросхем ППЗУ, а серия К573 — из микросхем РПЗУ и ППЗУ. Микросхемы ПЗУ имеются и в сериях многофункционального состава, таких как К155, К555, и в сериях микропроцессорных БИС, например К1801, К1809, К588 и др. Независимо от принадлежности к той или иной серии микросхемы ПЗУ одной технологической группы имеют много общего в устройстве, режимах управления их работой и в применениях. Поэтому в основу рассмотрения микросхем ПЗУ положена их классификация по технологическому признаку.

3.1. Микросхемы масочных ПЗУ

Микросхемы МПЗУ программируют на заводе-изготовителе по заданию заказчика. Однако часть микросхем этой группы выпускается для общего применения в запрограммированном виде, т. е. с записанной программой такого типа, как коды различных символов, значения широко применяемых математических функций, стандартные программы, подпрограммы и т. д. Запрограммированные микросхемы МПЗУ в своем условном обозначении имеют дополнительный цифровой индекс, например КР568РЕ1-0309. Этот индекс не несет никакой другой информации, кроме той, что данная микросхема содержит какие-то сведения, т. е. она готова к применению по назначению. Конкретная микросхема может иметь несколько модификаций, снабженных своими цифровыми индексами. В частном случае, когда условное обозначение закреплено за микросхемой определенного назначения не имеющей модификаций, дополнительный индекс может отсутствовать.

Параметры микросхем МПЗУ наиболее известных, широко применяемых, а также перспективных серий представлены в табл. 3.1, а назначение выводов корпусов этих микросхем — в табл. 3.2 [3, 49, 50].

Микросхемы К155РЕ21 — К155РЕ24 давно и широко известны как знакогенераторы, запрограммированные кодами русского (РЕ21), латинского (РЕ22) алфавитов, арифметических знаков и цифр (РЕ23) и дополнений к указанным символам (РЕ24). При совместном применении эти четыре микросхемы образуют знакогенератор 96 символов со знаковой матрицей 5×7. Формат матрицы формируют 35 адресуемых элементов отображения — «точек», расположенных на пересечениях пяти столбцов и семи строк.

Таблица 3.1. **Характеристики микросхем МПЗУ**

Микросхема	Емкость, бит	$t_{A(A)}$, нс	U_{cc}, В	P_{cc}, мВт	Тип выхода	Технология	Тип корпуса
К155РЕ21	256×4	60	5	650	ТТЛ-ОК	ТТЛ	238.16-2
К155РЕ22	256×4	60	5	650	ТТЛ-ОК	ТТЛ	238.16-2
К155РЕ23	256×4	60	5	650	ТТЛ-ОК	ТТЛ	238.16-2
К155РЕ24	256×4	60	5	650	ТТЛ-ОК	ТТЛ	238.16-2
К555РЕ4	2К×8	110	5	850	ТТЛ-3	ТТЛШ	405.24-2
К541РЕ1	2К×8	150	5	1000	ТТЛ-ОК	ИИЛ—ТТЛ	405.24-2
К596РЕ1	8К×8	350	4	640	ТТЛ-3	ТТЛ	4131.24-3
КР588РЕ1	4К×16	450	5	10	ТТЛ-3	КМДП	239.24-2
К563РЕ1	8К×8	330	5	50	ТТЛ-3	КМДП	—
К563РЕ2	32К×8	300	5	20	ТТЛ-3	КМДП	5133.48-1
КР505РЕ3	512×8	1500	5; —12	500	ТТЛ-3	*р*МДП	405.24-7
КР568РЕ1	2К×8	450	5; 12	410	ТТЛ-3	*n*МДП	2120.24-3
КР568РЕ2	8К×8	350	5; 12	470	ТТЛ-3	*n*МДП	2120.28-5
КР568РЕ3	16К×8	550	5	270	ТТЛ-3	*n*МДП	2120.28-5
КМ568РЕ4	8К×8	350	5	330	ТТЛ-3	*n*МДП	2120.28-6
К568РЕ5	2К×8	400	5	425	ТТЛ-3	*n*МДП	2120.24-3
К1801РЕ1	4К×16	400	5	260	ТТЛ-3	*n*МДП	210Б.24-1
К1801РЕ2	4К×16	420	5	300	ТТЛ-3	*n*МДП	239.24-1
К1809РЕ1	4К×16	300	5	400	ТТЛ-3	*n*МДП	210Б.24-1
КА1609РЕ1	2К×8	450	5	0,5	ТТЛ-3	КМДП	4118.24-2
КМ1823РЕ1	2К×8	450	5	4,5	ТТЛ-ОК	ИИЛ—ТТЛ	210Б.24-3
КР1610РЕ1	2К×8	340	5	280	ТТЛ-3	*n*МДП	2120.24-3
КМ1656РЕ1	2К×8	80	5	925	ТТЛ-3	ТТЛШ	239.24-2
КМ1656РЕ2	2К×8	80	5	925	ТТЛ-ОК	ТТЛШ	239.24-2
КМ1656РЕ3	512×8	60	5	775	ТТЛ-3	ТТЛШ	2140Ю.20-2
КР1656РЕ4	8К×8	55	5	925	ТТЛ-3	ТТЛШ	239.24-2

Знаковая матрица символов одной группы сформирована в накопителях двух микросхем — основной и дополнительной, например, в микросхемах К155РЕ21 и К155РЕ24 содержатся коды матрицы символов — букв русского алфавита, в микросхемах К155РЕ22 и К155РЕ24 — букв латинского алфавита, в микросхемах К155РЕ23 и К155РЕ24 — арифметических знаков и цифр. Коды четырех столбцов матрицы занесены в накопители основных микросхем, а пятого столбца матрицы символов всех трех групп — в накопитель дополнительной микросхемы К155РЕ24.

Для отображения символа на индикаторе необходимо с выходов знакогенератора получить последовательность семи кодовых комбинаций, каждая из которых включает пять бит, снимаемых параллельно. Микросхемы имеют по четыре выхода. Пятый выход добавляет микросхема К155РЕ24.

Записанные в микросхемы символы соответствуют семиразрядному коду КОИ-7 по ГОСТ 13052—74 (табл. 3.3). Выбор символа осуществляют адресным кодом КОИ-7, в котором пять младших разрядов, как показано в табл. 3.3, выбирают символ, а два старших a_5a_6 выбирают группу символов: при комбинации 11 — буквы русского алфавита, 01 — латинского, 10 — цифры и арифметические знаки.

Каждая из рассматриваемых микросхем имеет восемь адресных входов $A_0 \dots A_7$ и два инверсных входа для сигналов выбора $\overline{CS_1}$, $\overline{CS_2}$. Три младших раз-

Таблица 3.2. Назначение выводов микросхем МПЗУ

Номер вывода	К155 РЕ21—РЕ24	К505 РЕ3	К555 РЕ4	К541 РЕ1	КА1603 РЕ1	КР1610 РЕ1	К563 РЕ1	КР568					К596	К1656		
								РЕ2	РЕ3	РЕ4	РЕ5	РЕ1	РЕ1	РЕ1, РЕ2	РЕ4	РЕ5
1	A_6	A_7	A_7	A_7	A_7	A_7	A_8	A_1	DO_2	—	A_7	$\overline{CS}$	A_7	A_7	A_7	A_1
2	A_5	A_8	A_6	A_6	A_6	A_6	A_7	A_0	DO_1	A_{12}	A_6	DO_0	A_8	A_6	A_6	A_2
3	A_4	DO_7	A_5	A_5	A_5	A_5	A_2	A_2	DO_0	A_7	A_5	DO_1	A_2	A_5	A_5	A_3
4	A_3	DO_6	A_4	A_4	A_4	A_4	A_1	—	A_4	A_6	A_4	DO_2	A_1	A_4	A_4	A_4
5	A_0	DO_5	A_3	A_3	A_3	A_3	A_0	—	A_5	A_5	A_3	DO_3	A_0	A_3	A_3	A_5
6	A_1	DO_4	A_2	A_2	A_2	A_2	0V	12В	A_6	A_4	A_2	DO_4	0V	A_2	A_2	A_6
7	A_2	DO_3	A_1	A_1	A_1	A_1	A_6	5В	5В	A_3	A_1	DO_5	A_6	A_1	A_1	A_7
8	0V	DO_2	A_0	A_0	A_0	A_0	A_5	$\overline{CS}$	0V	A_2	A_0	DO_6	A_5	A_0	A_0	DO_0
9	$\overline{DO_3}$	DO_1	DO_0	DO_0	DO_0	DO_0	A_4	DO_0	—	A_1	DO_0	DO_7	A_4	DO_0	DO_0	DO_1
10	$\overline{DO_2}$	DO_0	DO_1	DO_1	DO_1	DO_1	A_3	—	A_{13}	A_0	DO_1	A_7	A_3	DO_1	DO_1	DO_2
11	$\overline{DO_1}$	CS	DO_2	DO_2	DO_2	DO_2	A_9	DO_1	DO_4	DO_0	DO_2	A_{10}	A_9	DO_2	DO_2	0V
12	$\overline{DO_0}$	—	0V	0V	0V	0V	5В	DO_2	DO_5	DO_1	0V	0V	5В	0V	0V	DO_3
13	$\overline{CS_1}$	5В	DO_3	DO_3	DO_3	DO_3	A_{12}	DO_3	A_{11}	DO_2	DO_3	A_9	A_{12}	DO_3	DO_3	DO_4
14	$\overline{CS_2}$	—	DO_4	DO_4	DO_4	DO_4	DO_7	DO_4	A_{12}	0V	DO_4	A_8	DO_7	DO_4	DO_4	DO_5
15	A_7	—	DO_5	DO_5	DO_5	DO_5	DO_6	DO_5	A_{10}	DO_3	DO_5	A_6	DO_6	DO_5	DO_5	DO_6
16	5В	A_0	DO_6	DO_6	DO_6	DO_6	DO_5	DO_6	$\overline{CS}$	DO_4	DO_6	A_5	DO_5	DO_6	DO_6	DO_7
17		A_4	DO_7	DO_7	DO_7	DO_7	DO_4	DO_7	DO_6	DO_5	DO_7	A_4	DO_4	DO_7	DO_7	$\overline{CS}$
18		A_5	CS_3	CS_3	$\overline{CS_1}$	$\overline{CS_1}$	CS	A_7	DO_7	DO_6	$\overline{CS_1}$	A_3	CS	CS_3	A_{12}	A_8
19		A_3	CS_2	CS_2	A_{10}	A_{10}	A_{10}	A_{10}	A_7	DO_7	A_{10}	A_1	A_{10}	CS_2	A_{11}	5В
20		A_2	$\overline{CS_1}$	$\overline{CS_1}$	$\overline{OE}$	$\overline{OE}$	DO_3	0V	A_8	$\overline{CS_1}$	$\overline{CS_2}$	A_0	DO_3	$\overline{CS_1}$	$\overline{CS}$	A_0
21		A_1	A_{10}	A_{10}	CS_2	—	DO_2	A_{12}	A_9	A_{10}	—	A_{20}	DO_2	A_{10}	A_{10}	
22		0V	A_9	A_9	A_9	A_9	DO_1	A_{11}	—	$\overline{CS_2}$	A_9	—	DO_1	A_9	A_9	
23		A_6	A_8	A_8	A_8	A_8	DO_0	A_9	A_0	A_{11}	A_8	12В	DO_0	A_8	A_8	
24		—12В	5В	5В	5В	5В	A_{11}	A_8	—	A_9	5В	5В	A_{11}	5В	5В	
25								A_6	A_1	A_8						
26								A_5	A_2	—						
27								A_4	DO_3	—						
28								A_3	A_3	5В						

Таблица 3.3. **Символы, соответствующие КОИ-7**

$a_3a_2a_1a_0$	$a_6a_5a_4$					
	010	011	100	101	110	111
0000	SP	Ø	@	P	Ю	П
0001	!	1	A	Q	А	Я
0010	«	2	B	R	Б	Р
0011	#	3	C	S	Ц	С
0100	¤	4	D	T	Д	Т
0101	%	5	E	U	Е	У
0110	&	6	F	V	Ф	Ж
0111	/	7	G	W	Г	В
1000	(	8	H	X	Х	Ь
1001	)	9	I	Y	И	Ы
1010	*	:	J	Z	Й	З
1011	+	;	K	[	К	Ш
1100	,	<	L	\	Л	Э
1101	—	=	M	]	М	Щ
1110	.	>	N	^	Н	Ч
1111	/	?	O	Ъ	О	DEL
Микросхема	К155РЕ23 К155РЕ24		К155РЕ22 К155РЕ24		К155РЕ21 К155РЕ24	

Примечание. SP — пробел (Space), DEL — стирание (Deletion).

ряда адресного кода $A_0A_1A_2$ предназначены для развертки символа, а пять старших разрядов $A_3 \dots A_7$ — для его выборки. На эти входы должны быть поданы сигналы пяти младших разрядов $a_0 \dots a_4$ кода КОИ-7. На входы выбора микросхем подают два старших разряда a_5a_6 КОИ-7, но с учетом того, что входы выбора инверсные. Это условие применительно к микросхеме К155РЕ21 означает, что сигналы a_5, a_6 должны быть инвертированы.

Микросхемы имеют открытые коллекторные выходы, поэтому коды символов считываются в инверсном представлении.

Поясним принцип работы микросхем в качестве знакогенераторов, выбрав для примера микросхему К155РЕ21. Структура микросхемы приведена на рис. 3.1. Здесь же показана микросхема К155РЕ24 в той ее части, которая служит дополнением к микросхеме К155РЕ21. Накопитель микросхемы К155РЕ21 содержит 32 матрицы символов формата 4×7 (восьмая строка не используется). В каждой матрице закодирована часть символа, которая умещается в указанном формате. Символы соответствуют табл. 3.3 (двум ее правым колонкам). Например, в матрицу 1 занесены коды четырех столбцов буквы Ю, в матрицу 2 — буквы А, в матрицу 17 — буквы П и т. д. Запись кодов осуществляют формированием перемычек между линиями строк и столбцов в накопителе в тех точках их пересечений, где должна быть лог. 1. Матрицы накопителя подключены к мультиплексору MUX 32-1 четырехпроводных каналов. Мультиплексор управляется пятиразрядным адресным кодом $a_0 \dots a_4$ (a_0 — младший разряд, которым определяется схема соединения одного из 32

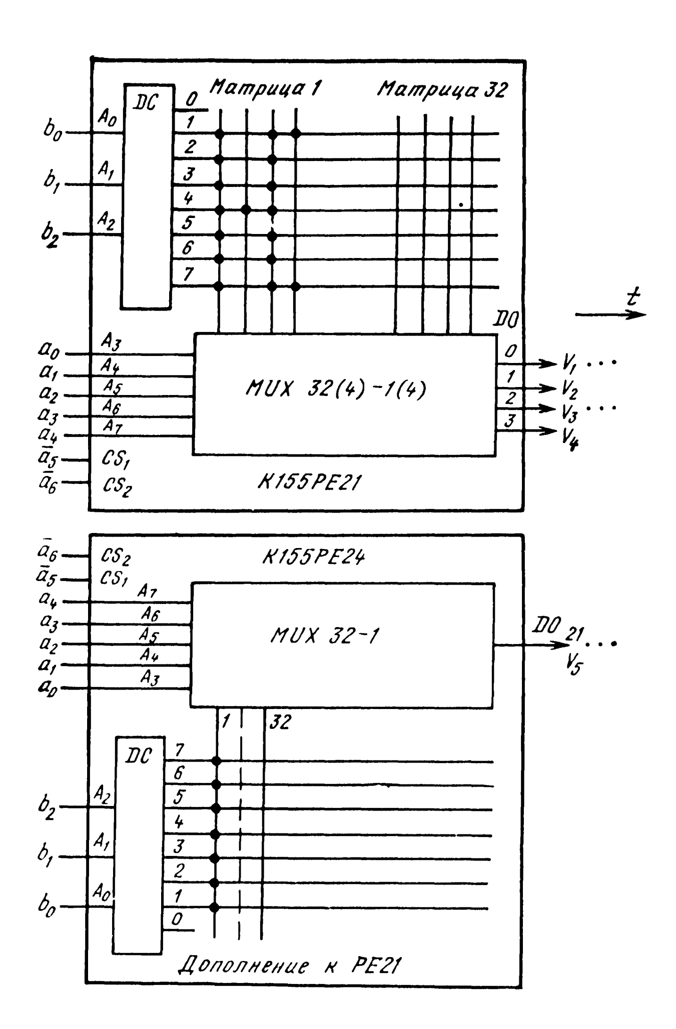


Рис. 3.1. Упрощенные структуры и принцип применения микросхем МПЗУ серии К155 в качестве знакогенератора

четырехпроводных входов на четырехпроводный выход $V_1 \dots V_0$. Например, код 00000 обеспечивает подключение матрицы 1 к выходам $V_1 \dots V_4$, т. е. выбор символа, размещенного в этой матрице. Код символа считывается построчно при последовательном переборе семи адресных кодовых комбинаций $b_2b_1b_0$ от 001 (комбинация 000 не используется) до 111, тем самым обеспечивается развертка символа во времени и в пространстве, как показано на рис. 3.1.

Код адреса строки матрицы $b_0b_1b_2$ поступает на входы A_0, A_1, A_2 микросхемы, код выборки символа $a_0 \dots a_4$ — на входы $A_3 \dots A_7$, код выбора группы символов a_5a_6 — на входы CS_1 и CS_2 выбора микросхемы.

В накопитель микросхемы К155РЕ24 занесены коды пятого столбца всех 32 символов микросхемы К155РЕ21. Например, в элементах первого столбца записан код дополнения к букве Ю, как показано на рис. 3.1. Мультиплексор 32-1 под действием кода $a_0 \dots a_4$ коммутирует выбранный столбец на выход V_5. Поскольку микросхемы объединены одноименными адресными входами, то каждой матрице знака в накопителе основной микросхемы соответствует столбец с дополнением в микросхеме К155РЕ24.

Аналогично в накопителе микросхемы К155РЕ24 выполнены дополнения к символам, содержащимся в двух других микросхемах. Каждая область накопителя через мультиплексор выходит на свой выход: DO_{21} (вывод 10), DO_{22} (вывод 11), DO_{23} (вывод 12). Одноименные адресные входы мультиплексоров объединены, поэтому при любом адресном обращении к микросхеме К155РЕ24 на ее выходах появляются соответствующие адресу коды дополнений. Для выбора одного из трех выходов микросхемы К155РЕ24 служит мультиплексор, управляемый старшими разрядами адресного кода КОИ-7 a_5a_6, которыми выбирается и основная микросхема (см. рис. 4.29). Некоторые варианты схемотехнических решений по построению знакогенераторов на рассмотренных микросхемах приведены в § 4.11.

Микросхема К555РЕ4 емкостью 2К×8 бит реализует функцию знакогенератора 160 символов русского и латинского алфавитов, цифр и арифметических знаков с матрицей 7×11. Код выборки символа соответствует восьмиразрядному коду обмена информацией КОИ-8 по ГОСТ 19768—74. При формате 7×11 матрицы символа в микросхеме необходимо иметь 12 адресных входов, из которых восемь нужны для сигналов выборки символа, а четыре — для сигналов выборки строки, т. е. для развертки символа. При этом получается значительная избыточность ПЗУ, поскольку $2^8>160$ и $2^4>11$. Для уменьшения этой избыточности в микросхеме предусмотрены только 11 адресных входов. Для образования двенадцатого адресного сигнала применяют дополнительное ПЗУ, например, на микросхеме ППЗУ К556РТ4. Это ПЗУ выполняет функции кодопреобразователя. Такой вариант использования микросхемы К555РЕ4 рассмотрен в § 4.11.

Микросхема К505РЕ3 имеет значительную область применения благодаря многочисленным и разнообразным модификациям со стандартной информацией. Рассмотрим некоторые из них.

Две совместно применяемые микросхемы К505РЕ3-002 и К505РЕ3-003 содержат коды букв русского и латинского алфавитов, цифр и арифметических знаков и образуют знакогенератор 96 символов формата 7×9 с горизонтальной (по строкам) разверткой символов. Модификации К505РЕ3-0059 и К505РЕ3-0060 имеют то же назначение, но генерируют символы формата 5×7. Ряд микросхем-модификаций содержит коды значений функции синуса от 0 до 90° с дискретностью 10′ (К505РЕ3-0051, К505РЕ3-0052), от 0 до 45° (К505РЕ3-0068, К505РЕ3-0069) и от 45 до 90° (К505РЕ3-0070, К505РЕ3-0071) с дискретностью 5′. Микросхемы К505РЕ3-0040—К505РЕ3-0049 содержат коды коэффициентов для быстрого преобразования Фурье, а микросхемы К505РЕ3-0080, К505РЕ3-0081 — коды значений функции $Y=X^2$ для $X=1 \dots 128$.

Серия КР568 включает пять типов микросхем МПЗУ емкостью 16К ... 128К бит, ориентированных на совместную работу с микросхемами микропроцессор-

ного комплекта К580. На основе базовых микросхем серии КР568 изготавливают микросхемы с записанной стандартной информацией:

КР568РЕ1-0001, КР568РЕ1-0002 — международный телеграфный код № 2 соответственно с вертикальным (по столбцам) и горизонтальным (по строкам) разложением символов;

КР568РЕ1-0003 — коды 128 символов, из которых 96 соответствуют КОИ-7, а 32 являются математическими и специальными знаками;

КР568РЕ1-01111 — коды символов, соответствующих КОИ-8;

КР568РЕ1-0301 — КР568РЕ1-0308 — программное обеспечение микроЭВМ «Электроника К1-10» в составе редактора текстов, Ассемблера, операционной системы МОС-2;

КР568РЕ1-0309 — коды 1024 16-разрядных значений функции «синус X»;

КР568РЕ1-0310 — программы двенадцати тестов для контроля правильности функционирования процессора К580ВМ80 и двух тестов для контроля ОЗУ емкостью 1К байт;

КР568РЕ2-0001 — коды символов международных телеграфных кодов № 2 (алфавиты русский, латинский, арабский, греческий, корейский, японский) и № 5 (алфавиты русский, латинский и японский);

КР568РЕ3-0002 — программное обеспечение микроЭВМ «Электроника К1-10» в составе редактора текстов, Ассемблера-II, операционной системы. Данная микросхема выполняет функции восьми микросхем КР568РЕ1-0301 — КР568РЕ1-0308 и отличается только тем, что программа Ассемблер заменена программой Ассемблер-II.

При эксплуатации микросхем КР568РЕ1 необходимо иметь в виду, что основание корпуса микросхем имеет отрицательный потенциал, поэтому при использовании теплоотвода нельзя подключать его к общей шине, имеющей нулевой потенциал. При монтаже микросхемы на плату необходимо подключить между выводом 22 (напряжение смещения кристалла-подложки) и выводом 7 (напряжение питания) конденсатор емкостью 10 000 пФ.

Микросхема КР1610РЕ1 емкостью 2К×8 бит со стандартными программами выпускается в следующих модификациях: КР1610РЕ1-0100 — КР1610РЕ1-0107, содержащих программное обеспечение ЭВМ «Искра». Данная микросхема в режиме считывания взаимозаменяема в аппаратуре с микросхемами РПЗУ К573РФ2 и К573РФ5.

Микросхема КА1603РЕ1 емкостью 2К×8 бит в своей структуре имеет регистр адресного кода. Поэтому в режиме считывания код адреса удерживается на входах микросхемы на время, необходимое для его надежной записи в регистр, осуществляемой отрицательным перепадом сигнала $\overline{CS}$. Далее адресный код может быть изменен, поскольку последующая работа функциональных узлов микросхемы происходит при адресных сигналах, хранимых регистром. Это позволяет исключить выдачу ложной информации при неправильной смене или сбое адресных кодовых комбинаций.

При включении микросхемы следует вначале подать напряжение питания, затем — входные сигналы, а при выключении вначале необходимо снять входные сигналы, затем — напряжение питания. Поэтому рекомендуется при разработке схем соединений исключить возможность обрыва в цепях входов микросхемы. Для этого ко входам подключают резисторы сопротивлением 0,1 ... 1,0

МОм так, чтобы обеспечить наличие уровней логических состояний на входах в случае обрыва цепи. Рекомендуется также для исключения превышения в момент переключения микросхемы напряжения на ее входах над напряжением питания подключать конденсатор емкостью 0,033 мкФ между выводами 24 (напряжение питания) и 12 (общая точка — корпус).

Многие микросхемы имеют несколько входов управления, в частности, входов CS сигналов выбора, прямых и инверсных. В таких микросхемах условием доступа к накопителю является наличие на входах сигналов выбора с активными состояниями. Если это условие не будет выполнено хотя бы для одного сигнала выбора, то доступ к микросхеме для считывания будет закрыт.

Основным динамическим параметром микросхем МПЗУ является время выборки адреса. При необходимости стробирования выходных сигналов на управляющие входы CS сигналы выбора подают так, чтобы один из них имел форму импульса, а остальные — уровня напряжения. В этом случае в расчет времени считывания надо принимать время установления сигнала CS относительно сигналов адреса и время выбора: $t_{A(A)} = t_{SU(A-CS)} + t_{CS}$. У некоторых микросхем предусмотрен дополнительный вход для сигнала управления состоянием выхода OE. Наличие этого сигнала позволяет реализовать режим запрещения вывода считываемой информации при присутствии на входах микросхемы всех необходимых сигналов, если сигнал OE не имеет активного состояния.

Выходные сигналы микросхем МПЗУ имеют ТТЛ-уровни. Выходы большинства микросхем могут принимать три состояния. Для снижения потребляемой мощности широко применяют способ импульсного питания, при котором на микросхему подается напряжение питания только на время считывания информации. Вариант реализации импульсного питания рассмотрен в § 3.5.

Устойчивая тенденция к функциональному усложнению микросхем памяти проявляется и в микросхемах ПЗУ: в их структуру встраивают интерфейсные узлы, позволяющие объединять несколько микросхем в модуль способом непосредственного подключения к линиям магистрали без дополнительных устройств сопряжения и управления. Ряд микросхем снабжен встроенными устройствами самоконтроля и исправления ошибок.

Микросхемы со встроенным интерфейсом К1801РЕ1, К1801РЕ2 (рис. 3.2, *а*), К1809РЕ1 (рис. 3.2, *б*), КР588РЕ1 (рис. 3.2, *в*) отличаются от других наличием в структуре адресного устройства с записанным собственным адресом $A_{мс}$, селектора адреса, регистров адреса и данных, устройства формирования сигнала ответа в процессе взаимодействия с магистралью. Указанные микросхемы построены на тех же принципах, что и микросхемы ОЗУ КР537РУ11, К1809РУ1, и ориентированы на магистральный параллельный интерфейс по ГОСТ 26765.51—86. Выводы $DO_0, ADO_1 \dots ADO_{15}$ являются выходами для считываемых данных $D_0 \dots D_{15}$ (вывод DO_0 является выходом младшего разряда данных) и входами для сигналов адресного кода $A_1 \dots A_{15}$. Этими выводами микросхемы подключаются к общей шине «Адрес — Данные» магистрали, по которой адрес и данные передаются с временным разделением: вначале к микросхеме подводятся адресные сигналы, затем по этим же линиям передаются сигналы данных.

Адресное устройство и селектор адреса при каждом адресном обращении к микросхеме принимают и идентифицируют три старших разряда адресного кода, и при совпадении кода $A_{15} \dots A_{13}$ с кодом собственного адреса микро-

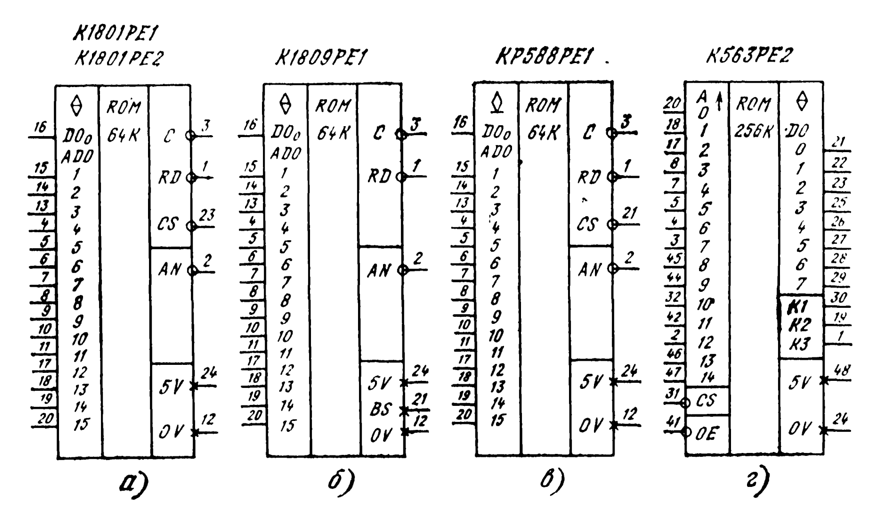


Рис. 3.2. Микросхемы масочных ПЗУ

схемы $A_{мс}$, который занесен в адресное устройство, микросхема вырабатывает сигнал принятия адреса данных $A_д$: $A_{12} \dots A_1$ в адресный регистр и доступа к накопителю для выборки данных. Прием и запоминание адреса $A_д$ регистр производит по отрицательному перепаду H/L сигнала $\overline{C}$.

Выходные формирователи микросхем построены по схеме с тремя состояниями у К1801РЕ1, К1802РЕ2, К1809РЕ1 и с открытым коллектором у КР588РЕ1. После приема адресного кода выходы переходят в Z-состояние или в состояние лог. 1 (у КР588РЕ1). Считываемое слово записывается во внутренний регистр и появляется на выходах при наличии разрешающего сигнала $\overline{RD}=0$. Одновременно на выходе AN формируется сигнал ответа с уровнем лог. 0, сопровождающий выходные данные. После снятия тактового сигнала $\overline{C}$ выходной регистр микросхемы возвращается в исходное состояние.

В режим хранения микросхема переходит при условии $\overline{C}=1$ или $\overline{CS}=1$. Для микросхемы К1809РЕ1, у которой отсутствует вход сигнала $\overline{CS}$, выполняется только условие $\overline{C}=1$.

Условия реализации режимов работы микросхем приведены в табл. 3.4 и 3.5.

Рассмотренные микросхемы относятся к группе тактируемых, поэтому необходимо в цикле обращения предусмотреть время восстановления $t_{REC(C)}$. Время цикла определяется выражением $t_{CY} = t_{W(C)} + t_{REC(C)}$.

Наличие встроенного интерфейса позволяет непосредственным подключением микросхем к линиям магистрали образовывать модули ПЗУ емкостью до 32×16 бит. В режиме считывания микросхемы по назначению выводов и сигналам управления совместимы с микросхемой РПЗУ К573РФ3, поэтому их можно применять вместе для построения ЗУ, а также при отладке программного обеспечения.

Таблица 3.4. Таблица истинности микросхемы К1809РЕ1

$\overline{C}$	$\overline{RD}$	$\overline{AN}$	$\overline{DO_0}$	Разряды $\overline{ADO}$		Режим работы
				1 ... 12	13 ... 15	
1	1	Z	Z	Z	Z	Хранение
1/0	1	1	X	$A_д$	$A_{мс}$	Ввод адреса
0	0	0	$\overline{D_0}$	$\overline{D_1} \ldots \overline{D_{12}}$	$\overline{D_{13}} \ldots \overline{D_{15}}$	Считывание

Примечание. $A_д$ — адрес данных, $A_{мс}$ — адрес номера микросхемы.

Таблица 3.5. Таблица истинности микросхем К1801РЕ1, К1801РЕ2, КР588РЕ1

$\overline{C}$	$\overline{CS}$	$\overline{RD}$	$\overline{AN}$	$\overline{DO_0}$	Разряды $\overline{ADO}$		Режим работы
					1—12	13—15	
X	1	X	1	Z(1)	Z(1)	Z(1)	Хранение
1	X	X	1	Z(1)	Z(1)	Z(1)	«
1/0	0	1	1	X	$A_д$	$A_{мс}$	Ввод адреса
0	0	0	0	$\overline{D_0}$	$\overline{D_1} \ldots \overline{D_{12}}$	$\overline{D_{13}} \ldots \overline{D_{15}}$	Считывание

Примечание. В скобках указано состояние выходов микросхемы КР588РЕ1.

Микросхема К563РЕ2 емкостью 32К×8 бит имеет встроенные устройства самоконтроля и исправления одиночных ошибок с помощью кода Хэмминга. Контроль ПЗУ производится в каждом цикле рабочего режима. Эти устройства при условии $K_2=1$ обеспечивают обнаружение и исправление одиночных ошибок в считываемом коде с установлением сигнала — признака с уровнем 1 на выходе K_1 (рис. 3.2, *г*). Корректор ошибок можно выключить сигналом $K_2=0$. В этом режиме данные будут считываться без исправления ошибок.

В структуре микросхемы имеется дополнительная матрица для занесения в нее тестовых кодов, предназначенных, например, для проверки работоспособности устройства обнаружения и исправления ошибок. Емкость дополнительной матрицы равна 32×8 бит. Адресное обращение к ячейкам матрицы производят при условии $K_3=1$ частью разрядов $A_0 \ldots A_4$ адресного кода.

Встроенные в микросхему вспомогательные устройства используют для повышения выхода годных микросхем, для отбора бездефектных микросхем при отбраковочных испытаниях, для повышения надежности функционирования ПЗУ.

Сопоставляя параметры микросхем, выполненных по *n*МДП- и КМДП-технологии, можно видеть преимущество КМДП-микросхем по быстродействию и энергопотреблению.

3.2. Микросхемы программируемых ПЗУ

Микросхемы ППЗУ по принципу построения и функционирования аналогичны масочным ПЗУ, но имеют существенное отличие в том, что допускают программирование пользователем. Устройство микросхем ППЗУ рассмотрено в § 1.2. Операция программирования заключается в разрушении (пережигании) плавких перемычек на поверхности кристалла импульсами тока амплитудой 30 ... 50 мА. Технические средства для выполнения этой операции имеют два варианта исполнения: в виде автономного и модульного программаторов. Первое устройство представляет собой самостоятельный прибор промышленного производства. Программаторы могут быть реализованы по сравнительно простым схемам самими пользователями. Модульный программатор работает под управлением персональной ЭВМ и представляет собой специализированное устройство, сопряженное с данной ЭВМ. Такой программатор в сочетании с ЭВМ и программным обеспечением образует систему автоматизированного программирования микросхем ППЗУ [2, 44].

Выпускаемые промышленностью микросхемы ППЗУ (табл. 3.6) изготовлены в основном по ТТЛШ-технологии. Среди них преобладают микросхемы

Таблица 3.6. **Характеристики микросхем ППЗУ**

Микросхема	Емкость, бит	$t_{A(A)}$, нс	P_{cc}, мВт	Тип выхода	Исходное состояние	Корпус
КР556РТ1	ПЛМ	50	850	ТТЛ—ОК	1920*	2124.28-1
КР556РТ2	ПЛМ	70	850	ТТЛ—3	1920*	2121.28-1
КР1556ХЛ8	ПЛМ	40	900	ТТЛ—3	2048*	2140.20-4
КР556РТ4	256×4	70	690	ТТЛ—ОК	0	238.16-2
КР556РТ5	512×8	50	893	ТТЛ—ОК	1	239.24-2
КР556РТ6	2К×8	80	920	ТТЛ—ОК	0	239.24-2
КР556РТ7	2К×8	60	920	ТТЛ—3	0	239.24-2
КР556РТ11	256×4	45	680	ТТЛ—3	0	238.16-2
КР556РТ12	1К×4	60	735	ТТЛ—ОК	0	2104.18-5
КР556РТ13	1К×4	60	735	ТТЛ—3	0	2104.18-5
КР556РТ131	1К×4	35	735	ТТЛ—3	0	2104.18-5
КР556РТ14	2К×4	60	735	ТТЛ—ОК	0	2104.18-5
КР556РТ15	2К×4	60	735	ТТЛ—3	0	2104.18-5
КР556РТ16	8К×8	85	998	ТТЛ—3	0	239.24-2
КР556РТ17	512×8	50	998	ТТЛ—3	1	239.24-2
КР556РТ18	2К×8	60	900	ТТЛ—3	0	239.24-2
КР556РТ20	1К×8	30	920	ТТЛ—3	0	239.24-2
К541РТ1	256×4	80	500	ТТЛ—ОК	0	402.16-21
К541РТ2	2К×8	80	770	ТТЛ—ОК	0	—
КР573РТ5	2К×8	450	500	ТТЛ—3	—	2120.24-3
КР573РТ6	8К×8	450	600	ТТЛ—3	—	2121.28-5
КР565РТ1	1К×4	300	13	ТТЛ—3	—	210А.22-3
К1608РТ2	512×8	35	920	ТТЛ—3	0	2108.22-1
К1623РТ1	2К×8	200	—	ТТЛ—3	—	—
К1500РТ416	256×4	20	670	ЭСЛ—ОЭ	1	4112.16-9
К155РЕ3	32×8	70	550	ТТЛ—ОК	0	238.16-2

* Число перемычек (точек коммутации).

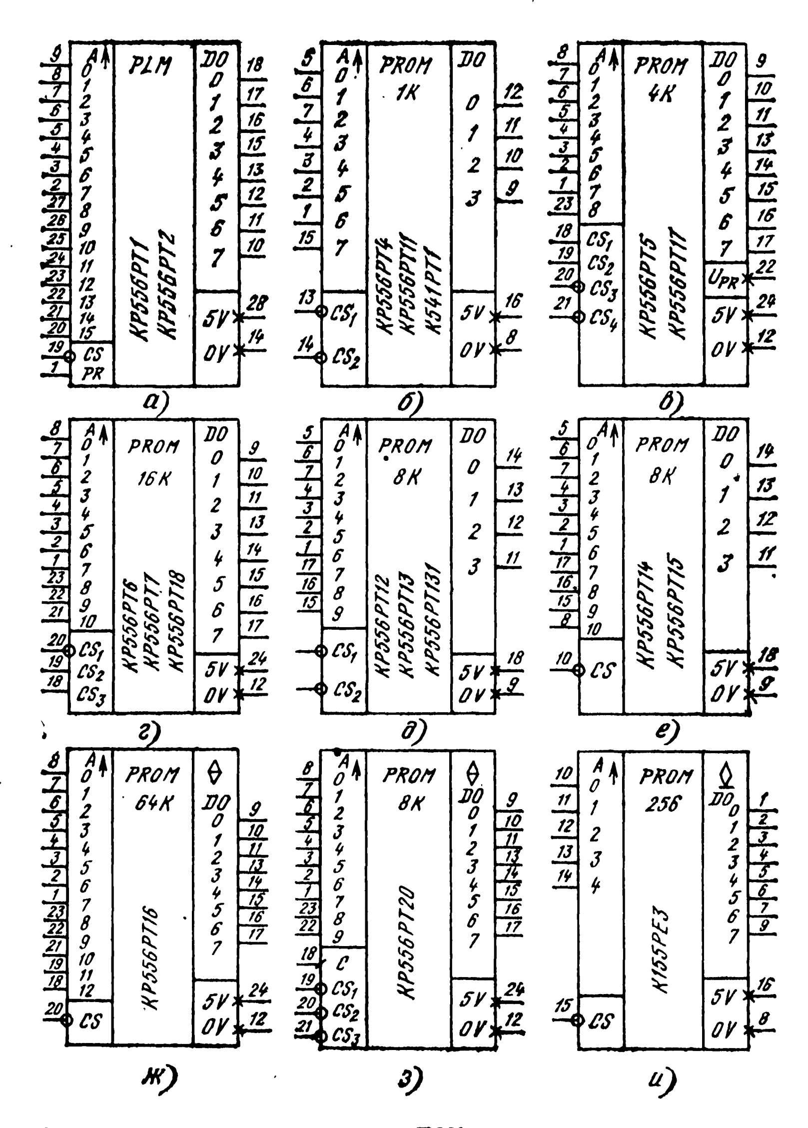


Рис. 3.3. Микросхемы программируемых ПЗУ

серии КР556 (рис. 3.3). Функциональный состав серии включает микросхемы емкостью 1К ... 64К бит со словарной четырех- или восьмиразрядной организацией, временем выборки 30 ... 85 нс и уровнем потребляемой мощности 0,5 ... 1 Вт. Типичные значения входных и выходных токов при сигналах с уровнем лог. 0 равны 0,25 и 15 мА соответственно. Допустимое напряжение статического электричества не превышает 30 В, что обусловливает необходимость принятия мер защиты при работе с микросхемами.

Небольшая часть микросхем выполнена по другим технологиям: ИИЛ (К541), *n*МДП (К565), ЭСЛ (К500, К1500), КМДП (К1623). Микросхемы серии К1623 отличаются самым низким уровнем энергопотребления, но по быстродействию они существенно уступают микросхемам серии К556.

Для микросхем ППЗУ всех серий, кроме К500, К1500, К565, характерны такие свойства, как единое напряжение питания 5 В и единые ТТЛ-уровни сигналов в состояниях лог. 0 (0,5 В) и лог. 1 (2,4 В) и, следовательно, полная совместимость микросхем, наличие однотипных выходов: либо с тремя состояниями (ТТЛ—3), либо с открытым коллектором (ТТЛ—ОК). Микросхемы с выходами ТТЛ—ОК требуют подключения к ним внешних резисторов и источника напряжения питания для формирования выходного сигнала.

В исходном состоянии перед программированием накопитель содержит однородный массив легкоплавких проводящих перемычек, соединяющих эмиттеры (истоки) транзисторов с шинами столбцов. Перемычки устанавливают в виде нихромовых и титан-вольфрамовых пленок у микросхем серии КР556, пленок из поликристаллического кремния (серия К541), из силицида платины (серия К1608) и других материалов. Наличие перемычки соответствует единице, если выходы микросхемы прямые, или нулю, если выходы инверсные. Следовательно, микросхема в исходном состоянии, как ее выпускает завод-изготовитель, может иметь заполнение матрицы либо 1, либо 0. В табл. 3.6 информация о начальном заполнении накопителя микросхемы помещена в колонку «Исходное состояние».

В процессе программирования пережигание перемычек производят в тех точках накопителя, в которых необходимо изменить логическое состояние, например, программирование микросхемы с заполнением нулями состоит в пережигании перемычек в точках, куда следует записать единицу.

В процессе программирования не все микросхемы могут быть приведены в рабочее состояние, так как в части из них не удается пережечь перемычки. Для количественной оценки числа таких микросхем введен специальный показатель — коэффициент программируемости, определяемый отношением числа правильно запрограммированных микросхем к общему числу микросхем, подвергшихся программированию. Значения этого коэффициента для микросхем серии КР556 лежат в пределах 0,5 ... 0,75 прн объеме партии до 100 шт., 0,65 ... 0,85 при объеме партии до 1000 шт., 0,7 ... 0,95 при объеме партии более 1000 шт. Предприятие-изготовитель может поставлять микросхемы ППЗУ, имеющие начальную информацию в некотором числе ячеек накопителя. Эти ячейки указываются в сопроводительном документе. При записи (программировании) информации в ППЗУ необходимо учитывать наличие ячеек с измененным состоянием и выбирать такую программу, в которой записываемая в эти ячейки информация совпадает с начальной.

Управление микросхемами ППЗУ осуществляют сигналами выбора, которых может быть несколько, считывания и разрешения выхода. Для доступа к накопителю необходимо на входы выбора подать сигнал (сигналы, если таких входов несколько) с активным состоянием. Например, для доступа к микросхемам КР556РТ5 и КР556РТ17 (см. рис. 3.3, *в*) сигналы выбора должны иметь следующие состояния: $CS_1=1$, $CS_2=1$, $\overline{CS_3}=0$, $\overline{CS_4}=0$. Нарушение этого усло-

вия хотя бы для одного входа исключает доступ к накопителю для считывания информации. В этом случае микросхема будет находиться в состоянии хранения, в котором выходы принимают Z-состояние или устанавливаются в состояние лог. 1 (для выходов с открытым коллектором).

Обычно входы для сигналов выбора используют в качестве дополнительных адресных входов при управлении ими в составе модуля ПЗУ.

Считывание информации может осуществляться в асинхронном или тактируемом режиме. Те микросхемы, которые содержат в своей структуре тактируемые функциональные узлы, например КР556РТ20 (рис. 3.3, *з*) К1608РТ2, требуют подачи в каждом цикле тактового сигнала С. Такие микросхемы могут работать, очевидно, только в тактируемом режиме доступа. Однако большинство микросхем допускают применение обоих режимов. При считывании адресом быстродействие микросхемы оценивается временем выборки адреса, значение которого для микросхем ППЗУ приведено в табл. 3.6. При считывании сигналом выбора быстродействие оценивают временем цикла, равным сумме длительности импульса сигнала выбора и интервала времени между соседними сигналами выбора: $t_{CY} = t_{W(CS)} + t_{REC(CS)}$. Время выборки в этом режиме считывания определяется выражением $t_{A(A)} = t_{SU(A-CS)} + t_{CS}$. Очевидно, данное значение времени выборки адреса будет больше, чем при считывании в асинхронном режиме.

Разновидностью ППЗУ являются программируемые логические матрицы (ПЛМ). Микросхемы ПЛМ КР556РТ1 и КР556РТ2 имеют идентичные характеристики и конструктивные параметры, но отличаются типом выхода: у микросхемы РТ1 выход с ОК, а у РТ2 — с тремя состояниями. Обе микросхемы предназначены для реализации комбинационных устройств, выполняющих логические операции над входными переменными и их инверсиями при соблюдении присущих микросхемам ограничений на число переменных, число конъюнкций и дизъюнкций. Данные микросхемы ПЛМ рассчитаны на образование восьми функций от 16 входных переменных $A_0 \dots A_{15}$, инверсии от которых формируются внутри микросхемы. Устройство микросхем ПЛМ рассмотрено в § 1.2.

Функциональные возможности микросхем ПЛМ можно оценить следующими данными: каждая из восьми выходных функций представляет собой логическую сумму произведений число которых может быть до 48, в каждое произведение (конъюнкцию) может входить до 16 переменных и их инверсий. Таким образом, нетрудно подсчитать общее число точек коммутации, которые содержат матрицы И и ИЛИ: это число равно 1920, из них 1536 в матрице И и 384 в матрице ИЛИ.

Микросхемы ПЛМ характеризуются следующими статическими параметрами: напряжение питания 5 В±5%, уровни входных и выходных сигналов не более 0,5 В для состояния лог. 0 и не менее 2,4 В для состояния лог. 1, входной и выходной токи низкого уровня соответственно 0,25 и 9,6 мА, предельная емкость нагрузки 100 пФ, допустимое значение напряжения статического электричества не более 30 В.

Программирование микросхем ПЛМ заключается в пережигании перемычек в тех связях, которые необходимо исключить. Для выполнения этой операции служат встроенные в микросхему узлы программирующей части, управ-

ляемые сигналом PR. В режимах хранения и считывания сигнал на этом входе должен иметь состояние лог. 0. Программирование осуществляют в три этапа: вначале программируют матрицу И, затем матрицу ИЛИ и выходные усилители. Методика программирования изложена в § 3.4.

Для управления доступом к микросхеме используется сигнал выбора $\overline{CS}$, наличие которого позволяет наращивать число входных переменных и выходных функций объединением нескольких микросхем.

Микросхемы ПЛМ целесообразно использовать для реализации логических функций, преобразователей кодов, формирователей управляющих сигналов и т. д. Особенно эффективны микросхемы ПЛМ в тех случаях, когда необходимо получить небольшое количество функций от многих переменных [37].

Серия КР1556 состоит из ТТЛШ-микросхем ПЛМ комбинационного (КР1556ХЛ8), последовательного (КР1556ХП8) и комбинационно-последовательностного типов (КР1556ХП4, КР1556ХП6). Особенности микросхем серии состоят в том, что, во-первых, в отличие от КР556РТ1 и РТ2 микросхемы серии КР1556 имеют только одну ступень программирования — матрицу И, а матрица ИЛИ реализована в виде набора логических элементов ИЛИ с постоянной схемой соединений; во-вторых, часть выходов обладает свойством двунаправленности и имеют соединение по цепям обратной связи со входами матрицы И, что позволяет получать конъюнкции не только от входных, но и от выходных переменных; в-третьих, указанные микросхемы, исключая КР1556ХЛ8, в своей структуре имеют встроенные в выходные цепи D-триггеры, что позволяет на основе этих микросхем синтезировать последовательностные функциональные цифровые узлы.

Микросхема КР1556ХЛ8 (рис. 3.4, *а*) имеет структуру ПЛМ комбинационного типа, состоящую из матрицы И (64 строки, 32 столбца), матрицы ИЛИ (8 логических элементов ИЛИ с семью входами каждый) и восьми выходных усилителей с тремя состояниями. Шесть выходов B_2 ... B_7 по цепям обратной связи соединены с матрицей И так, что сигналы с этих выходов поступают на входы матрицы.

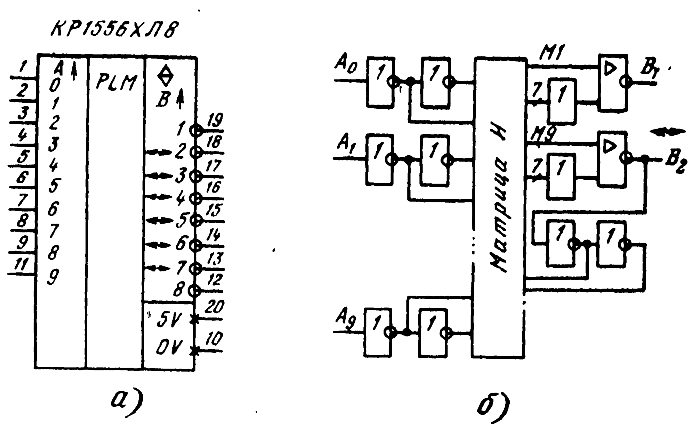


Рис. 3.4. Микросхема ПЛМ КР1556ХЛ8:
а — условное графическое обозначение; *б* — структурная схема

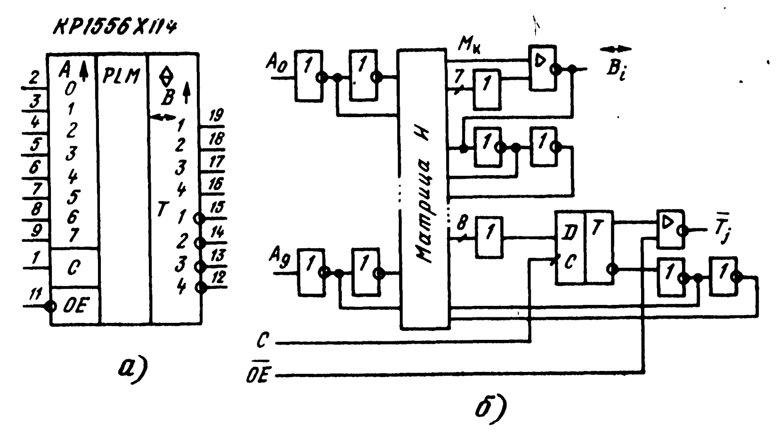


Рис. 3.5. Микросхема ПЛМ КР1556ХП4:
а — условное графическое обозначение; б — структурная схема

Микросхема реализует восемь выходных функций $B_1 \dots B_8$ от 16 переменных, в число которых входят десять входных переменных $A_0 \dots A_9$ и шесть выходных $B_2 \dots B_7$. Каждая выходная функция может включать до 56 конъюнкций. Конъюнкции формирует матрица И. Эта матрица содержит 64×32 плавких титан-вольфрамовых пленочных перемычек (точек коммутации), пережигаемых при программировании в тех точках, куда необходимо занести лог. 0. Наличие перемычки соответствует лог. 1.

Микросхема может работать в режимах хранения, считывания, программирования и контроля матрицы И. Режим хранения осуществляют подачей на адресные входы определенного кода, под который в матрице И запрограммированы соединения, обеспечивающие формирование на выходах матрицы $M_1, M_9, M_{17}, \dots, M_{57}$ (рис. 3.4, *б*) внутренних сигналов с состоянием лог. 0. Этими сигналами выходы микросхемы переводятся в Z-состояние. В режиме считывания указанные сигналы на выходах матрицы И должны иметь состояния лог. 1. Считываемые переменные имеют инверсную форму представления.

Микросхема КР1556ХП4 (рис. 3.5) реализует восемь функций от 16 переменных и их инверсий, среди которых восемь входных переменных $A_0 \dots A_7$ и восемь выходных $B_1 \dots B_4$, $T_1 \dots T_4$. Особенность структурного построения микросхемы состоит в наличии двух типов выходов — комбинационных $B_1 \dots B_4$ и триггерных $T_1 \dots T_4$. Выходные триггеры тактируются сигналами С. Выходы с триггерами являются однонаправленными и могут принимать три состояния. Для управления этими выходами служит сигнал $\overline{OE}$. При $\overline{OE}=1$ триггерные выходы принимают Z-состояние, при $\overline{OE}=0$ они находятся в функциональном режиме и обеспечивают передачу на выходы микросхемы считываемых сигналов в инверсной форме представления (рис. 3.5, *б*). С инверсных выходов триггеров сигналы по цепям обратной связи поступают на входы матрицы И.

Выходы $B_1 \dots B_4$ являются двунаправленными комбинационными и инверсными. В режиме хранения они принимают Z-состояние под воздействием внут-

ренних сигналов с матрицы И, формируемых ею при определенном адресном коде.

Микросхемы КР1556ХП6 и КР1556ХП8 различаются числом комбинационных и триггерных выходов: КР1556ХП6 имеет шесть триггерных и два комбинационных выхода, а КР1556ХП8 — восемь триггерных выходов.

Статические и динамические параметры микросхем серии КР1556 одинаковы: напряжение питания 5 В, ТТЛ-уровни входных и выходных сигналов, время задержки распространения сигнала через микросхему 40 нс, потребляемая мощность 0,9 Вт.

Микросхемы ППЗУ потребляют значительную мощность от источника питания. Поэтому целесообразно в практических разработках использовать их свойство работать в режиме импульсного питания. В этом режиме питание на микросхему подается только на время цикла считывания. При этом способе питания из-за инерционности процессов коммутации цепи питания время выборки адреса увеличивается в 2—3 раза. Однако при этом существенно снижается уровень энергопотребления. Следует учитывать также возможность помех на выходах микросхемы, что требует стробирования считываемых данных.

Вариант схемотехнической реализации способа импульсного питания микросхем ППЗУ рассмотрен в § 3.5.

3.3. Микросхемы репрограммируемых ПЗУ

Всю номенклатуру выпускаемых микросхем РПЗУ можно разделить на две группы: одну из них составляют микросхемы с записью и стиранием данных электрическими сигналами (ЭСППЗУ), другую группу — микросхемы с записью электрическими сигналами и стиранием ультрафиолетовым излучением (СППЗУ).

Микросхемы ЭСППЗУ выпускаются в составе серий КР558, КР1601, КМ1609, КР1611, К1624, К573РР2, микросхемы СППЗУ — в составе серий К573 и КС1626. Параметры микросхем РПЗУ указанных серий представлены в табл. 3.7, а их условные графические обозначения — на рис. 3.6 и 3.7.

Номенклатура микросхем РПЗУ много шире представленной в табл. 3.7 за счет наличия у многих микросхем модифицированных вариантов, отличающихся меньшей информационной емкостью. В условном обозначении микросхем-модификаций добавлен цифровой индекс. Например, модификации базовой микросхемы КР558РР2А обозначаются следующим образом: КР558РР21А, КР558РР22А, КР558РР23А, КР558РР24А. Аналогичные обозначения имеют модификации микросхемы КР558РР2Б.

Микросхемы-модификации ЭСППЗУ представлены в табл. 3.8, а микросхемы-модификации СППЗУ — в табл. 3.9.

Появление модификаций микросхем обусловлено стремлением использовать кристаллы, у которых накопитель оказался годным частично. Отсюда и меньшая информационная емкость микросхем-модификаций по сравнению с их базовыми микросхемами. Параметры и конструктивное оформление микросхем-модификаций те же, что и у базовых микросхем. Их основное внешнее различие состоит в уменьшении разрядности данных (вместо восьми информационных выводов используются четыре) или разрядности адресного кода, причем на

Таблица 3.7. **Характеристики микросхем РПЗУ**

Микросхема	Емкость, бит	$t_{A(A)}$, мкс	$P_{cc}(P_{ccs})$, мВт	U_{cc}, В	U_{PR}, В	t_{ER}, с	Корпус
КР558РР1	256×8	5,0	307	5, —12	—30	0,005	405.24-7
КР558РР2*	2К×8	0,35	600	5	18	1	405.24-7
КМ558РР3	8К×8	0,4	440(110)	5	24	20	2121.28-6
КР558РР4	8К×8	0,4	440	5	24	20	2121.28-5
КР1601РР1	1К×4	1,8	740(420)	5, —12	—32	0,2	2120.24-3
КР1601РР3	2К×8	0,9	837	5, —12	—36	0,2	2121.28-5
КМ1609РР1	2К×8	0,35	525(190)	5	21	0,02	2120.24-1.02
КМ1609РР2*	8К×8	0,3	525(190)	5	21	0,02	2121.28-6.03
КМ1609РР3*	8К×8	0,25	525(190)	5	21	0,02	2121.28-6.03
КР1611РР1	8К×8	0,3	890	5	22	—	2121.28-5
К1624РР1	32К×8	0,4	420(105)	5	—	—	4119.28-6.01
К573РР2	2К×8	0,35	600(300)	5	22	0,05	2120.24-1.02
К573РФ1	1К×8	0,45	1155	5, ±12	26	30 мин	210Б.24-5
К573РФ2	2К×8	0,45	525(183)	5	25	30 мин	210Б.24-5
К573РФ3	4К×16	0,12	445(210)	5	18	30 мин	210Б.24-5
К573РФ4*	8К×8	0,3	367	5	21	30 мин	2121.28-6.04
К573РФ5	2К×8	0,45	525(130)	5	25	30 мин	210Б.24-5
К573Ф6*	8К×8	0,3	787(262)	5	21	30 мин	2121.28-6.04
К573РФ7*	32К×8	0,25	500(200)	5	12,5	30 мин	2121.28-6
К573РФ8*	32К×8	0,35	525(130)	5	25	30 мин	2121.28-8
КС1626РФ1*	8К×8	0,2	165(5,5)	5	12,5	20 мин	2121.28-13

* Микросхема выпускается двух типономиналов — А и Б, различающихся быстродействием. Значения параметров приведены для микросхем тигономмнала А.

Примечание. Тип элемента памяти: *p*МНОП у КР558РР1, КР1601; *n* МНОП у КР558РР2, РР3, РР4, К1611РР1; ЛИЗМОП — у остальных микросхем.

неиспользуемый адресный вывод должен быть постоянно подан либо высокий (лог. 1), либо низкий (лог. 0) уровень напряжения. Информацию об использовании адресных и информационных выводов микросхем-модификаций содержат табл. 3.8 и 3.9 в колонках «Используемые выводы: Адрес, Данные».

Микросхемы ЭСППЗУ и СППЗУ имеют ряд существенных отличий, основными из которых являются следующие:

а) микросхемы ЭСППЗУ допускают перепрограммирование без изъятия из контактного устройства, а микросхемы СППЗУ перепрограммируют в специальном устройстве — программаторе, причем предварительно они должны быть облучены УФ излучением для стирания информации;

б) микросхемы ЭСППЗУ имеют значительно меньшее время стирания (0,02 ... 20 с), чем микросхемы СППЗУ (20 ... 30 мин);

в) микросхемы ЭСППЗУ некоторых серий допускают избирательное стирание и коррекцию информации, микросхемы СППЗУ режима избирательного стирания не имеют;

г) микросхемы ЭСППЗУ значительно превосходят микросхемы СППЗУ по числу циклов перепрограммирования: у первых это число лежит в пределах 100 ... 10^4, а у вторых — 25 ... 100; такое различие обусловлено старением диэлектрика в микросхемах СППЗУ под воздействием УФ излучения и, как след-

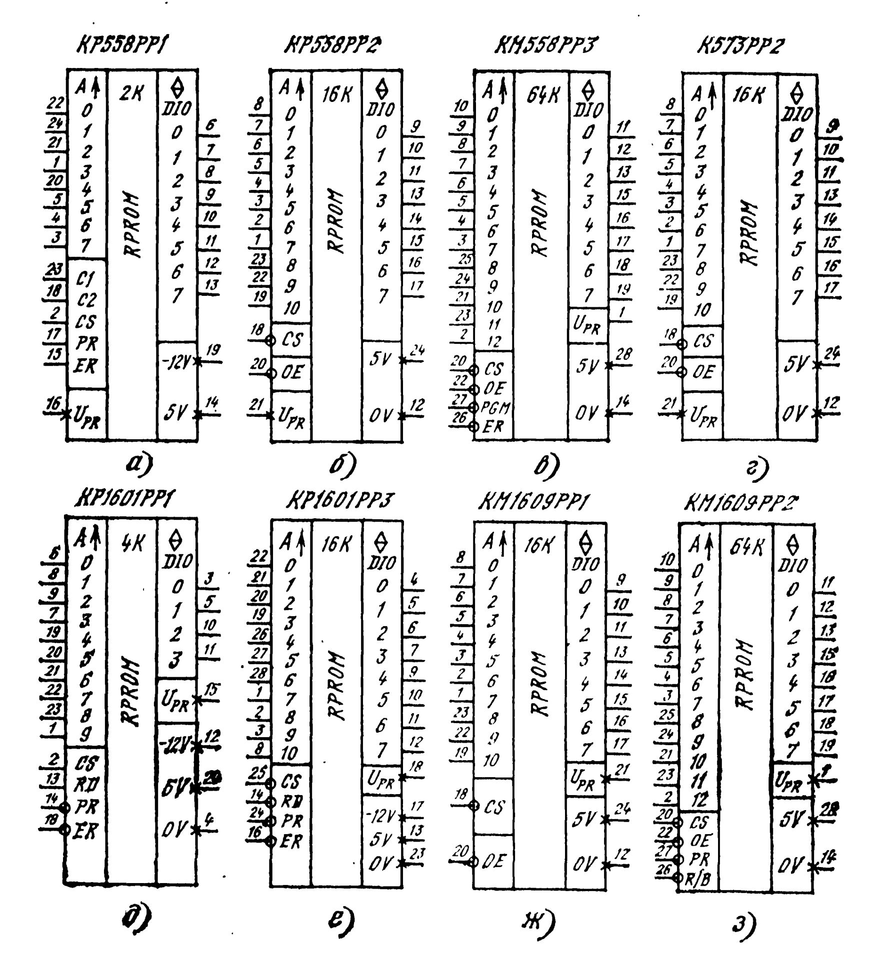


Рис. 3.6. Микросхемы репрограммируемых ПЗУ группы ЭСППЗУ

ствие, ухудшением его изоляционных свойств, что приводит к уменьшению времени сохранения заряда электронов на «плавающем» затворе;

д) микросхемы СППЗУ конструктивно оформлены в корпуса с кварцевым окном в крышке для пропускания УФ излучения к кристаллу; после программирования требуется защита от освещения, в противном случае возможно случайное стирание информации;

е) микросхемы СППЗУ изготавливают по более простой технологии, поэтому они дешевле микросхем ЭСППЗУ.

Перечисленные различия микросхем ЭСППЗУ и СППЗУ обусловлены в основном их устройством, типом элемента памяти и принципом функционирования. Подробно устройство микросхем РПЗУ рассмотрено в § 1.2.

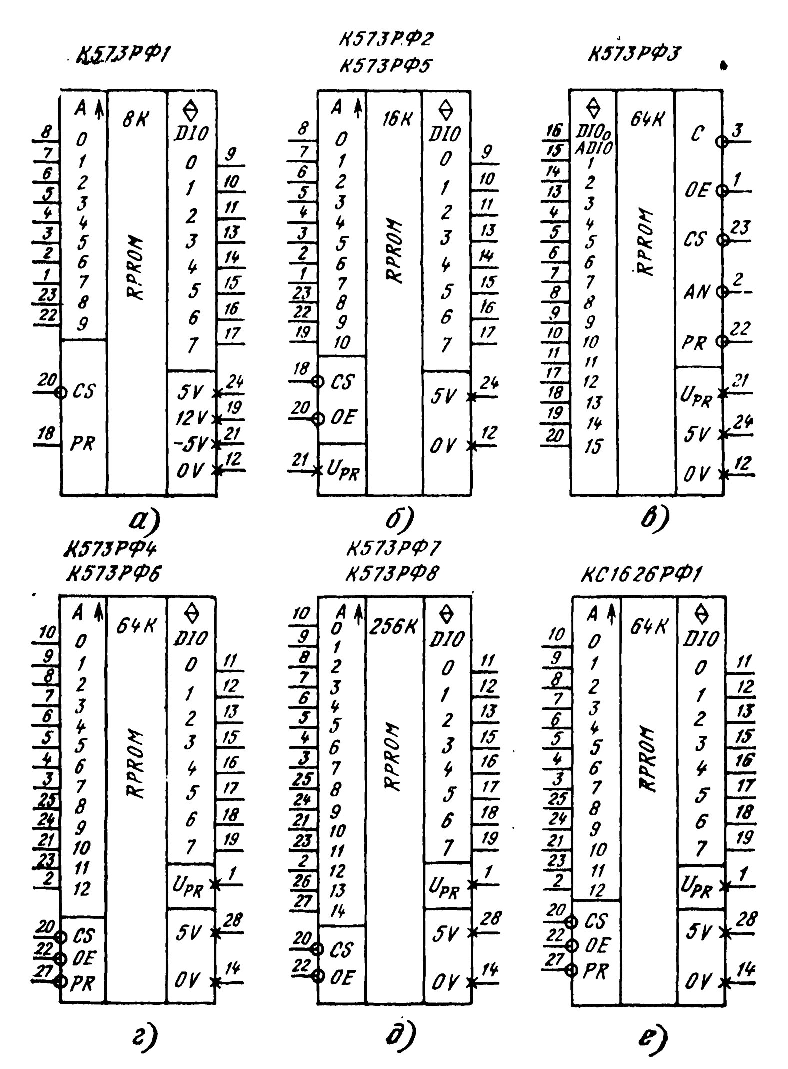


Рис. 3.7. Микросхемы репрограммируемых ПЗУ группы СППЗУ

Основными режимами работы микросхем РПЗУ являются: считывание, хранение, стирание, запись, контроль. Три последних режима входят в процедуру программирования микросхемы. В реализации этих режимов у микросхем различных типов имеются отличия. Например, у микросхем ЭСППЗУ стирание осуществляют электрическим сигналом, у микросхем СППЗУ — путем облучения кристалла ультрафиолетовыми лучами. Есть существенные различия в осуществлении режима программирования и у микросхем одного вида, например ЭСППЗУ: некоторые микросхемы допускают построчную корректировку

Таблица 3.8. **Микросхемы-модификации ЭСППЗУ**

Микросхема	Модификация		Используемые выводы	
	Тип	Емкость, бит	Адрес	Данные
КР558РР1	РР11	256×4	Все	7, 8, 9, 10
КР558РР2*	РР21	1К×8	Все, кроме $A_{10}=0$	Все
	РР22	1К×8	Бсе, кроме $A_{10}=1$	«
	РР23	2К×4	Все	11, 13, 14, 16
	РР24	2К×4	«	10-11, 13, 14, 16
КР1601РР1	РР11	512×4	Все, кроме $A_9=0$	Все
	РР12	512×4	Все, кроме $A_9=1$	«
КР1601РР3	РР31	1К×8	Все, кроме $A_{10}=0$	«
	РР32	1К×8	Все, кроме $A_{10}=1$	«
	РР33	2К×4	Все	4, 5, 6, 7
	РР34	2К×4	«	9, 10, 11, 12
	РР35	2К×4	«	4, 5, 9, 10
	РР36	2К×4	«	4, 5, 11, 12
	РР37	2К×4	«	6, 7, 9, 10
	РР38	2К×4	«	6, 7, 11, 12
КМ1609РР1	РР11	1К×8	Все, кроме $A_{10}=0$	Все
	РР12	1К×8	Все, кроме $A_{10}=1$	«
КМ1609РР2*	РР21	4К×8	Все, кроме $A_{12}=0$	«
	РР22	4К×8	Все, кроме $A_{12}=1$	«
К573РР2	РР21	1К×8	Все, кроме $A_{10}=0$	«
	РР22	1К×8	Все, кроме $A_{10}=1$	«

* Микросхема и ее модификации выпускаются двух типономиналов А и Б, различающихся быстродействием.

Примечание. Микросхемы-модификации имеют параметры базовых микросхем.

записанной информации вплоть до перезаписи информации в одной строке без изменения состояния остальных ячеек накопителя, у других микросхем для этого требуется стереть всю информацию, записанную в накопитель, и затем записать новую.

Микросхемы РПЗУ управляются сигналом CS — выбора микросхемы: при подаче этого сигнала с активным уровнем (для CS — с уровнем лог. 1, для $\overline{CS}$ — с уровнем лог. 0) открывается доступ к накопителю для записи или считывания информации; сигналом OE или RD — разрешения выхода (считывания); сигналом ER — разрешение стирания информации (у микросхем ЭСППЗУ) и сигналом PR — разрешение программирования. Для выполнения процедуры программирования микросхемы необходим источник постоянного или импульсного напряжения программирования U_{PR}. Для проверки программирования у некоторых микросхем, в частности у КР558РР3, предусмотрен сигнал PGM.

Вывод информации при считывании и ее ввод при программировании осуществляют через совмещенные входы-выходы. Выходы у микросхем РПЗУ могут принимать три состояния.

Статические параметры микросхем РПЗУ обоих типов имеют примерно одинаковые значения: входные и выходные напряжения лог. 0 и лог. 1 — соот-

Таблица 3.9. **Микросхемы-модификации СППЗУ**

Микросхема	Модификация		Используемые выводы	
	Тип	Емкость, бит	Адрес	Данные
К573РФ1	РФ11	512×8	Все, кроме $A_{10}=0$	Все
	РФ12	512×8	Все, кроме $A_{10}=1$	«
	РФ13	1К×4	Все	11, 13, 14, 16
	РФ14	1К×4	«	10, 11, 13, 16
К573РФ2	РФ21	1К×8	Все, кроме $A_{10}=0$	Все
	РФ22	1К×8	Все, кроме $A_{10}=1$	«
	РФ23	2К×4	Все	11, 13, 14, 16
	РФ24	2К×4	«	10, 11, 13, 16
К573РФ3	РФ31	2К×16	Все, кроме $A_{12}=1$	Все
	РФ32	2К×16	Все, кроме $A_{12}=0$	«
	РФ33	1К×16	Все, кроме $A_{12}=A_{11}=1$	«
	РФ34	1К×16	Все, кроме $A_{12}=A_{11}=0$	«
К573РФ4*	РФ41	4К×8	Все, кроме $A_{12}=0$	«
	РФ42	4К×8	Все, кроме $A_{12}=1$	«
	РФ43	8К×4	Все	13, 15, 16, 18
	РФ44	8К×8	«	12, 13, 15, 18
К573РФ8*	РФ81	16К×8	Все, кроме $A_{14}=0$	Все
	РФ82	16К×8	Все, кроме $A_{14}=1$	«
КС1626РФ1	РФ11	4К×8	Все, кроме $A_{12}=0$	«
	РФ12	4К×8	Все, кроме $A_{12}=1$	«

* Микросхема и ее модификации выпускаются двух типономиналов А и Б, различающихся быстродействием.

Примечание. Микросхемы-модификации имеют параметры базовых микросхем.

Таблица 3.10. **Режимы работы микросхем серии КР558**

Микросхема	Сигнал	Стирание	Запись	Считывание	Хранение
КР558РР2	$\overline{CS}$	1	1	0	1
2К×8	$\overline{OE}$	0	1	0	X
МНОП	U_{PR}, В	18*	18*	5	5
10^4 циклов	t_W, мс	10^3	10	350** нс	—
КР558РР3	$\overline{CS}$	0*	0*	0*	1
8К×8	$\overline{OE}$	1	0*	0	X
МНОП	$\overline{ER}$	0	1	1	X
	PGM	5В	5В	5В	5В
100 циклов	U_{PR}, В	18	24	0	X
	t_W, мс	$2\cdot10^4$	5	430** нс	—

* Сигнал с указанным уровнем действует в течение времени t_W.

** Время выборки адреса $t_{A(A)}$.

ветственно 0,4 и 2,4 В, выходные токи лог. 0 1,6 ... 3,2 мА, лог. 1 — 0,1 мА, допустимое напряжение статического электричества 30 В (у некоторых микросхем до 100 В).

Серия КР558 включает ЭСППЗУ — микросхемы КР558РР1, КР558РР2А, КР558РР2Б, КР558РР3, КР558РР4 и их модификации. Назначение выводов микросхем указано на рис. 3.6, *а—в*.

Микросхемы могут работать в режиме считывания, хранения, общего стирания и записи. Условия реализации указанных режимов для микросхем КР558РР2 и КР558РР3 приведены в табл. 3.10.

Микросхема КР558РР2 (рис. 3.6, *б*) при считывании информации работает в асинхронном режиме доступа к накопителю: сигналы $\overline{CS}$ и $\overline{OE}$ допускается подавать постоянным уровнем. Следовательно, считывание осуществляется адресными сигналами и быстродействие микросхемы определяет время выборки адреса.

Режим хранения обеспечивается сигналом $\overline{CS}=1$. Выходы принимают Z-состояние. На вход U_{PR} в рассмотренных двух режимах необходимо подать напряжение источника питания 5 В.

Режим программирования осуществляют в два этапа: вначале производят стирание информации во всех ячейках памяти одновременно (режим общего стирания), затем записывают информацию байтами, перебирая адреса ячеек памяти.

В режиме программирования на вход U_{PR} подают импульс напряжения программирования длительностью 1 с при стирании и 10 мс при записи информации. Рекомендуется не превышать указанные временные интервалы, чтобы исключить перегрев микросхемы. При стирании сигналы на адресных и информационных выводах могут иметь произвольные состояния. После воздействия импульса U_{PR} в ячейки накопителя запишутся единицы.

В режиме записи на информационные выводы подается записываемый восьмиразрядный код данных, а на адресные входы — код адреса ячейки памяти. Изменяются состояния тех ячеек, в которые записывается 0. После записи возможна частичная коррекция записанной информации, но при условии, что изменению подлежит состояние ячейки, в которую записана 1. Состояние ячейки с записанным в нее нулем избирательно изменить нельзя. В случае необходимости точной коррекции, при которой некоторые разряды нужно перевести из 0 в 1, производят общее стирание всей информации в накопителе и затем запись новой информации во все ячейки памяти.

После программирования микросхемы должно быть проведено однократное считывание информации из всех ячеек накопителя без использования считанной информации. Вместо считывания можно использовать выдержку микросхемы в течение одной минуты при отключенном питании и объединении всех выводов с общей шиной.

Длительность интервала времени между режимами записи и считывания, стирания и считывания, стирания и записи для установления состояния внутренних функциональных узлов должно быть не менее 5 мс.

Микросхема КР558РР3 (рис. 3.6, *в*) относится к группе синхронных: считывание осуществляется импульсом сигнала $\overline{CS}$, который перепадом H/L «защел-

кивает» во внутреннем регистре адресный код, что позволяет освободить адресные выводы для сигналов следующего цикла обращения. Условием надежной фиксации адресных сигналов в регистре является удержание адреса относительно сигнала $\overline{CS}$ на время $t_{H(CS-A)}=120$ нс.

Время выборки адреса определяется суммой времени установления сигнала $\overline{CS}$ относительно адресных сигналов и времени выбора: $t_{A(A)} = t_{SU(A-CS)} + t_{CS} < 430$ нс. Время цикла считывания равно $t_{CYR} = t_{W(CS)} + t_{REC(CS)} > 500$ нс. Указанные соотношения справедливы при условии наличия сигнала разрешения выхода $\overline{OE}=0$. При $\overline{OE}=1$ выходы принимают Z-состояние.

В режим хранения микросхема переходит при сигнале $\overline{CS}=1$. Выходы принимают Z-состояние независимо от состояния сигнала $\overline{OE}$. В этом режиме потребляемая мощность уменьшается в 3—4 раза.

Программированию микросхемы предшествует режим стирания ранее записанной в накопитель информации. Стирание осуществляется при сигнале $\overline{ER}=0$ в два этапа: вначале на накопитель воздействуют напряжением $U_{PR}=24$ В в течение 5 мс, затем к выводу U_{PR} подводят напряжение 18 В на время 20 с. Время стирания составляет 20 с. Сигнал $\overline{CS}=0$ в режиме стирания имеет форму двух последовательных импульсов, первый поступает при напряжении программирования 24 В, второй — при 18 В. После стирания во всех ячейках накопителя устанавливается низкий уровень, т. е. состояние лог. 0.

В режиме записи на вход U_{PR} подают напряжение 24 В. Выбор ячейки памяти осуществляют адресным кодом, который «защелкивается» по перепаду H/L сигнала $\overline{CS}$ в регистре адреса. Записываемые данные поступают на информационные выводы и перепадом H/L сигнала $\overline{OE}$ «защелкиваются» в регистре данных. Время удержания данных относительно сигнала $\overline{OE}$ составляет $t_{H(OE-D)} > 200$ нс.

В этой микросхеме изменяет свое состояние ячейка, в которую записывается 1. Возможна коррекция записанного кода данных в тех ячейках, где необходимо 0 заменить на 1. Обратная замена возможна только при повторе всей процедуры программирования микросхемы. Длительность цикла записи равна 5 мс. Следовательно, для записи информации во все ячейки накопителя требуется 41 с, а для программирования микросхемы с учетом времени стирания необходима одна минута.

Число циклов перепрограммирования у микросхемы КР558РР3 значительно меньше (до 100 циклов), чем у двух других микросхем этой серии (до 10 тыс. циклов).

Микросхема КР558РР1 (рис. 3.6, *а*) и ее модификации имеют ряд особенностей: требуют двух напряжений питания 5 и —12 В, их корпус находится под напряжением и не должен соприкасаться с цепями питания, считываемая информация инверсна по отношению к записанной, информационные выводы следует подключать к источнику напряжения — 12 В через резисторы сопротивлением 6,8 кОм. Микросхема работает в режимах общего стирания, записи, считывания и хранения. Для работы с ТТЛ-микросхемами необходимы схемы сопряжения.

Таблица 3.11. **Режимы работы микросхем серии КР1601**

Микросхема	Сигнал	Стирание общее	Стирание по адресу	Запись	Считывание	Хранение
КР1601РР1	CS	1*	1	1	1	0
1K×4	RD	0	0	0	1*	X
МНОП	$\overline{PR}$	1	0*	0*	1	X
10^4 циклов	$\overline{ER}$	0*	0*	1	1	X
	U_{PR}, В	—32	—32	—32	5	X
	DIO	X	1	1	0	Z
	t_W, мс	200	200	50	1,8** мкс	—
КР1601РР3	$\overline{CS}$	0*	0	0	0	1
2K×8	$\overline{RD}$	1	1	1	0*	X
МНОП	$\overline{PR}$	1	0*	0*	1	X
10^4 циклов	$\overline{ER}$	0*	0*	1	1	X
	U_{PR}, В	—36	—36	—36	—12	X
	DIO	X	1	1	0	Z
	t_W, мс	200	200	20	0,9** мкс	—

* Сигнал с указанным уровнем действует в течение времени t_W.
** Время выборки адреса $t_{A(A)}$.

Серия КР1601 состоит из двух микросхем ЭСППЗУ КР1601РР1, КР1601РР3 и их модификаций (табл. 3.8). Параметры микросхем серии приведены в табл. 3.7. Назначение выводов микросхем указано на рис. 3.6, *д*, *е*. Микросхемы допускают избирательное построчное стирание, т. е. стирание по адресу строки, и полную корректировку записанной в ячейки памяти этой строки информации, т. е. замену 0 на 1 и наоборот без изменения состояния ячеек памяти других строк накопителя.

Микросхемы могут работать в пяти режимах: общего стирания, избирательного (построчного) стирания, записи, считывания, хранения. Условия реализации режимов приведены в табл. 3.11.

В режиме считывания сигнал RD=1 (РР1), $\overline{RD}$=0 (РР3) подается импульсом. Информация на выходах появится через время $t_{A(A)}=t_{SU(A-RD)}+t_{A(RD)}$.

Общее стирание информации одновременно во всем массиве ячеек накопителя осуществляют напряжением U_{PR} при импульсном воздействии сигналов $\overline{ER}$=0 и CS=1 (РР1), $\overline{CS}$=0 (РР3). Сигналы $\overline{ER}$ и CS ($\overline{CS}$) подают одновременно и на одинаковое время. Для микросхемы К1601РР3 допускается подавать сигнал $\overline{ER}$=0 последовательностью импульсов длительностью не менее 10 мс из такого их числа, чтобы суммарное время составило 100 ... 200 мс. После стирания все элементы памяти накопителя находятся в состоянии лог. 1.

Избирательное стирание осуществляют по адресу строки $A_4 ... A_9$ (РР1), $A_4 ... A_{10}$ (РР3), при этом состояния остальных разрядов адресного кода могут быть произвольными.

На информационные входы подают сигналы с высоким уровнем, т. е. лог. 1. Сигнал CS подается одновременно с адресными и имеет такую же длительность. В этом режиме стирается 16 информационных слов — четырехразрядных (PP1) и восьмиразрядных (PP3).

В режиме записи на информационные входы подают записываемые данные $DI_0 ... DI_3$ (PP1), $DI_0 ... DI_7$ (PP3), а на адресные входы — код адреса ячейки памяти, в которую записываются данные. Запись информации происходит по импульсному сигналу программирования $\overline{PR}=0$ длительностью 50 мс (PP1) и 20 мс (PP3). Следовательно, для записи информации в накопитель в автоматическом режиме потребуется 51 с (PP1) и 41 с (PP3). Микросхемы допускают режим импульсного питания —12 В.

При эксплуатации микросхем необходимо предусмотреть следующую последовательность включений и выключений напряжений питания и программирования: при включении вначале подают 5 В, затем —12 В и последним — напряжение программирования, при выключении последовательность меняется на обратную. Можно все три напряжения включать (выключать) одновременно.

Время хранения информации при отключенном питании составляет 5000 ч, под напряжением снижается до 500 ч, при непрерывном считывании — до 250 ч, после чего необходимо производить перезапись информации. Микросхемы серии КР1601 допускают до 10 тыс. циклов перепрограммирования.

Серия КМ1609 включает ЭСППЗУ — микросхемы КМ1609РР1, КМ1609РР2; КМ1609РР3 и их модификации.

Микросхема КМ1609РР1 (рис. 3.6, *ж*) может работать в следующих режимах: общее стирание, стирание по адресу ячейки памяти, общая запись, запись по адресу ячейки памяти, считывание, хранение. Условия реализации указанных режимов приведены в табл. 3.12.

Таблица 3.12. **Режимы работы микросхем серии КМ1609**

Микросхема	Сигнал	Стирание		Запись		Считывание	Хранение
		общее	по адресу	общая	по адресу		
КМ1609РР1	$\overline{CS}$	0	0	12 В	0	0	1
2К×8	$\overline{OE}$	12 В	1	1	1	0	X
ЛИЗМОП	U_{PR}, В	21*	21*	21*	21*	5	5
10^4 циклов	DIO	1	1	0	DI	DO	Z
	t_W, мс	12	12	12	12	0,3** мкс	—
КМ1609РР2	$\overline{CS}$	0	—	—	0	0	1
8К×8	$\overline{OE}$	12 В	—	—	1	0	X
ЛИЗМОП	$\overline{PR}$	0*	—	—	0*	1	X
10^4 циклов	$R/\overline{B}$	0	—	—	0	1	1
	U_{PR}, В	21	—	—	21	21	21
	DIO	1	—	—	DI	DO	Z
	t_W, мс	20	—	—	20	0,3** мкс	—

* Сигнал с указанным уровнем действует в течение времени t_W.

** Время выборки адреса $t_{A(A)}$.

В режиме программирования, т. е. при стирании и записи, $U_{PR}=21$ В подается импульсом длительностью 12 мс. При считывании и хранении на вывод U_{PR} подают напряжение питания 5 В.

Режим хранения, а также запрет программирования осуществляются при условии $\overline{CS}=1$. В этих режимах выходы принимают Z-состояние.

Режим стирания может быть осуществлен по вариантам общего и избирательного стирания. При общем стирании воздействию подвергаются одновременно все ячейки памяти накопителя и через 12 мс в них устанавливается состояние лог. 1. В режиме избирательного стирания подают адресные сигналы выборки ячейки памяти, так что стереть можно одно слово, т. е. байт информации.

Режим записи можно осуществить по аналогичным вариантам. При общей записи все ячейки памяти переводятся в состояние лог. 0. В режиме избирательной записи данные заносят в выбранную ячейку накопителя. Время записи равно 12 мс. В каждом цикле записи можно осуществить контроль, перейдя к режиму считывания.

Режиму записи предшествует режим стирания. Импульс напряжения программирования U_{PR} должен иметь постепенно нарастающую форму с длительностью фронта 0,450 ... 1 мс.

Микросхема может сохранять записанную информацию под напряжением питания в течение не менее 5000 ч, а при отключенном питании — не менее 5 лет.

Микросхема КМ1609РР2 (рис. 3.6, *з*) существенно отличается от рассмотренной по структуре, сигналам управления, режимам работы. В структуру микросхемы встроены регистры адреса и данных, управляемые перепадами сигнала программирования $\overline{PR}$. Кроме того, сама микросхема формирует временну́ю диаграмму сигналов программирования. Поэтому напряжение программирования $U_{PR}=21$ В постоянно приложено к микросхеме как напряжение второго источника питания: $U_{cc1}=5$ В, $U_{cc2}=21$ В.

Система управляющих сигналов дополнена сигналом программирования $\overline{PR}$, а также предусмотрен выходной сигнал готовности программирования $\overline{R/B}$. Назначение сигнала $\overline{PR}$ состоит в обеспечении доступа к накопителю напряжения программирования в режимах стирания и записи при условии $\overline{PR}=0$.

Сигнал $R/\overline{B}$ необходим для извещения внешних устройств, например микропроцессора, о том, что в микросхеме проходит процесс стирания или записи $R/\overline{B}=0$ и, следовательно, должны быть блокированы все цепи воздействия на микросхему со стороны внешнего устройства.

Условием готовности микросхемы к следующему циклу программирования или к стиранию информации является наличие на выводе $R/\overline{B}$ сигнала с состоянием лог. 1.

Микросхема может работать в режимах общего стирания, записи по адресу, считывания и хранения. Условия реализации этих режимов приведены в табл. 3.12.

Режим хранения, а также запрет на программирование и общее стирание обеспечиваются сигналом $\overline{CS}=1$. В этом режиме выходы принимают Z-состоя-

ние независимо от состояний сигналов на входах микросхемы. Потребляемая мощность в режиме хранения уменьшается в 2—3 раза по сравнению с режимом обращения.

Считывание информации можно осуществить адресными сигналами (при $\overline{CS}=0$; $\overline{OE}=0$) за время выборки адреса $t_{A(A)}=0{,}3$ мкс. Возможно считывание сигналом $\overline{CS}$ (при наличии адресных сигналов и $\overline{OE}=0$) и сигналом $\overline{OE}$ (при наличии адресных сигналов и $\overline{CS}=0$). Время выборки адреса в этих режимах будет определяться следующими выражениями: $t_{A(A)}=t_{SU(A-CS)}+t_{CS}$; $t_{A(A)}=t_{SU(A-OE)}+t_{A(OE)}$. При условии $\overline{OE}=1$ выходы устанавливаются в Z-состояние независимо от состояний сигналов на входах микросхемы (режим отключения выходов). Заметим, что аналогично осуществляется режим считывания и для микросхемы КМ1609РР1.

В микросхеме КМ1609РР2 отсутствуют режимы избирательного стирания и общей записи. В режиме стирания к выводам микросхемы должны быть подведены сигналы, указанные в табл. 3.12, и подан импульс $\overline{PR}=0$ на время 20 мс. Начало стирания индицируется появлением на выходе $R/\overline{B}$ сигнала с состоянием лог. 0. По завершению стирания, когда все элементы памяти перейдут в состояние лог. 1, сигнал на выходе $R/\overline{B}$ возвратится в состояние лог. 1.

В режиме записи поданный адресный код «защелкивается» во внутреннем адресном регистре по перепаду H/L сигнала $\overline{PR}$, а код данных «защелкивается» в регистре данных перепадом L/H сигнала $\overline{PR}$. С поступлением сигнала $\overline{PR}=0$ начинается формирование временной диаграммы программирования внутри микросхемы. На выходе $R/\overline{B}$ появляется сигнал с уровнем лог. 0. Через время записи 20 мс сигнал $R/\overline{B}$ принимает уровень лог. 1, что свидетельствует о записи байта в выбранную ячейку накопителя.

После записи по каждому адресу либо после программирования всего накопителя производят контроль правильности записанной информации. Контроль осуществляют в режиме считывания.

Микросхема сохраняет записанную информацию под напряжением питания в течение 15 тыс. ч, а в выключенном состоянии — не менее 15 лет.

Микросхема К573РР2 (рис. 3.6, *г*) и ее модификации работают в режимах общего и избирательного стирания, общей и избирательной записи, считывания и хранения. Условия реализации указанных режимов приведены в табл. 3.13.

В режиме считывания сигналы $\overline{CS}$ и $\overline{OE}$ допускается подавать уровнем или импульсом. Быстродействие микросхемы можно оценить по времени выборки адреса $t_{A(A)}=0{,}35$ мкс при чтении адресными сигналами, когда сигналы $\overline{CS}=0$, $\overline{OE}=0$ поданы одновременно с адресными или предварительно.

В режиме программирования, т. е. при стирании и записи информации, напряжение программирования должно быть подано импульсом длительностью 50 мс и временем нарастания 0,45 ... 0,75 мс.

Режимы стирания и записи у данной микросхемы и у микросхемы КМ1609РР1 (табл. 3.12) осуществляют в аналогичных условиях и при одинаковом порядке воздействий сигналами. Процедура программирования микросхемы КМ1609РР1 была подробно описана при рассмотрении серии КМ1609.

Таблица 3.13. **Режимы работы ЭСППЗУ — микросхемы К573РР2**

Сигнал	Стирание		Запись		Считывание	Хранение
	общее	по адресу	общая	по адресу		
$\overline{CS}$	0	0	12 В	0	0	1
$\overline{OE}$	12 В	1	1	1	0	X
U_{PR}, В	22*	22*	22*	22*	5	5
DIO	1	1	X	DI	DO	Z
t_W, мс	50	50	50	50	0,35** мкс	—

* Сигнал в форме импульса длительностью t_W.

** Время выборки адреса $t_{A(A)}$.

Примечание. Число циклов перепрограммирования 10^4.

Микросхема К573РР2 способна сохранять записанную информацию под напряжением питания и при выключенном питании не менее 15 тыс. ч.

В группе микросхем СППЗУ преобладающее положение занимает серия К573, имеющая развитый функциональный состав (табл. 3.7), который расширен за счет модификаций базовых микросхем (табл. 3.9). Назначение выводов микросхем СППЗУ указано на рис. 3.7.

В устройстве и режимах работы микросхем СППЗУ много общего с микросхемами ЭСППЗУ. Исключением является режим стирания, для реализации которого необходим источник УФ излучения. Для стирания записанной информации микросхему извлекают из контактного устройства и помещают под источник УФ излучения. Извлечение и установка микросхемы в контактное устройство допускается только при отсутствии на выводах напряжений питания и входных сигналов. Стирание можно осуществить, не извлекая микросхему из контактного устройства, но тогда надо отключить напряжение питания и снять сигналы, а также предусмотреть возможность использования удобных переносных средств для УФ облучения микросхем. Типовые источники стирающего излучения — дуговые ртутные лампы и лампы с парами ртути в кварцевых баллонах: ДРТ-220, ДРТ-375, ДБ-8, ДБ-60 и др. Время стирания информации равно 20 ... 60 мин. Расстояние от корпуса до баллона лампы должно быть 3 см для ламп типа ДРТ и 0,5 см для ламп типа ДБ. Очевидно, необходимо обеспечить чистоту стекла в крышке корпуса, так как в противном случае стирание будет неполным.

После стирания производят проверку: все элементы памяти накопителя должны иметь состояние лог. 1. Данное требование относится ко всем микросхемам СППЗУ. Проверку осуществляют путем перебора всех адресов в режиме считывания.

Статические параметры микросхем СППЗУ имеют следующие значения:

входное напряжение лог. 0 и лог. 1 — соответственно 0,4 и 2,4 В (для К573РФ1 — 0,4 и 4 В);

выходное напряжение лог. 0 и лог. 1 — соответственно 0,4 ... 0,5 и 2,4 В;

выходной ток лог. 0 и лог. 1 — соответственно 1,6 ... 3,2 мА и 0,1 ... 0,4 мА.

По входным и выходным сигналам микросхемы серии К573 и КС1626 совместимы с ТТЛ-микросхемами (за исключением К573РФ1, которая совместима с выходами ТТЛ—ОК).

Микросхемы СППЗУ имеют выходы с тремя состояниями. Для них предельной является емкостная нагрузка 100 пФ.

Микросхемы СППЗУ могут работать в следующих режимах: записи (программирования), контроля записанной информации, считывания и хранения, Условия реализации названных режимов для микросхем серии К573 приведены в табл. 3.14.

Запись информации в накопитель, т. е. программирование микросхемы, можно произвести в автономном программаторе или без извлечения из контактного устройства на плате с помощью встроенного программирующего функционального узла. Во втором случае необходимо предусмотреть меры по защите непрограммируемых СППЗУ-микросхем, в частности, установив их в режим запрета программирования. При записи информации предварительно должны быть поданы адресные сигналы для выбора ячейки накопителя и сигналы данных. Напряжение программирования на микросхемы К573РФ2, К573РФ5,

Таблица 3.14. **Режимы работы СППЗУ — микросхем серии К573**

Микросхема	Сигнал	Запись	Контроль	Считывание	Хранение
К573РФ1 1К×8 100 циклов	$\overline{CS}$ PR DIO t_W	12 В 26 В* DI 1 мс×300	0* 0 DO <1 мкс	0 0 DO 0,45** мкс	1 X Z —
К573РФ2 100 циклов К573РФ5 25 циклов 2К×8	$\overline{CS}$ $\overline{OE}$ U_{PR}, В DIO t_W, мс	1* 1 25 DI 50	0 0* 25 DO <1 мкс	0 0 5 DO 0,45** мкс	1 X 5 Z —
К573РФ4 (К573РФ6) 8К×8 25 циклов	$\overline{CS}$ $\overline{OE}$ $\overline{PR}$ U_{PR}, В DIO t_W	0 1 0* 21 (19) DI 1 мс×45 (1мс×25)	0 0* 1 21 (19) DO <1 мкс	0 0 1 5 DO 0,3** мкс	1 X X 5 Z —
К573РФ8 32К×8 25 циклов	$\overline{CS}$ $\overline{OE}$ U_{PR}, В DIO t_W, мс	0* 1 18 DI 1 мс×50	0 0* 18 DO <1 мкс	0 0 5 DO 0,35** мкс	1 X 5 Z —

* Сигнал с указанным уровнем действует в течение времени t_W.
** Время выборки адреса $t_{A(A)}$.

К573РФ8 подают постоянным уровнем, на другие микросхемы это напряжение поступает в форме импульса. То же можно сказать и о сигналах CS и PR.

Для многих микросхем рекомендован адаптивный режим программирования, при котором по каждому адресу подается серия программирующих импульсов длительностью 1 мс. После каждого импульса производится контроль записанной информации. Если не все элементы памяти оказываются запрограммированными, то продолжают подавать импульсы до тех пор, пока во все элементы памяти не будет записана требуемая информация. Однако число импульсов программирования не должно превышать 300 для К573РФ1, 45 для К573РФ4 и РФ7, 25 для К573РФ6, 50 для К573РФ8. Алгоритм адаптивного программирования позволяет существенно сократить время программирования.

Контроль правильности записи информации осуществляют либо по циклу считывания, либо по циклу контроля, отличающегося тем, что напряжение программирования остается тем же, что и при записи.

После каждого контрольного считывания при положительном результате по этому же адресу рекомендуется подать программирующий импульс трехкратной длительности для закрепления записи.

Режим запрета программирования применяется для защиты микросхем в составе модуля ПЗУ, объединенных одноименными выводами. Если одна из таких микросхем установлена в режим записи, то у остальных должен быть обеспечен режим запрета программирования. Это достигается подачей сигнала $\overline{OE}=1$ и сигнала выбора, инверсного по отношению к его состоянию в режиме записи: $\overline{CS}=0$ для К573РФ2, РФ5, $\overline{CS}=1$ для К573РФ4, РФ6, РФ8.

Считывание информации из СППЗУ-микросхем производится в асинхронном режиме доступа к накопителю, при котором сигналы на входы CS и OE подаются уровнями. Быстродействие микросхемы определяется временем выборки адреса. Можно указанные сигналы управления подавать в форме импульса. В этом случае время выборки адреса будет зависеть от времени установления этих сигналов относительно адреса и времени их выборки:

$$t_{A(A)} = t_{SU(A-CS)} + t_{CS} \quad \text{при} \quad \overline{OE}=0,$$

$$t_{A(A)} = t_{SU(A-OE)} + t_{A(OE)} \quad \text{при} \quad \overline{CS}=0.$$

В режиме считывания на вход U_{PR} следует подать напряжение 5 В.

Среди микросхем серии К573 выделяется более сложной структурой и расширенными функциональными возможностями микросхема К573РФ3 емкостью 4К×16 бит (рис. 3.7, *в*). Ее особенность состоит в том, что она имеет встроенные средства сопряжения с магистралью по интерфейсу, определенному ГОСТ 26765.51—86. Кроме того, микросхема имеет встроенное программируемое трехразрядное устройство для записи собственного адреса (номера) микросхемы $A_{мс}$ и схему сравнения для опознавания своего адреса в потоке адресных кодов, поступающих из магистрали.

Микросхема имеет совмещенные адресные и информационные выводы, которыми ее подключают к общей шине «Адрес — Данные» магистрали. Код адреса состоит из двух частей: $A_{15} \dots A_{13}$ — код адреса микросхемы; $A_{12} \dots A_1$ —

код адреса выбираемой ячейки памяти; разряд A_0 в адресном коде может иметь произвольное значение.

Эти же выводы используются для ввода данных при программировании $DI_0 \dots DI_{15}$ и вывода считываемых данных $DO_0 \dots DO_{15}$. Коды адреса и данных разделены во времени.

Для управления работой микросхемы служат следующие сигналы: $\overline{C}$ — синхронизация, $\overline{CS}$ — выбор микросхемы, $\overline{PR}$ — программирование (запись); $\overline{OE}$ — разрешение выхода (считывание). Названные сигналы являются входными для микросхемы и выполняют следующие функции (в режиме считывания): по сигналу $\overline{C}$ (соответствует сигналу $\overline{SYN}$ линии управления) начинается обмен информацией ПЗУ с магистралью, сигнал $\overline{OE}$ (соответствует сигналу $\overline{RD}$) определяет момент передачи данных от ПЗУ в магистраль, сигнал $\overline{CS}$ открывает доступ к микросхеме.

В режиме считывания микросхема формирует сигнал ответа $\overline{AN}$, который сопровождает выдаваемые в магистраль данные. Состояния сигналов управления в различных режимах работы микросхемы приведены в табл. 3.15.

При реализации управления необходимо иметь в виду, что совмещенные адресные и информационные выводы ADIO работают в мультиплексном режиме: вначале на них поступают адресные сигналы, затем выводятся (при чтении) сигналы кода данных. Процесс адресного обращения происходит в следующем порядке. Вначале на входы микросхемы поступает код адреса $\overline{A}_1 \dots \overline{A}_{15}$ и сигнал $\overline{CS}=0$ (рис. 3.8). В микросхеме принятый с адресной шины код $\overline{A}_{13} \dots \overline{A}_{15}$ сравнивается с собственным адресом $A_{мс}$ и при совпадении с поступлением сигнала синхронизации $\overline{C}$ ($\overline{SYN}$) код адреса $\overline{A}_1 \dots \overline{A}_{15}$ записывается во внутренний регистр. Для надежной записи необходимо адресные сигналы сохранять относительно перепада H/L сигнала $\overline{C}$ на время $t_{H(C-A)}=50$ нс. После этого адресные сигналы снимаются и выводы переходят в Z-состояние в ожидании выдачи данных в магистраль. Считанные из накопителя данные размещаются во внутреннем регистре данных и появляются на выходах по сигналу $\overline{OE}=0$ через время $t_{A(OE)}$.

Таблица 3.15. **Режимы работы микросхемы К573РФ3**

Сигнал	Запись адреса $A_{мс}$	Запись данных	Считывание	Хранение
$\overline{C}$	0	0	0	1
$\overline{CS}$	0	1	0	1
$\overline{OE}$	1	1	0*	1
$\overline{PR}$	1	0	1	0
U_{PR}, В	18*	18*	5	5
$\overline{ADIO}$	$\overline{A}_{13} \dots \overline{A}_{15}$	$\overline{A}_1 \dots \overline{A}_{15}$ $\overline{DI}_0 \dots \overline{DI}_{15}$	$\overline{A}_1 \dots \overline{A}_{15}$ $\overline{DO}_0 \dots \overline{DO}_{15}$	X
$\overline{AN}$	1	1	0	1
t_W, мс	50	50	0,45 мкс	—

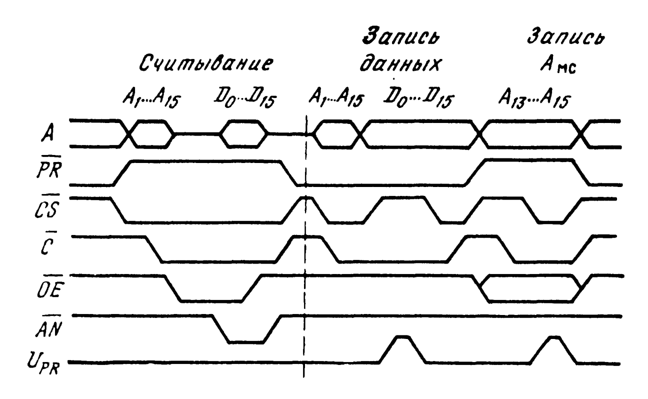


Рис. 3.8. Временные диаграммы сигналов микросхемы СППЗУ К573РФ3

В режиме записи данных при программировании (рис. 3.8) адресное обращение осуществляют аналогично режиму считывания. При поступлении записываемого кода данных сигнал $\overline{CS}$ принимает состояние лог. 1. Этот режим осуществляют при сигнале $\overline{PR}=0$.

Для записи кода $A_{мс}$ необходимо на выводы $ADIO_{13} ... ADIO_{15}$ подать сигналы кода $\overline{A}_{13} ... \overline{A}_{15}$, а также сигналы управления в соответствии с рис. 3.8.

Наличие программируемого адресного устройства и селектора адреса позволяет без дополнительного оборудования объединять до восьми микросхем путем их непосредственного подключения к магистрали. Микросхема совместима по разводке выводов и сигналам с микросхемами КР537РУ11, К1809РУ1, К1809РЕ1, К1801РЕ1, К1801РЕ2, КР588РЕ1, что делает возможным создание универсальных модулей ЗУ на основе стандартного параллельного магистрального интерфейса с объединенной шиной адреса и данных.

Микросхема КС1626РФ1 (рис. 3.7, *е*) и ее модификации КС1626РФ11 и КС1626РФ12 могут работать в режимах записи программирования, контроля, считывания, хранения. Условия реализации названных режимов приведены в табл. 3.16.

Таблица 3.16. **Режимы работы микросхемы КС1626РФ1**

Сигнал	Запись	Контроль	Считывание	Хранение
$\overline{CS}$	0	0	0	1
$\overline{OE}$	1	0*	0	X
$\overline{PR}$	0*	1	1	X
U_{PR}, В	12,5	12,5	5	5
DIO	DI	DO	DO	Z
t_W	1 мс×n	<1 мкс	0,2** мкс	—

* Сигнал с указанным состоянием действует в течение времени t_W.

** Время выборки адреса.

Примечание. n=3 ... 75 — число программирующих импульсов.

Запись производят подачей импульсов программирования длительностью 1 мс в количестве от 3 до 75. Напряжение программирования постоянно и равно 12,5 В. Однако можно его подавать импульсами, при этом должно быть выполнено условие: время установления сигнала $\overline{PR}$ относительно импульса U_{PR} и время сохранения U_{PR} после окончания сигнала $\overline{PR}$ должно быть не менее 2 мкс.

В режиме считывания сигналы $\overline{CS}$ и $\overline{OE}$ можно подавать уровнем и считывать адресными сигналами. Информация на выходах появится спустя время выборки адреса. При импульсной форме сигналов $\overline{CS}$ и $\overline{OE}$ необходимо знать время установления одного сигнала относительно другого и время выборки. В общем случае время выборки адреса равно $t_{A(A)} = t_{SU(A-CS)} + t_{SU(CS-OE)} + t_{A(OE)}$.

Микросхема КС1626РФ1 допускает до 100 циклов перепрограммирования.

Микросхемы СППЗУ серий К573 и КС1626 способны сохранять записанную информацию под напряжением питания в течение 15 ... 50 тыс. ч, при отключенном питании — 5 ... 15 лет.

Для исключения потери информации при ее длительном хранении окно корпуса микросхемы при эксплуатации должно быть защищено от воздействия ультрафиолетового и светового облучения, например, светонепроницаемой пленкой.

При разработке и реализации устройств памяти на микросхемах СППЗУ следует предусмотреть питание микросхем памяти и устройств управления от одних источников напряжения.

3.4. Программирование микросхем ПЗУ

Процедуру предварительной записи информации в микросхему ППЗУ перед установкой на печатную плату называют ее программированием. Эта операция является составной частью решения любой практической задачи по применению микросхем ППЗУ.

В исходном для программирования состоянии микросхема ППЗУ в своей матрице имеет все перемычки, что соответствует наличию во всех элементах памяти 0 или 1 в зависимости от характеристики усилителя считывания (см. § 3.2). Программирование микросхемы представляет собой процесс пережигания перемычек в тех ЭП, где требуется изменить информацию. Эту операцию выполняют с помощью устройства, называемого программатором, в ручном или автоматическом режиме.

Пережигание перемычек производят по одной последовательно во времени, чтобы не нарушать температурный режим микросхемы. Принцип программирования поясним с помощью рис. 3.9, на котором показаны элементы простейшего программатора: устройство для формирования кода адреса, устройство контроля, генератор одиночных импульсов, группа переключателей SA1—SA4 и контактов реле К1.1—К1.3, обеспечивающих коммутацию цепей при программировании микросхемы.

На этапе подготовки микросхему проверяют на наличие лог. 0 во всех ЭП, подавая на входы $A_0 \dots A_7$ все адресные наборы и контролируя состояние выходов устройством контроля. Надо иметь в виду, что предприятие-изготовитель

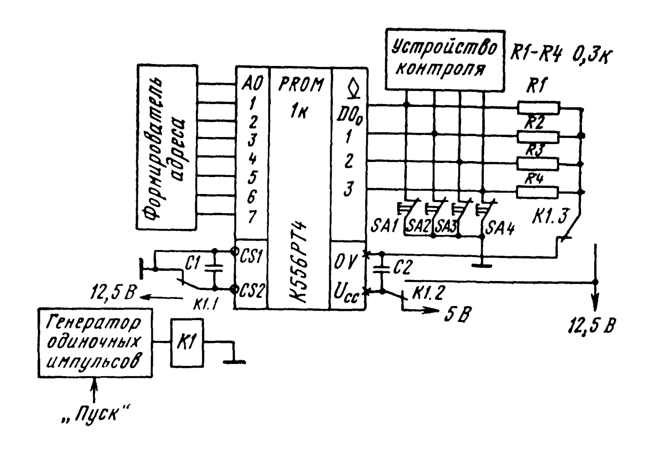


Рис. 3.9. Простейший программатор микросхем ППЗУ

оставляет за собой право поставлять микросхемы ППЗУ с начальной информацией в некотором количестве ячеек памяти, обычно не более четырех. Причиной такого явления могут быть испытания микросхем на программируемость при их выпуске. Применительно к микросхеме К556РТ4 это означает, что ряд ячеек памяти может содержать лог. 1. Ячейки с начальной информацией указывают в сопроводительном документе. При программировании надо либо исключать из обращения ячейки с начальной информацией, либо записывать в них информацию с учетом имеющихся в них лог. 1. По окончании контроля начального состояния микросхемы ключами SA1—SA4 закорачивают ее выходы с корпусом. Управляющие входы CS1 и CS2 также соединены с корпусом. Заметим, что при программировании микросхем с начальным заполнением лог. 1 выходы соединяют не с корпусом, а с источником напряжения 5 В. На этапе программирования кодом адреса выбирают ячейку памяти, в которую необходимо занести лог 1. Затем размыкают ключ того выхода, которому принадлежит программируемый ЭП, и запускают генератор одиночных импульсов. Реле К1, переключив свои контакты, коммутирует на выводы CS2, U_{cc} и выбранного выхода DO напряжение 12,5 В на короткое время. Время программирования в нашем примере определяет длительность удержания реле во включенном состоянии. Обычно для пережигания перемычки достаточно 100 ... 300 мс. С началом программирования в структуре микросхемы (рис. 1.13) открывается формирователь выбранного выхода, например F_2, и создается низкоомная цепь для тока от U_{cc}=12,5 В через открытый эмиттерный переход транзистора i строки и второго столбца через открытый ключ VT2 и выход F_2 на корпус. Протекающий через перемычку импульс тока значительной амплитуды пережигает ее. В это время формирователи других выходов закрыты, поскольку все ключи, кроме SA2, замкнуты. В следующий цикл программируют другой ЭП этой же ячейки памяти и так до тех пор, пока не будут занесены все 1 в данную ячейку. Затем изменением адреса выбирается соседняя ячейка и цикл повторяется.

После программирования следует проверить состояние всех ячеек памяти и при необходимости повторить программирование. Необходимость повторения
программирование только части выпускаемых микросхем. Эту часть оговари-
вполне вероятна, так как предприятие-изготовитель гарантирует надежное программирование только части выпускаемых микросхем. Эту часть оговаривают в ТУ коэффициентом программирования, значение которого для разных типов микросхем ППЗУ лежит в пределах 0,65 ... 0,9. Например, для рассматриваемой микросхемы КР556РТ4 коэффициент программирования равен 0,65. Это означает, что из 100 микросхем, подвергнутых программированию, только у 65 гарантированы правильная запись информации и соответствие их электрических параметров установленным нормам.

Более надежным является программирование путем подачи трех серий импульсов (на вход управления, на выход питания и на выбранный выход) длительностью 25 ... 50 мкс каждый со скважностью 10 и фронтом 0,3 ... 3 мкс. Такой режим программирования может быть реализован схемой программатора с автоматическим формированием программирующих импульсов.

При программировании микросхем ППЗУ надо учитывать возможность восстановления проводящей перемычки со временем из-за явления миграции электронов. Установлено, что если пережигание происходит при импульсе с крутым фронтом, то оно носит характер микровзрыва с интенсивной окислительной реакцией на краях разрыва. В таком случае возможность восстановления перемычки существенно уменьшается. Практически отсутствует эффект восстановления после пережигания перемычек из поликристаллического кремния (серия К541) и силицида платины (серия К1608).

Технология программирования микросхем ППЗУ предусматривает три режима: нормальный, форсированный и дополнительный. Более подробно вопрос программирования микросхем ППЗУ рассмотрен в [22]. Здесь лишь заметим, что указанные режимы отличаются длительностью программирующих импульсов и их количеством. Например, если в нормальном режиме для микросхем серии К556 общее время записи не должно превышать 400 мс, то в форсированном режиме это время увеличивают до 1,5 с. Если после указанных режимов программирования информацию записать не удается, то микросхему бракуют.

Для выявления слабых мест в запрограммированной микросхеме ее подвергают электротермотренировке в течение не менее 168 часов при температуре 125° С с последующим контролем правильности записанной информации и электрических параметров. В случае нарушения записанной информации повторяют цикл программирования и электротермотренировку. При повторном нарушении информации микросхему бракуют. При программировании микросхем с перемычками из поликристаллического кремния (серия К541) и из силицида платины (серия К1608) электротермотренировку можно не проводить.

Варианты программаторов, рассчитанных на ручной режим программирования и удобных для практической работы в любительских условиях, приведены на рис. 3.10 и 3.11. Функциональная схема программатора (рис. 3.10) состоит из генератора одиночных импульсов длительностью 50 ... 100 мс, построенного на элементах DD2.1—DD2.4 и управляемого кнопкой S6, формирователя кода адреса на переключателях S1—S5, электронного ключа VT1—VT4 с временем коммутации менее 1 мкс для подачи на выбранный переключате-

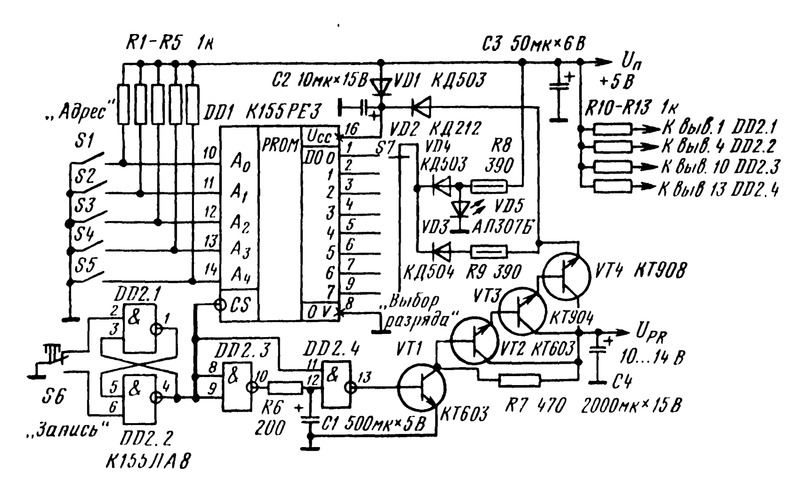


Рис. 3.10. Принципиальная схема программатора микросхем ППЗУ (вариант 1)

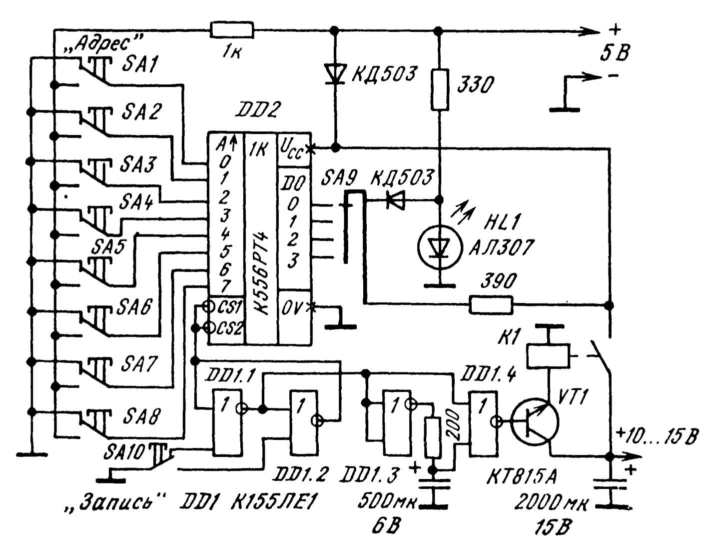


Рис. 3.11. Принципиальная схема программатора микросхем ППЗУ (вариант 2)

лем S7 выход микросхемы ППЗУ DD1 и на ее вывод U_{cc} напряжения программирования $U_{PR}=10$ В, устройства контроля записи на диодах VD4, VD5.

Данный программатор легко приспособить для работы с микросхемами ППЗУ большей емкости, чем К155РЕ3, расширив адресное устройство.

В исходном состоянии матрица микросхемы К155РЕ3 заполнена нулями. Чтобы проверить это, необходимо последовательно обратиться при установленном переключателями S1—S5 адресе к каждому элементу памяти переключателем S7. Если в данном ЭП перемычка цела, т. е. там находится 0, то свето-

диод VD5, зашунтированный диодом VD4, гореть не будет. При нарушении перемычки, что соответствует 1 в данном ЭП, светодиод загорится. Эту процедуру повторяют для всех 32 адресов микросхемы.

Программирование осуществляют в соответствии с картой прожига в следующем порядке: набирают адрес ЯП, переключателем S7 выбирают ЭП, в который следует записать 1, и кнопкой S6 запускают генератор. При этом формируется сигнал 1 разрешения программирования, который с выхода DD2.2 поступает на вход CS микросхемы ППЗУ. На выходе DD2.4 появляется отрицательный импульс, длительность которого 50 ... 100 мс задает цепочка R6C1. Транзистор VT1 закрывается, а VT2—VT4 открываются и коммутируют напряжение 10 В на вывод питания DD1 через R8, VD4 и выбранный S7 выход DD1 через R9, VD3. После отжатия S6 автоматически осуществляется контроль: если диод VD5 загорелся, то запись удалась. При необходимости повтора режима записи (коэффициент программируемости у К155РЕ3 равен 0,3) рекомендуют увеличивать напряжение программирования ступенями по 0,5 до 14 В [51].

Аналогичное по назначению устройство для микросхем СППЗУ описано в [40].

Программатор (рис. 3.11) рассчитан на микросхему ППЗУ К556РТ4 [30]. Но при некоторой модернизации он может быть приспособлен и для программирования других микросхем серии К556.

Схема программатора включает набор переключателей SA1—SA8 для формирования кода адреса, переключатель SA9 выбора разряда, подлежащего программированию, генератор одиночных импульсов на микросхеме DD1 (К155ЛЕ1), транзисторный ключ VT1 (КТ815А) и реле РЭС-10 (РС4.524.304) в цепи его эмиттера, индикатор результата программирования — светодиод HL1 (АЛ307).

Перед программированием устанавливают положения переключателей SA1—SA8 и SA9. При нажатии на кнопку «Запись» срабатывает генератор одиночного импульса и на его выходе (DD1.4) формируется импульс длительностью 100 мс. Этот импульс открывает транзистор VT1, и в результате происходит кратковременное срабатывание реле. Замыканием его контакта на вывод питания микросхемы ППЗУ и программируемый разряд подается напряжение 10 ... 15 В. Программирование микросхемы К556РТ4 состоит в пережигании легкоплавких перемычек в тех местах матрицы, куда требуется записать 1. Если эта операция выполнена успешно, то загорается индикаторный светодиод. Если перемычка не разрушена, то следует повторить операцию записи, повышая напряжение с 10 до 15 В.

Выпускаемые промышленностью программаторы, предназначенные для автономного применения, позволяют программировать микросхемы ППЗУ и РПЗУ в пошаговом и автоматическом режимах с контролем записи и предварительным редактированием заносимой в микросхему информации. Такими возможностями располагают, в частности, серийные программирующие устройства типа АУПП, 815, УЗП-80 и др. [67].

Активно разрабатываются и встроенные средства программирования, ориентированные на конкретные микроЭВМ, например «Электроника-60» [44], «Электроника К1-20» [46], «Электроника ДЗ-28» [24], «Радио-86РК» [39] и др. Пер-

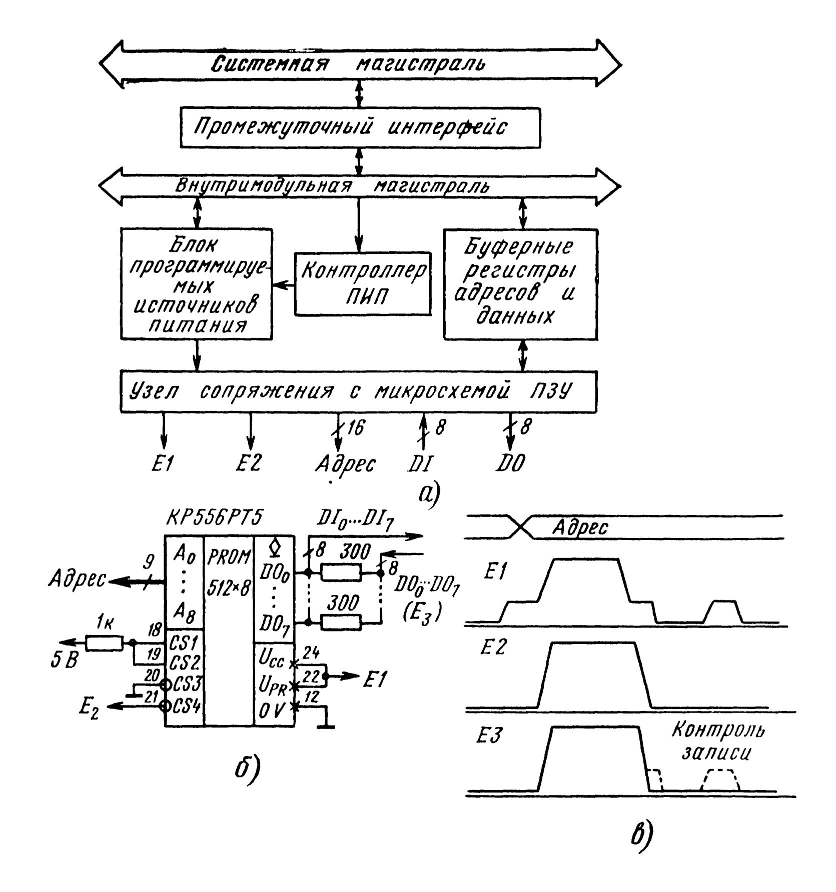


Рис. 3.12. Устройство автоматического программирования микросхем ПЗУ:
а — структурная схема; *б* — подключение программируемой микросхемы; *в* — временные диаграммы напряжений программирования

спективным для практики является направление создания универсальных программаторов для всех микросхем ППЗУ и РПЗУ, способных к быстрой перенастройке при изменении типа микроЭВМ [38, 32].

Такие программаторы должны иметь три программируемых источника с напряжением от 0 до 26 В, с токами нагрузки до сотен миллиампер и электронные ключи с временем переключения менее 0,6 мкс. Вариант структурного построения программатора встроенного типа представлен на рис. 3.12, *а*. Конструктивно программатор представляет собой модуль, который имеет средства сопряжения с системной магистралью через узел промежуточного интерфейса и с микросхемой ППЗУ, РПЗУ, которая должна быть запрограммирована. В структуру модуля входят блок программируемых источников напряжения, контроллер этого блока, буферные регистры адресов и данных, узел промежуточного интерфейса и узел сопряжения с программируемой микросхемой.

Основное назначение модулей программирования состоит в преобразовании сигналов в той или иной системной магистрали в сигналы, необходимые для программирования микросхемы конкретного типа. Например, микросхема К556РТ5 подключается к модулю по схеме на рис. 3.12, *б* и ее программирование осуществляют сигналы генерируемых модулем амплитудно-временных диаграмм, показанных на рис. 3.12, *в*.

Комплект модулей программирования и узлов сопряжения для микросхем ППЗУ, РПЗУ всей номенклатуры приведен в работах [23, 62].

При программировании микросхем СППЗУ оказывается необходимой операция контроля уровня выходных сигналов, поскольку при недостаточном заряде носителей, накапливаемом на «плавающем» затворе ЛИЗМОП-транзистора в процессе программирования, его состояние не будет соответствовать физическому уровню выходного напряжения 2,4 В и более. Аналогично может обнаружиться при стирании несоответствие состояния ЛИЗМОП-транзистора низкому уровню напряжения, равному 0,4 В или менее, из-за остаточного заряда носителей на «плавающем» затворе.

Для контроля уровня выходных сигналов микросхем СППЗУ при использовании автоматических программаторов можно применить устройство, приведенное на рис. 3.13 [4]. Устройство рассчитано на микросхемы К573РФ2 и К573РФ5, но оно может быть приспособлено и для контроля других микросхем серии К573.

В схему устройства входят восьмиканальный аналоговый мультиплексор DD2 (К564КП2) и два аналоговых компаратора DD3, DD4 (К554СА3). Входы мультиплексора соединены с выходами контролируемой микросхемы DD1. Один из компараторов настраивается на пороговый уровень 0,4 В, другой — на пороговый уровень 2,4 В с помощью потенциометров R1 и R2.

Если при контроле на выходах обоих компараторов A и B появится сигнал с состоянием лог. 0, то это означает, что в контролируемый элемент памяти

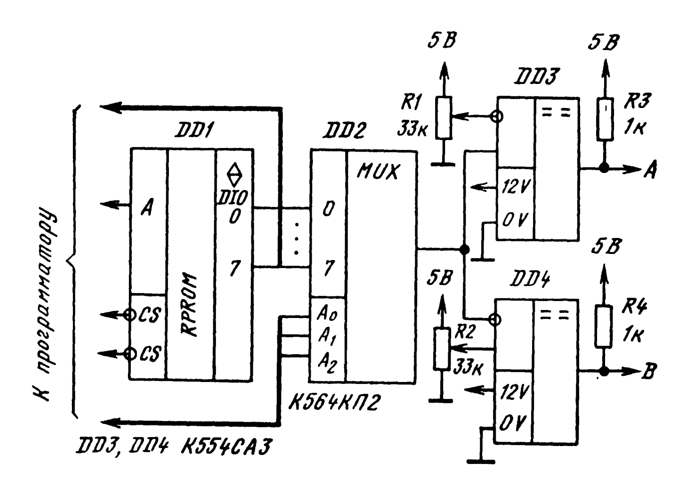


Рис. 3.13. Устройство контроля уровня выходного напряжения микросхем ПЗУ при их программировании

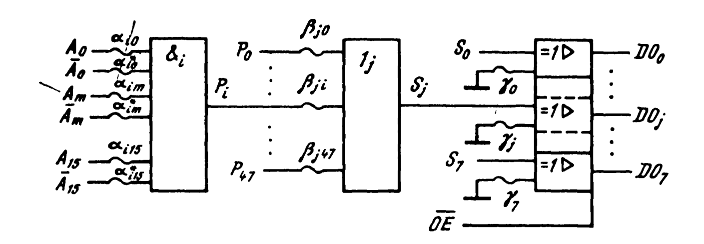


Рис. 3.14. Уровни программируемой логики ПЛМ

записан 0, если появится сигнал лог. 1, то, следовательно, в элемент памяти записана 1. Состояние контролируемого элемента памяти будет неопределенным, если на выходе одного из компараторов появится лог. 0, а другого — лог. 1.

Рассмотрим алгоритм программирования микросхем ПЛМ и средства его реализации.

Структура ПЛМ включает (см. рис. 1.14, 1.15) матрицу И, матрицу ИЛИ, входные инверторы, выходные усилители, которым можно пережиганием перемычек придать свойства повторителей или инверторов. В соответствии со структурой микросхема ПЛМ имеет три слоя программируемой логики (рис. 3.14). Первый слой включает набор из 48 конъюнкторов (матрица И), второй — набор из 8 дизъюнкторов (матрица ИЛИ) и третий слой из 8 выходных усилителей с программируемой характеристикой передачи.

Каждый конъюнктор через плавкие перемычки $\{\alpha_{im}, \alpha^*_{im}\}$, $i=\overline{0,47}$, $m=\overline{0,15}$, соединен со входными переменными, представленными своими прямыми и инверсными значениями A_m, $\bar{A}_m$. Выходная функция конъюнктора имеет вид

$$P_i = \prod_{m=0}^{15} (\overline{\alpha^*_{im}} A_m + \overline{\alpha_{im}} \bar{A}_m).$$

Наличие перемычки $\alpha_{im}=1$ или $\alpha^*_{im}=1$ означает подключение ко входу конъюнктора переменной A_m или $\bar{A}_m$ соответственно. При пережигании обеих перемычек соответствующая входная переменная отключается от данного конъюнктора. Перемычки незадействованных в произведении переменных необходимо пережечь, в противном случае произведение P_i будет иметь нулевое значение.

Таким образом, программирование слоя конъюнкторов (матрицы И) заключается в пережигании всех перемычек, кроме тех, которые относятся к задействованным переменным.

Ко входам каждого дизъюнктора через перемычки $\{\beta_{ji}\}$, $j=\overline{0,7}$, $i=\overline{0,47}$, подведены все 48 произведений $\{P_i\}$. Поэтому выходная функция имеет вид

$$S_j = \sum_{i=0}^{47} \beta_{ji} P_i.$$

Программирование слоя дизъюнкторов заключается в пережигании лишних перемычек так, чтобы ко входам каждого дизъюнктора были подключены

только те конъюнкторы, выходные функции которых входят в логическое выражение суммы $\{S_j\}$.

Третий слой включает элементы «Исключающее ИЛИ» и усилители. Перемычка γ_j придает выходному каскаду свойства повторителя, ее отсутствие преобразует выходной каскад в инвертор. Состоянием выхода управляет сигнал $\overline{OE}$: при 0 выход открыт для считывания, при 1 — закрыт. Выходная функция имеет вид

$$DO_j = OE(\bar{\gamma}_j \oplus S_j).$$

Решение задачи по применению микросхемы ПЛМ состоит из двух частей: вначале определяют логические выражения, связывающие входные переменные $\{A_m, \bar{A}_m\}$, $m=\overline{0,15}$, с выходными функциями (сигналами) $\{DO_j\}$, $j=\overline{0,7}$. Эти выражения необходимо привести к дизъюнктивной нормальной форме, т. е. представить их в базисе И — ИЛИ. Затем определяют содержание каждой дизъюнкции $\{S_j\}$ и каждой конъюнкции $\{P_l\}$ и по результатам составляют карту прожига.

Вторая часть решения задачи состоит в программировании микросхем ПЛМ. Этот процесс аналогичен по своему характеру программированию микросхем ППЗУ, но отличается большей сложностью, обусловленной многоуровневой структурой программирования. Порядок программирования рассмотрим на основе методики, предложенной в работе [64].

В исходном состоянии все перемычки целы, поэтому $P_l=0$, $S_j=0$, $DO_j=0$. В этом можно убедиться начальным контролем микросхемы, который состоит из последовательных этапов контроля состояния матрицы И, слоя инверторов, матрицы ИЛИ. Эти режимы будут рассмотрены вместе с режимами программирования.

Программирование микросхемы ПЛМ рекомендуется проводить в следующей последовательности: слой выходных каскадов, слой конъюнкторов, слой дизъюнкторов. Процедуры программирования слоев отличаются друг от друга. Кратко рассмотрим их содержание.

Программирование слоя выходных каскадов: на все входы $A_0 \dots A_{15}$ подать 1, напряжение питания $U_{cc}=0$ В, $\overline{OE}=1$, $PR=0$; на выбранный выход DO_j подать импульс напряжения 17 ± 1 В длительностью 25 ... 100 мкс с фронтом не более 20% от длительности импульса.

Контроль состояния перемычки γ_j: на всех входах $A_0 \dots A_{15}=1$, $U_{cc}=8{,}5 \dots 9$ В, $\overline{OE}=0$, индицируется состояние DO_j; если 1, то $\gamma_j=0$ (перемычка удалена), если 0, то перемычка цела). В этом случае операция прожига повторяется.

Программирование слоя конъюнкторов (матрицы И):

1) $U_{cc}=5$ В, $\overline{OE}=1$;

2) к выводам $DO_0 \dots DO_5$ подвести сигналы кода выбранного для программирования конъюнктора (DO_5 — старший разряд);

3) на все входы $A_0 \dots A_{15}$, кроме программируемого A_m, подать 10 В;

4) к программируемому входу A_m приложить напряжение «1», если удаляется перемычка α^*_{lm}, «0», если удаляется α_{lm}:

5) на вход PR подать напряжение 17±1 В с длительностью 5 ... 25 мкс (ток нагрузки до 300 мА);

6) на вход OE подать импульс напряжения 10 В (до 5 мА) длительностью 25 ... 100 мкс;

7) снять напряжение с вывода PR;

8) на входе A_m восстановить уровень 1;

9) снять сигналы кода с выводов $DO_0 ... DO_5$.

Контроль состояния перемычек $\alpha_{lm}, \alpha^*_{lm}$ проводят в том же режиме воздействий, что и при пережигании, но при PR=0. Ко входу A_m прикладывают напряжения 1 и 0 и фиксируют уровень напряжения на выходе DO_7: если $DO_7(A_m) = DO_7(\overline{A}_m) = 1$, то удалены обе перемычки, если 0, обе перемычки целы, если $DO_7(A_m) = \overline{A}_m$, удалена перемычка α_{lm}, при $DO_7(A_m) = A_m$ перемычка α^*_{lm}. Процедуру повторяют для каждой пережигаемой перемычки. Программирование слоя дизъюнкторов (матрицы ИЛИ):

1) установить $DO_0 ... DO_7 = 1$, $\overline{OE} = 1$, $U_{cc} = 0$, PR=0;

2) на входы $A_0 ... A_5$ подать код, адресующий пережигаемую перемычку β_l;

3) повысить напряжение питания до 8,5 ... 9 В;

4) к выходу программируемого дизъюнктора DO_j приложить 10 В;

5) на вход PR подать перепад напряжения 17 В с длительностью 5 ... 25 мкс;

6) на вход OE подать импульс так, чтобы обеспечить результирующее напряжение 10 В на время до 100 мкс;

7) снять напряжения с выводов PR, DO_j, U_{cc}.

Контроль состояния перемычки β_{jl} осуществляют по алгоритму прожига, но при PR=0 и импульсе $\overline{OE}$. О состоянии перемычки β_{jl} судят по сигналу на выходе DO_j с учетом наличия перемычки γ_j. Возможны следующие комбинации: если $\gamma_j = 1$, то $DO_j = 0$ указывает на то, что перемычка β_{jl} удалена, при $DO_j = 1$ — цела; если $\gamma_j = 0$ (удалена), то признаки удаления перемычки меняются местами.

Информацию, занесенную в ПЛМ, можно редактировать и изменять, используя оставшиеся свободные конъюнкторы. Практика показывает, что 48 конъюнкторов достаточно для большинства применений. Для наращивания ПЛМ, если такая необходимость возникнет, следует воспользоваться выводом OE.

3.5. Импульсное питание микросхем ПЗУ

Микросхемы ППЗУ и РПЗУ потребляют мощность 0,8 ... 1 Вт на корпус. Для снижения уровня энергопотребления используют способ динамического питания, вариант реализации которого приведен на рис. 3.15 [60].

Схема динамического питания включает дешифратор выбора микросхем DD17, транзисторные ключи VT1—VT16. Дешифратор DD17 под воздействием сигналов старших разрядов кода адреса $A_{11} ... A_{14}$ формирует на одном из своих выходов уровень 0 и обеспечивает открывание соответствующего транзистора. Через открытый транзистор на вывод питания микросхемы памяти поступает напряжение питания и приводит ее в рабочее состояние. Остальные микросхемы памяти, не имея питания, находятся в выключенном состоянии. Таким образом, схема динамического питания помимо своей основиой функции реали-

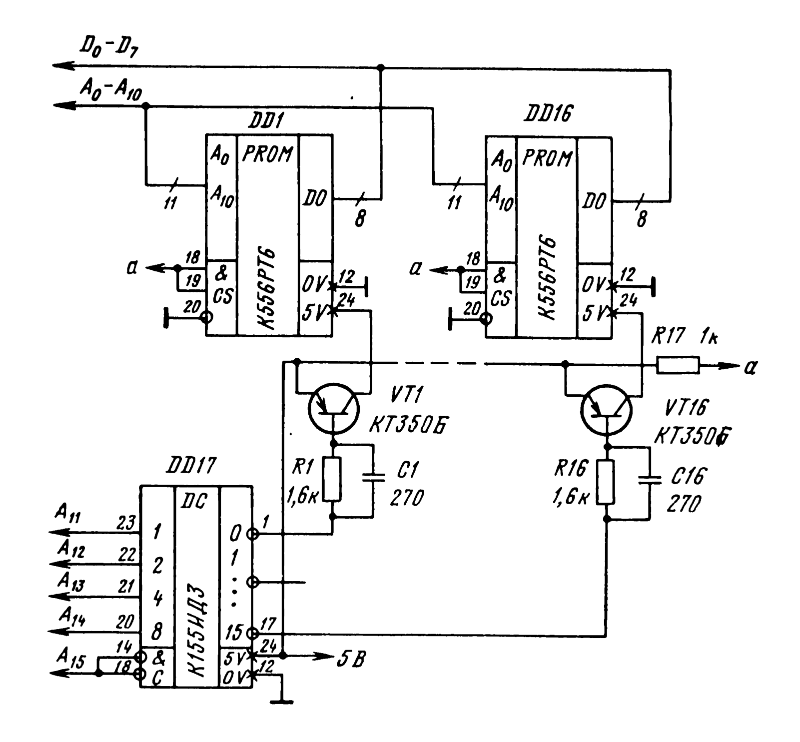


Рис. 3.15. Схема импульсного питания микросхем ПЗУ

зует логику выбора микросхем памяти. При отсутствии обращения к блоку памяти на входе C дешифратора DD17 присутствует уровень 1, при котором на всех выходах устанавливаются 1 и поддерживают транзисторные ключи в закрытом состоянии. При этом все микросхемы памяти выключены и не потребляют ток от источника питания.

При использовании динамического питания существенно снижается потребляемая мощность, несколько увеличивается длительность цикла обращения к микросхемам памяти для считывания и снижается напряжение питания на величину падения напряжения на открытом транзисторе. При недопустимости снижения уровня напряжения питания необходимо предусмотреть питание блока памяти от отдельного источника с напряжением 5,5 В.

Аналогичную схему динамического питания можно применить и для блока на микросхемах РПЗУ [63].

4. ЭЛЕКТРОННЫЕ УСТРОЙСТВА НА МИКРОСХЕМАХ ПАМЯТИ

4.1. Блоки статических ОЗУ

Блок ОЗУ включает модуль ОЗУ, составленный из микросхем памяти, и контроллер ОЗУ, а также при необходимости средства сопряжения с магистралью, реализуемые на основе интерфейсных микросхем.

Значительное влияние на схему и характеристики контроллера и устройств сопряжения оказывает тип интерфейса, принятый в данной микропроцессорной системе. Физический интерфейс представляет собой унифицированную магистраль из линий передачи сигналов, функционально объединенных шиной адреса ША, по которой передают адресные сигналы, шиной данных ШД, по которой осуществляют обмен данными, и шиной управления ШУ, по которой распространяются сигналы управления.

Для построения микропроцессорных вычислительных и управляющих машин широко применяют интерфейсы следующих типов: ИК1 — для устройств на микропроцессоре К580ВМ80, И41 — для устройств на основе 16-разрядного микропроцессора К1810ВМ86, в частности для микроЭВМ семейства СМ1810 и др., МПИ — для семейства 16-разрядных микроЭВМ «Электроника-60», «Электроника НЦ-80» и ДВК, «Электроника С5» и др. [43].

Магистраль ИК1 включает 16-разрядную ША, 8-разрядную ШД и шину управления, из которой для блока ОЗУ используют линии сигналов $\overline{MWTC}$ ($\overline{MEMW}$) — «запись в ОЗУ», $\overline{MRDC}$ ($\overline{MEMR}$) — «чтение из ОЗУ» [59].

Магистраль И41 включает 20-разрядную ША, 16-разрядную ШД и ШУ с линиями сигналов: $\overline{MWTC}$, $\overline{MRDC}$, $\overline{XACK}$ — ответ «подтверждение обмена», $\overline{INH1}$ — «запрет ОЗУ» (запрещает ОЗУ реагировать на адрес), $\overline{BHE}$ — «разрешение старшего байта» (указание о двухбайтовой передаче данных [47]).

Магистраль И41 допускает подключение к ней восьмиразрядных устройств, так как может работать в режиме с байтами. Адресные признаки выборки младшего L- и старшего H-байта содержат сигналы $\overline{A_0}$ и $\overline{BHE}$ соответственно. Это обстоятельство обусловливает совместимость устройств на микропроцессорах К580ВМ80 и К1810ВМ86 при их объединении интерфейсом И41.

Магистраль МПИ параллельного интерфейса по ГОСТ 26765.51—86 включает совмещенную 16-разрядную шину «Адрес — Данные» ШАД («Общая шина») и шину управления с линиями сигналов $\overline{SYN}$ — «синхронизация обмена» (наличие сигнала означает, что идет обмен по каналу); $\overline{RD}$ — «чтение данных» (указывает на режим считывания данных из ЗУ микропроцессором); $\overline{WR}$ — «запись данных» (запись данных в ЗУ); $\overline{WRBY}$ признак «запись — байт»; $\overline{AN}$ — «ответ устройства» (выходной сигнал сопровождения данных). Все названные сигналы, кроме $\overline{AN}$, являются для ОЗУ входными. Сигнал $\overline{AN}$ формирует ОЗУ и направляет в линию шины управления. Сигналы управления в указанных интерфейсах передаются в инверсном коде, что и обусловливает их обозначения со знаком инверсии [18].

Рассмотрим ряд вариантов построения блока статического ОЗУ, обратив при этом основное внимание на принципы схемотехнической реализации основных функциональных узлов. Эти же вопросы применительно к динамическому ОЗУ рассмотрены в § 4.3.

Принципиальная схема блока статического ОЗУ с раздельными линиями ввода и вывода данных приведена на рис. 4.1. Блок ОЗУ состоит из модуля ОЗУ на микросхемах DD1—DD16, контроллера DD17, DD23 и средств сопряжения DD18—DD21. Блок ОЗУ емкостью 8К×8 бит построен на микросхемах КР537РУ14, объединенных в два субмодуля по 4К×8 бит каждый. Выборку субмодуля осуществляют сигналами выбора $\overline{CS1}$ и $\overline{CS2}$, которые формирует дешифратор DD17 под воздействием старших разрядов адресного кода $A_{14}A_{13}A_{12}$. В рассматриваемом примере задействованы два выхода DD17, на которых сигналы с уровнем лог. 0 появляются при входных кодах 000 и 001. В первом случае открыт доступ к субмодулю DD1—DD8, во втором — к субмодулю DD9—DD16. Очевидно, оставшиеся шесть выходов DD17 позволяют увеличивать емкость ОЗУ еще на шесть аналогичных субмодулей, т. е. до 32К байт, либо использовать часть выходов для подключения к ним модулей ПЗУ.

Такую организацию памяти, как на рис. 4.1, называют страничной, а субмодуль — страницей. Возможно изменение адреса страницы, т. е. ее положения в адресном пространстве, подключением входа CS к нужному выходу дешифратора DD17.

Старший разряд кода адреса A_{15} использован для разделения адресного пространства емкостью 64К на две равные части. При $A_{15}=0$ дешифратор DD17, имея на управляющем входе V1 разрешающий сигнал с уровнем лог. 0, обеспечивает формирование на своих выходах сигналов выбора страниц. При $A_{15}=1$ дешифратор DD17 блокирован, его выход принимает состояния лог. 1, и тем самым обеспечивается запрещение доступа к страницам ОЗУ. Вторая половина адресного пространства емкостью до 32К байт может быть использована для адресации устройств ввода-вывода. При необходимости существенного увеличения емкости памяти используют четыре старших разряда кода адреса $A_{12} \dots A_{15}$. В таком случае можно применить дешифратор К555ИД3, имеющий 16 выходов, что позволит получить модуль памяти емкостью до 64 К байт.

Регистры DD20, DD21 выполняют функции буферов адресной шины. Буферизация шин необходима для повышения их нагрузочной способности по току и емкости. Например, линии ША микропроцессора КР580ВМ80А имеют допустимые значения тока до 1,8 мА и емкости до 100 пФ. Учитывая, что значение емкости каждого адресного входа микросхем памяти серии К537 равно 5 ... 10 пФ, получаем в схеме на рис. 4.1 емкостную нагрузку каждой линии ША более 100 пФ, что обусловливает необходимость включения буфера.

Применение регистров КР580ИР82 в качестве буфера увеличивает нагрузочную способность линий ША до 32 мА и 300 пФ. Один из разрядов регистра DD20 (выводы 5, 15) использован для буферизации линии сигнала $\overline{MWTC}$, который управляет режимом записи-считывания микросхем ОЗУ.

Запись информации в регистр КР580ИР82 осуществляют по сигналу CE = 1. Считывание информации возможно при наличии сигнала $\overline{OE}=0$. При $\overline{OE}=1$

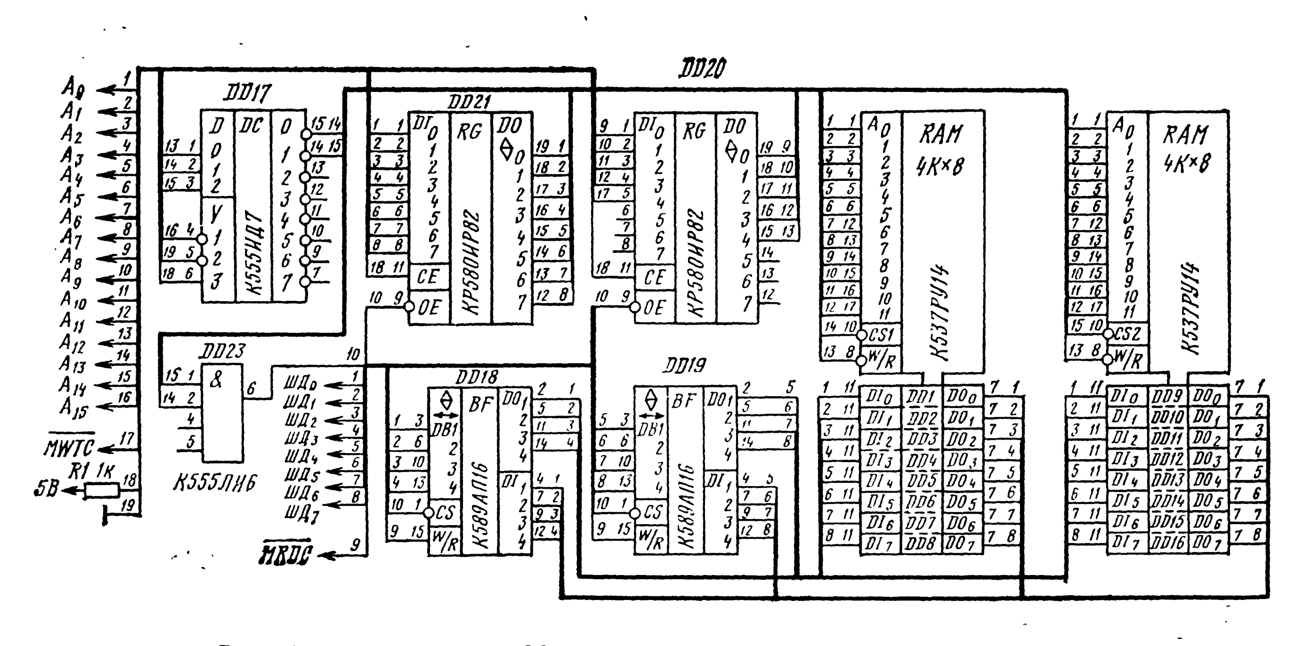


Рис. 4.1. Блок статического ОЗУ с раздельными линиями ввода и вывода данных

выходы принимают Z-состояние. Разрешающее значение сигнала $\overline{OE}$ формирует логический элемент DD23 при поступлении хотя бы на один из его входов сигнала с уровнем лог. 0. Следовательно, при обращении к модулю ОЗУ, когда один из сигналов выбора страницы $\overline{CS1}$ или $\overline{CS2}$ имеет состояние лог. 0, на выходе DD3 формируется сигнал с уровнем лог. 0, открывающий для чтения регистры DD20, DD21. При увеличении количества страниц необходимо задействовать дополнительные входы DD23.

Для буферизации ША можно использовать также микросхемы магистральных приемопередатчиков и шинных формирователей. Следует заметить, что регистры DD20, DD21 в структуру блока ОЗУ могут не входить. Обычно они относятся к интерфейсным средствам магистрали и поэтому являются общими как для блоков ОЗУ, ПЗУ, так и для УВВ. В данном примере регистры выполняют две функции: формируют шину адреса для ОЗУ, фиксируют код адреса по сигналу $\overline{OE}=0$ и передают его к модулю ОЗУ. Если обратиться к микросхемам ОЗУ со встроенным интерфейсом К1809РУ1, КР537РУ11 и др. (см. § 2.2), то можно увидеть сходство структурного построения указанных микросхем с функциональной схемой рассматриваемого блока ОЗУ, в том числе и в отношении функций входных адресных регистров.

Сопряжение модуля ОЗУ с шиной данных реализовано на микросхемах шинных формирователей К589АП16 (DD18, DD19). Микросхема указанного вида имеет четырехразрядные входной и выходной каналы $DI_1 \dots DI_4$, $DO_1 \dots DO_4$, четырехразрядный двунаправленный канал $DB_1 \dots DB_4$. Передача информации обеспечивается при сигнале $\overline{CS}=0$, при $\overline{CS}=1$ все выходы переходят в Z-состояние. Сигнал $\overline{CS}$ снимается с выхода DD23.

Направление передачи информации зависит от сигнала $\overline{MRDC}$, подаваемого на вход WR/RD: при 0 информация передается со входов DI на выходы DB, при 1 — со входов DB на выходы DO. Следовательно, при $\overline{MRDC}=0$ информация с выходов микросхем ОЗУ поступает в шину данных, при $\overline{MRDC}=1$ — из шины данных на входы микросхем ОЗУ.

Для буферизации шины данных можно использовать также микросхемы шинных формирователей других серий, например К555АП6, магистральные приемопередатчики К580ВА86, К580ВА87 (с инверсными выходами), К588ВА1 и др.

Другой вариант построения блока статического ОЗУ емкостью 8К байт приведен на рис. 4.2. Блок включает два субмодуля страницы памяти DD1—DD8 и DD9—DD16 по 4К байт каждый, буфер шины адреса DD18, программируемое адресное устройство DD17 и логические элементы DD19 для формирования сигналов выбора страниц.

Субмодули построены так же, как на рис. 4.1, но с тем отличием, что у каждой микросхемы информационные вход DI и выход DO соединены и выведены на одну линию ШД.

Для обеспечения импульсных сигналов $\overline{CS1}$ и $\overline{CS2}$ в схеме блока ОЗУ предусмотрено стробирование элементов DD19.1 и DD19.2 импульсом, который формирует узел DD22.1, DD22.2 при импульсном воздействии на его входы сигналов $\overline{MWTC}$ при записи и $\overline{MRDC}$ при считывании информации. Импульс-

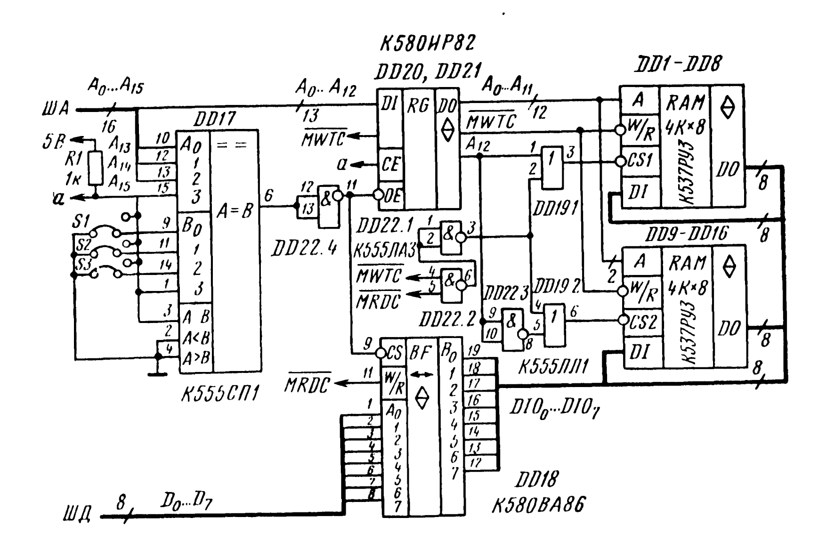


Рис. 4.2. Блок статического ОЗУ с общими линиями ввода-вывода данных

ная форма сигналов выбора позволяет применять как тактируемые, так и асинхронные микросхемы статических ОЗУ.

Для выбора одной из двух страниц ОЗУ использован разряд A_{12} кода адреса: при 0 выбирается страница DD1—DD8, при 1 — страница DD9—DD16.

Буферизация ШД реализована на микросхеме DD18 магистрального приемопередатчика (МПП) КР580ВА86, который представляет собой восьмиразрядный двунаправленный формирователь, обеспечивающий ток нагрузки до 32 мА и емкость 300 пФ. Микросхема имеет двунаправленный канал A, подключаемый к магистрали, и двунаправленный канал B, подключаемый к ОЗУ.

Выходы обоих каналов имеют три состояния. Каналы управляются сигналами направления передачи данных WR/RD и отключения $\overline{CS}$. Передача информации разрешена при $\overline{CS}=0$, причем если WR/RD=1, то направление передачи от канала A к каналу B, если WR/RD=0, то передача осуществляется от B к A. При $\overline{CS}=1$ выходы каналов переходят в Z-состояние. Задержка передачи информации микросхемой МПП равна 30 нс.

В рассматриваемом варианте объединены информационные входы и выходы микросхем ОЗУ одной восьмиразрядной шиной. Переключение направления передачи DD18 осуществляет сигнал $\overline{MRDC}$. В этом же качестве можно использовать сигнал DBIN с выхода микропроцессора КР580ВМ80А, предварительно инвертировав его.

Особенностью рассматриваемого блока ОЗУ является применение программируемого адресного устройства DD17. Оно представляет собой схему сравнения двух трехразрядных кодов. Опорный код $B_2B_1B_0$, устанавливаемый перемычками S1—S3, является адресом данного блока ОЗУ. При совпадении кода с шины адреса $A_{15}...A_{13}$ с опорным кодом схема сравнения формирует сигнал

Таблица 4.1. **Режимы работы блока ОЗУ**

$\overline{BHE}$	A_0	$A_{12}—A_1$	$\overline{MWTC}$	$\overline{MRDC}$	Режим
0	0	A	0	1	Запись слова
0	0	A	1	0	Чтение слова
1	0	A	0	1	Запись L-байта
1	0	A	1	0	Чтение L-байта
0	1	A	0	1	Запись H-байта
0	1	A	1	0	Чтение H-байта
X	X	X	1	1	Блокировка (Отключено)

разрешения для регистров DD20, DD21 и магистрального приемопередатчика DD18. По этому сигналу код адреса $A_{11} \ldots A_0$ поступает на адресные входы модуля ОЗУ, а его информационные входы и выходы коммутируются на шину данных. При отсутствии сигнала разрешения на входе DD17 модуль ОЗУ отключается от шины адреса и шины данных.

Пример построения блока ОЗУ с 16-разрядной шиной данных, ориентированного на интерфейс И41, приведен на рис. 4.3. Модуль ОЗУ состоит из двух банков памяти емкостью 2K байт каждый. Банк L (DD1) хранит младшие байты, банк H (DD2) — старшие байты. Информационные выводы DD1 подключены к младшим линиям $D_0 \ldots D_7$ шины данных, а выводы DD2 — к старшим $D_8 \ldots D_{15}$.

Управление доступом к банкам и режимом их работы осуществляют сигналами $\overline{MWTC}$, $\overline{MRDC}$, $\overline{BHE}$, A_0 в соответствии с табл. 4.1. Блок ОЗУ, как следует из таблицы, выполняет операции записи и считывания как 16-разрядного слова, так и любого из его двух байтов. Сигналы выбора банков формируют логические элементы DD5.1 и DD5.2 в зависимости от значения сигналов A_0, $\overline{BHE}$ и при наличии сигнала разрешения, снимаемого с выхода дешиф-

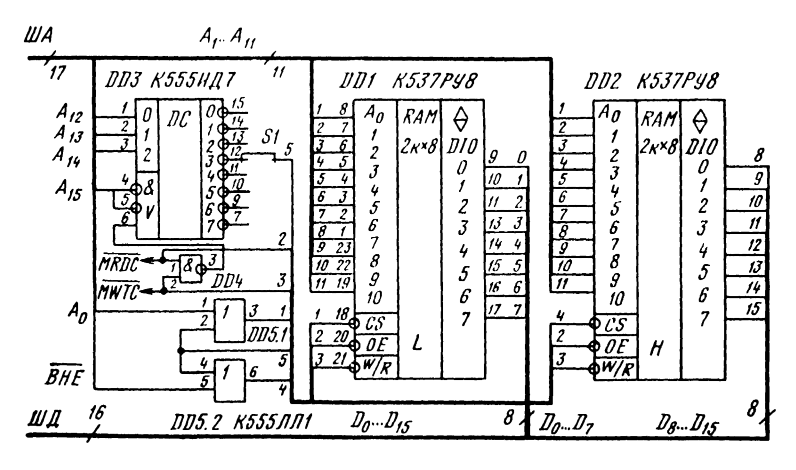


Рис. 4.3. ОЗУ на микросхемах памяти со словарной организацией

ратора DD3 в режиме обращения к ОЗУ, когда код $A_{15}...A_{12}$ соответствует выделенной для блока ОЗУ области адресного пространства.

Поскольку модуль ОЗУ реализован на микросхемах памяти тактируемого типа К537РУ8, необходимо сигналы выбора банков формировать в форме импульса при каждом обращении к ОЗУ. С этой целью использованы сигналы $\overline{MWTC}$ и $\overline{MRDC}$, объединенные логическим элементом DD4, которые стробируют выход DD3 в каждом цикле обращения к памяти для записи или считывания информации.

Микросхемы К537РУ8, как и К537РУ9, РУ10, КМ581РУ5, имеют вход ОЕ для сигнала управления выходом. Поэтому при использовании указанных микросхем памяти отсутствует необходимость в логике управления режимом записи и считывания: сигнал записи $\overline{MWTC}$ подается на вход WR/RD, а сигнал считывания на вход ОЕ.

На рис. 4.3 не показаны буфера шин адреса и данных, но предполагается, что шины буферизованы. В качестве буферных регистров адреса для мультиплексирования адресной магистрали микропроцессора КМ1810ВМ86 используют микросхемы К580ИР82 или К580ИР83 (с инверсными выходами). Для буферизации шины данных применяют микросхемы КР1810ВА86 или КР1810ВА87, а также аналогичные им магистральные формирователи серии К580. Пример включения микросхемы магистрального формирователя в шину данных показан на рис. 4.2. Для 16-разрядной шины данных требуются две такие микросхемы.

При использовании микросхем памяти, не имеющих специального входа для сигнала управления выходом, несколько усложняется схема устройства управления. Вариант построения блока ОЗУ на таких микросхемах приведен на рис. 4.4.

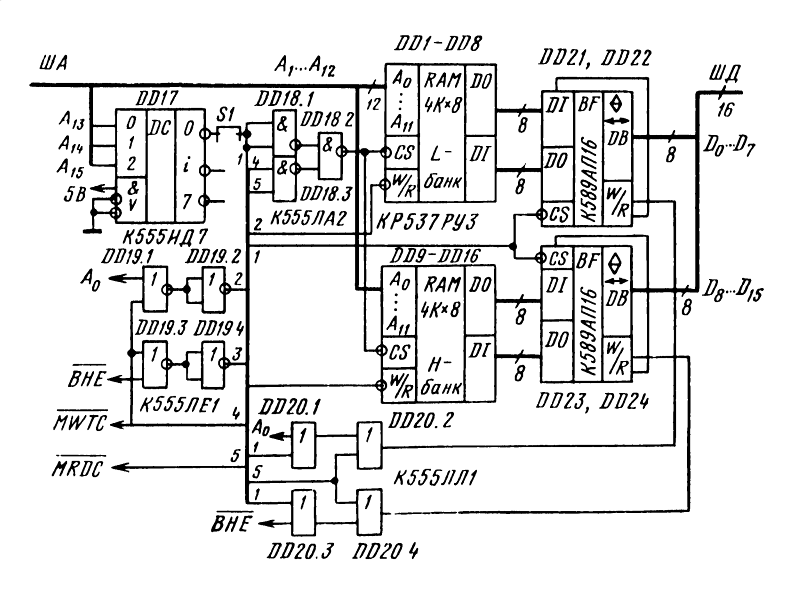


Рис. 4.4. ОЗУ на микросхемах памяти с одноразрядной организацией

Модуль ОЗУ на микросхемах КР537РУ3 состоит из двух банков памяти, информационные входы и выходы которых соединены с 16-разрядной шиной данных через микросхемы К589АП16 (по две на каждый банк). Принципиальная схема подключения указанного шинного формирователя к ОЗУ и к магистрали показана на рис. 4.1.

Селектор адреса DD17 и логические элементы DD18.1—DD18.3 при обращении к блоку ОЗУ формируют сигнал выбора для микросхем памяти и буферов шины данных DD21—DD24. Причем сигнал выбора для модуля ОЗУ стробирован сигналами $\overline{MWTC}$ или $\overline{MRDC}$, так что для построения модуля можно применять как тактируемые, так и асинхронные микросхемы статических ОЗУ.

Сигналы управления режимом записи и считывания для микросхем ОЗУ формируют логические элементы DD19, а для буферов ШД логические элементы DD20, обеспечивая работу блока ОЗУ в соответствии с табл. 4.1. В режиме записи сигнал $\overline{MWTC}=0$ поступает на входы WR/RD либо обоих банков памяти через элементы DD19, либо одного из них в зависимости от значения сигналов $\overline{BHE}$, A_0. Одновременно элементы DD20 формируют сигнал WR/RD=1 для одного или обоих буферов ШД, которым обеспечивается направление передачи информации от канала DB к каналу DO, т. е. из шины данных в модуль ОЗУ.

В режиме считывания сигнал $\overline{MWTC}=1$ через элементы DD19 открывает для чтения данных оба банка памяти. Однако в ШД информация может поступить только через те буферы, которые будут иметь на входах WR/RD сигнал $\overline{MRDC}=0$, обеспечивающий направление передачи от канала DI к каналу DB, т. е. с выходов модуля ОЗУ в шину данных. Этот разрешающий считывание данных в ШД сигнал формируют элементы DD20.2 и DD20.4 в зависимости от значений сигналов $\overline{BHE}$, A_0.

При отсутствии обращения к блоку ОЗУ, когда сигналы на входах CS микросхем памяти и буферов ШД имеют неактивное состояние, равное лог. 1, блок ОЗУ отключен от магистрали.

Перейдем к рассмотрению особенностей построения блоков ОЗУ при использовании магистрали МПИ. Вариант реализации блока статического ОЗУ на микросхемах памяти КР537РУ3 приведен на рис. 4.5.

Модуль ОЗУ построен по структурной схеме с двумя байтовыми банками: L — на микросхемах DD1—DD8 и H — на микросхемах DD9—DD16.

Банк состоит из восьми микросхем, у каждой из которых объединены информационный вход DI и выход DO одной линией. Таким образом у банков образовано по восемь совмещенных входов-выходов DIO, которые соединены с соответствующими линиями шины данных. Заметим, что применение микросхем памяти типа КР537РУ8, РУ9, РУ10, имеющих байтовые совмещенные информационные входы-выходы, существенно упрощает схему блока ОЗУ и уменьшает количество микросхем в нем. Кроме того, указанные микросхемы имеют вход для сигнала чтения, что позволяет использовать более простую схему управления режимами работы модуля ОЗУ.

Одноименные адресные входы банков объединены и выведены на шину адреса. Три старших разряда адресного кода $A_{13}A_{14}A_{15}$ использованы для адре-

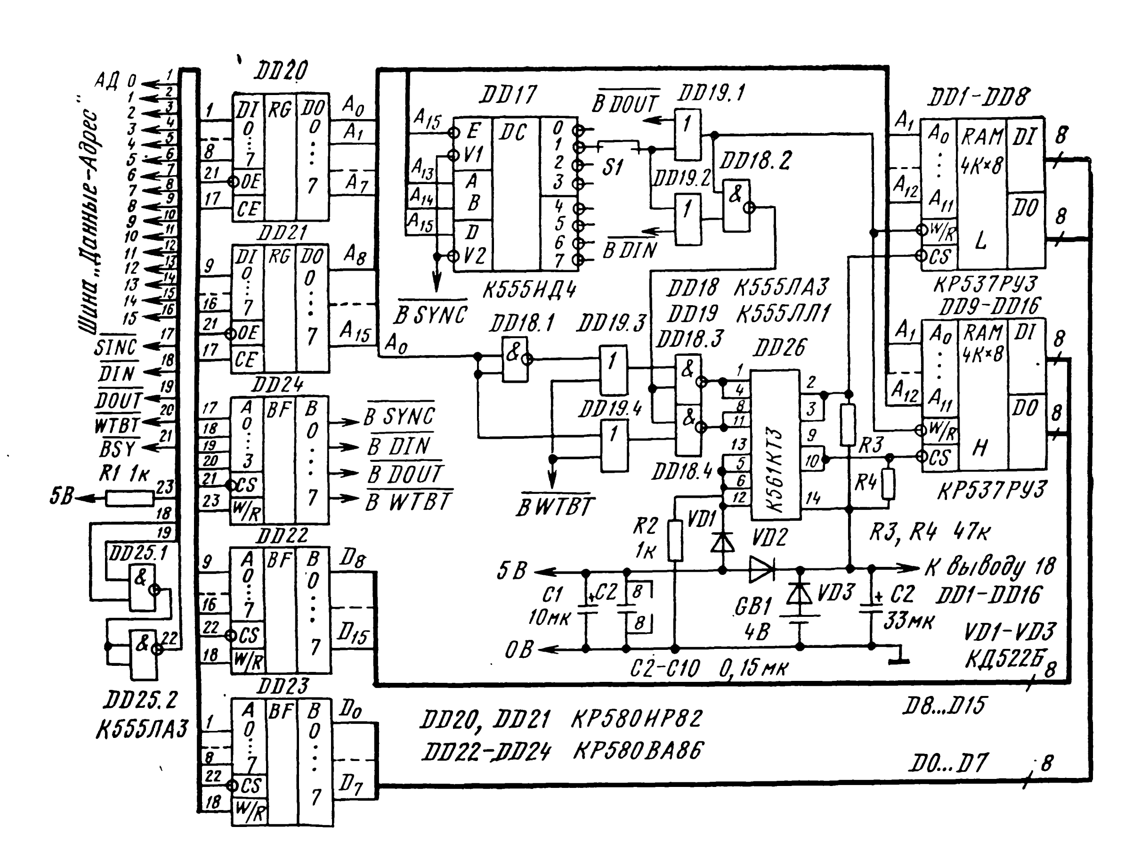


Рис. 4.5. Блок ОЗУ с интерфейсом И-41

сации блока ОЗУ. Они подведены к адресному устройству (селектору адреса) DD17, назначение и работа которого были рассмотрены ранее.

Для выбора режима работы с банками служат сигналы A_0 и $\overline{WRBY}$, а режим записи и считывания задают сигналом $\overline{WR}$ при выполнении условия обращения к блоку ОЗУ, когда на выходе DD17, фиксированном перемычкой S1, появляется сигнал с уровнем лог. 0.

Логика управления реализована на элементах DD18, DD19. Ключ DD26 нормально открыт для сигналов выбора банков. Он закрывается только при отключении или сбоях питания и формирует на своих выходах сигналы с уровнем лог. 1, запрещающие доступ к банкам. Этот ключ вместе с устройством подключения буферного источника питания GB1 к микросхемам памяти обеспечивает сохранение информации в банках при отключении питания. Следует обратить внимание на то, что буферный источник питания через диод VD3 подключен к выводам питания всех микросхем памяти и ключа DD26. При пропадании напряжения 5 В диод VD3 открывается и указанные микросхемы оказываются под напряжением GB1, достаточным для сохранения информации.

Рассмотрим работу модуля ОЗУ в различных режимах. При активном значении сигнала $\overline{WRBY}$ реализуется режим работы с байтами, а выбор банка осуществляют сигналом A_0: при 0 открывается доступ к L-банку, при 1 — к H-банку. Если сигнал $\overline{WRBY}$ принимает неактивное состояние, то независимо от состояния сигнала A_0 открывается доступ к обоим банкам для записи или считывания 16-разрядного слова.

Для записи необходимо иметь активное состояние сигнала $\overline{WR}$, которое элементом DD19.1 передается на входы WR/RD обоих банков. Считывание осуществляется при неактивном состоянии сигнала $\overline{WR}$.

Сопряжение адресной шины и шины данных с общей шиной «Адрес — Данные» осуществляют регистры DD20, DD21 и магистральные формирователи DD22, DD23. Буфер DD24 необходим для повышения нагрузочной способности линий управления. С выходом DD24 снимают буферизованные сигналы управления функциональными узлами блока ОЗУ.

Взаимодействие общей шины с внутримодульными осуществляется следующим образом. Код адреса фиксируется в регистрах DD20, DD21, имеющих разрешающие состояния сигналов на входах CE и OE. Сигнал $\overline{BSY}$ формирует микропроцессор К1801ВМ1 на весь цикл обращения к памяти.

Возможен вариант подключения входа OE к точке с нулевым потенциалом. В таком случае выход регистра постоянно открыт для считывания.

К выходам регистров подключаются линии шины адреса, по которым передаются сигналы кода адреса банков памяти $A_1 \dots A_{12}$, блока памяти $A_{13} \dots A_{15}$, выбора банка памяти A_0.

Данные в общей шине для записи их в память появляются после кода адреса и поступают на входы как регистров, так и буферов ШД. Входы регистров в это время закрыты активным значением сигнала $\overline{SYN}$, так что воздействие данные оказывают только на входы буферов DD22, DD23. Направление передачи буферов определяет сигнал $\overline{RD}$, который при записи имеет уровень лог. 1. Следовательно, данные передаются от канала A в канал B и далее в

линии ШД. В режиме считывания данных из модуля ОЗУ в общую шину сигнал $\overline{RD}$ с активным состоянием переключает направление передачи буферов от канала В к каналу А. Буферы открыты при обращении микропроцессора к блоку ОЗУ, когда сигналы $\overline{RD}$ или $\overline{WR}$ имеют активные состояния и в результате формируют с помощью элементов DD25.1 и DD25.2 сигнал доступа к буферам.

Буфер DD24 работает в режиме передачи от канала А к каналу В благодаря подключению к его входу WR/RD напряжения высокого уровня. Однако этот режим реализуется только при обращении микропроцессора к блоку ОЗУ, когда сигнал $\overline{BSY}$, действующий на вход CS буфера, принимает активное состояние.

Другой вариант построения блока статического ОЗУ, ориентированного на интерфейс МПИ, представлен принципиальной схемой на рис. 4.6 [11, 67]. Модуль памяти реализован на микросхемах К537РУ3 в виде двух банков памяти: L — на микросхемах DD6—DD13 и H — на микросхемах DD14—DD21 емкостью 4К байт каждый. Отличительной особенностью блока является наличие контроллера ЗУ (КЗУ) DD23, реализованного на микросхеме К588ВГ2 и предназначенного для выполнения всех управляющих функций.

Другая особенность рассматриваемой схемы блока ОЗУ состоит в применении КМДП-микросхем серии К588 для реализации всех интерфейсных функций. Внутримодульную шину адреса формируют регистры К588ИР1 DD1, DD2. Шину данных формируют два магистральных приемопередатчика К588ВА1 DD4, DD5. Направление передачи определяют сигналы на входах АВ и ВА, например, при АВ=0, ВА=1 передача данных осуществляется от канала А к каналу В. При АВ=ВА=1 выходы каналов переходят в Z-состояние.

Контроллер ЗУ предназначен для организации блоков ОЗУ и ПЗУ емкостью не менее 4К слов. В структуру КЗУ входит адресное устройство, программируемое перемычками S1—S3. Сигналы $A_{13} \dots A_{15}$ с общей шины адресуют КЗУ. При их совпадении с адресным кодом, установленным перемычками, КЗУ осуществляет один из четырех режимов обмена магистрали с блоком ОЗУ в зависимости от состояний сигналов управления и сигнала A_0 адреса байта (табл. 4.2).

Для согласования КЗУ с микросхемами памяти по временным параметрам служат RC-цепи, подключаемые к выводам RCR и RCW. Постоянные времени RC-цепей определяют задержку выдачи сигнала готовности данных $\overline{AN}$ относительно сигналов $\overline{CS0}$ и $\overline{CS1}$ при считывании (R1C1) и записи (R2C2) данных

Таблица 4.2. **Таблица истинности контроллера ОЗУ**

$\overline{SYN}$	$\overline{WR}$	$\overline{RD}$	$\overline{WRBY}$	A_0	$\overline{CS0}$	$\overline{CS1}$	Режим ОЗУ
0	1	0	1	X	0	0	Чтение слова
0	0	1	1	X	0	0	Запись слова
0	0	1	0	0	0	1	Запись L-байта
0	0	1	0	1	1	0	Запись H-байта
1	X	X	X	X	1	1	Блокировка

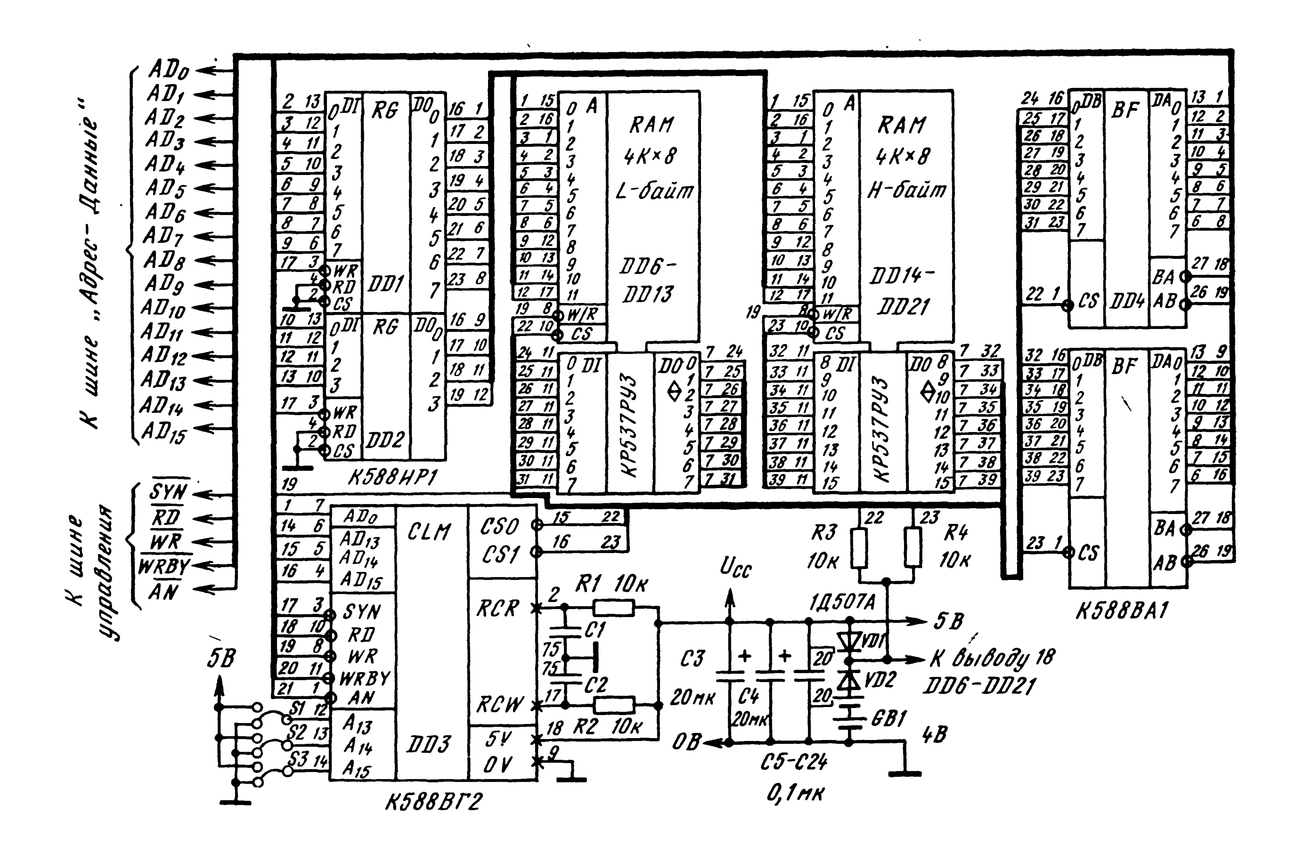


Рис. 4.6. Блок ОЗУ с контроллером управления К588ВГ2

в ОЗУ. Параметры RC-цепей подбирают так, чтобы при $\overline{RD}=0$ ответный сигнал $\overline{AN}$ не опережал выдачу данных из ОЗУ на ШД, а при $\overline{WR}=0$ обеспечивал запись данных в модуль ОЗУ.

Шина «Адрес — Данные» разделена регистрами DD1, DD2 и МПП DD4, DD5 на ША и ШД, к которым подключены соответствующие выводы модуля ОЗУ.

Буферированные линии управляющих сигналов $\overline{SYN}$, $\overline{RD}$, $\overline{WR}$, $\overline{WRBY}$ подключены к КЗУ, ко входам CS регистров $(\overline{SYN})$ и входам WR/RD микросхем памяти $(\overline{WR})$, а также ко входам управления направлением передачи МПП $(\overline{RD}, \overline{WR})$.

В режиме обращения к блоку ОЗУ на шину АД подают код адреса. По сигналу $\overline{SYN}=0$ его 12 разрядов A_{12}—A_1 записываются в регистры DD1, DD2, а старшие разряды A_{15}—A_{13} и разряд A_0 поступают в КЗУ, где происходит сравнение поступившего кода с установленным перемычками S1—S3. При совпадении кодов и в зависимости от сигналов управления формируются сигналы выбора $\overline{CS0}$ и $\overline{CS1}$ в соответствии с табл. 4.2, открывающие доступ для записи или считывания к модулю ОЗУ и МПП DD4, DD5.

В режиме считывания при формировании сигналов выбора напряжение на выводе RCR снижается до низкого уровня и затем нарастает с постоянной времени R1C1. При достижении этим напряжением определенного уровня и с приходом сигнала $\overline{RD}=0$ КЗУ формирует сигнал $\overline{AN}$ сопровождения данных, считываемых из ОЗУ в магистраль через МПП DD4, DD5, открытые в направлении BA сигналом $\overline{RD}$. При $\overline{RD}=1$ сигналы $\overline{CS0}$ и $\overline{CS1}$ переходят в состояние лог. 1 и выборка ОЗУ прекращается. Выходы МПП переходят в Z-состояние.

В режиме записи по сигналу $\overline{WR}=0$ и в зависимости от состояния сигналов $\overline{WRBY}$ и A_0 (табл. 4.2) формируются сигналы выбора $\overline{CS0}$, $\overline{CS1}$. Через МПП DD4, DD5, открытые в направлении AB, данные поступают в ОЗУ. При этом напряжение на выводе RCW принимает низкий уровень и затем нарастает с постоянной времени R2C2, вызывая с определенной задержкой сигнал $\overline{AN}=0$. При $\overline{WR}=1$ выборка ОЗУ прекращается. Цикл обращения к ОЗУ завершается при переходе сигнала $\overline{SYN}$ в состояние лог. 1. При этом входной регистр КЗУ открывается для приема кода адреса в следующем цикле обращения к блоку ОЗУ.

Применение контроллеров К588ВГ2 позволяет подключать к системной магистрали до восьми блоков, аналогичных рассмотренному, что обеспечивает расширение емкости памяти до 64К байт.

Для сохранения данных при отключении напряжения питания в блоке ОЗУ предусмотрены резервный источник напряжения GB1 и устройство его подключения (VD1, VD2, R3, R4) к микросхемам памяти при сбоях в питании.

Рассмотренные варианты построения блоков ОЗУ показывают, что для сопряжения модуля ОЗУ с магистралью требуются дополнительные микросхемы, которые выполняют функции мультиплексирования линий магистрали, дешифракции кодов адреса, увеличения нагрузочной способности шин. Кроме того,

сам модуль ОЗУ состоит из большого числа микросхем памяти, особенно при использовании микросхем с одноразрядной организацией.

Все это обусловливает значительные размеры блоков памяти, трудоемкость их изготовления и затрудняет разработку компактных встраиваемых электронных устройств с памятью.

Значительную часть указанных затруднений можно снять, применив однокристальные блоки памяти со встроенным интерфейсом, к которым относятся микросхема статического ОЗУ К1809РУ1 емкостью 1К×16 бит и микросхема КР537РУ11 емкостью 256×16 бит. Характеристика микросхем и описание режимов их работы приведены в § 2.2 и 2.3.

Микросхема К1809РУ1 ориентирована на магистраль МПИ и имеет 16 выводов для подключения линий шины «Адрес — Данные» и 5 выводов для сигналов управления. Встроенный интерфейс обеспечивает возможность подключения к системной магистрали МПИ до 32 БИС без дополнительных микросхем.

Вариант построения блока ОЗУ емкостью 6К×16 бит на микросхемах К1809РУ1 приведен на рис. 4.7 [54]. Линии общей шины АД распределены следующим образом: при передаче кода адреса по линиям $AD_{15} \ldots AD_{11}$ микросхемы принимают собственный адрес $A_{мс}$, по линиям $AD_{10} \ldots AD_1$ — адрес ячейки памяти, по линии AD_0 — бит признака передачи данных ($AD_0=1$ старшего байта, $AD_0=0$ — младшего байта, при передаче слова состояние линии может быть произвольным). При передаче (приеме) данных используют линии $AD_{15} \ldots AD_8$ для разрядов старшего байта, линии $AD_7 \ldots AD_0$ — для разрядов младшего байта.

В структуре микросхемы предусмотрены интерфейсные узлы: пятиразрядное программируемое адресное устройство и селектор адреса. Все микросхемы К1809РУ1 имеют единый адрес программируемого устройства — FFF0 (в шестнадцатеричной системе счисления). Поэтому для записи собственного адреса $A_{мс}$ в каждую микросхему в блоке ОЗУ необходимо разделить адреса их программирования. Это требование реализовано подключением младших линий ШАД к разным выводам ADIO микросхем. Например, у микросхемы DD1 адрес программирования FFF0, поскольку ее выводы подключены к соответствующим линиям ШАД а у других микросхем адреса изменены: у DD2 установили адрес FFF8, так как вывод $ADIO_3$ соединен с линией AD_4, а вывод $ADIO_4$ — с линией AD_3; у DD3 адресом программирования будет комбинация FFE4, что определено схемой соединения $ADIO_2=AD_4$, $ADIO_4=AD_2$ и т. д.

При каждом включении питания микросхемы ОЗУ должны быть запрограммированы пятиразрядным кодом собственного адреса $A_{мс}$. Для этого на ШАД подают код адреса программирования для каждой микросхемы, следом за которым — код данных программирования, содержащий $A_{мс}$. Подробно этот режим рассмотрен в § 2.2 для микросхемы КР537РУ11 и в § 2.3 для микросхемы К1809РУ1.

В блоке ОЗУ микросхемы работают в режимах записи, хранения и считывания в соответствии с алгоритмами стандарта МПИ (см. § 2.2, 2.3).

Можно отметить и такую особенность микросхем со встроенным интерфейсом, как возможность программирования режима обмена: они могут быть установлены либо в режим ОЗУ, либо в режим ПЗУ, допуская только многократное

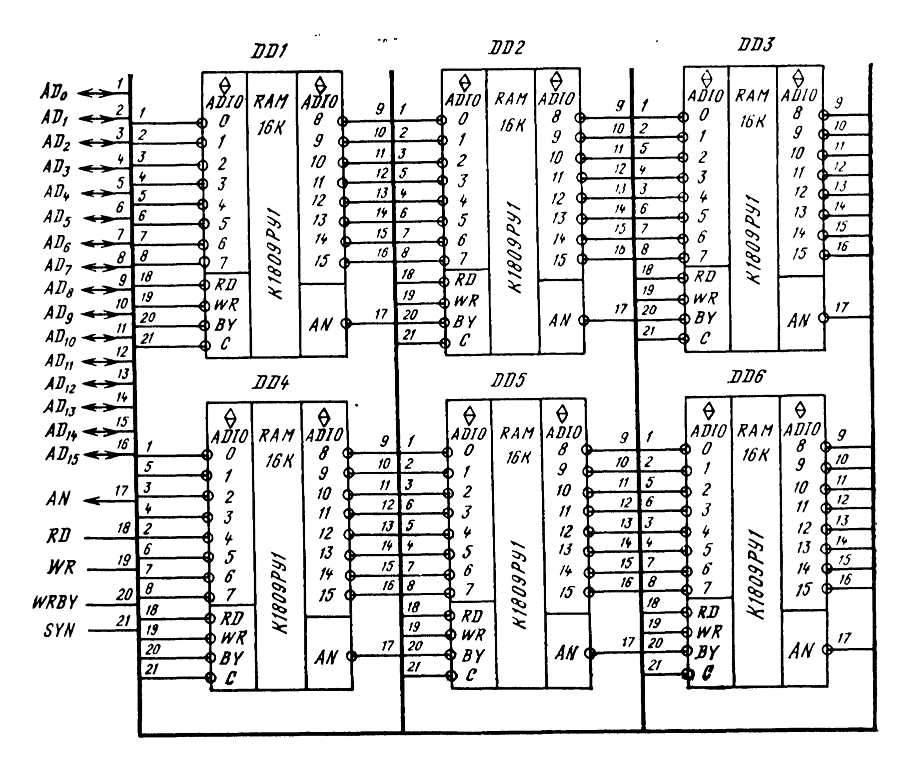


Рис. 4.7. ОЗУ на микросхемах памяти с встроенным интерфейсом

считывание информации. Установление режима осуществляют обращением по адресу программирования с передачей в коде данных бита признака режима обмена: при $\overline{D}_{10}=0$ режим ОЗУ при $\overline{D}_{10}=1$ — режим ПЗУ (блокировка записи).

4.2. Статическое ОЗУ большой емкости

Вариант функциональной схемы модуля ОЗУ емкостью 1М бит (128К×8 бит) приведен на рис. 4.8. К достоинствам данного схемотехнического решения следует отнести сравнительно низкий уровень энергопотребления за счет применения КМДП-микросхем памяти, энергонезависимость ОЗУ, рациональную схему доступа к накопителю и управления режимами модуля, возможность наращивания емкости до 1М×8 бит путем объединения модулей без изменения их схемы.

Структура модуля ОЗУ включает: накопитель, схему управления, узлы сопряжения накопителя с шинами магистрали, схему обеспечения энергонезависимости ОЗУ.

Накопитель состоит из 64 микросхем памяти $RAM_{11} ... RAM_{88}$, объединенных в матричную структуру из восьми строк и восьми столбцов. Для примера выбрана КМДП-микросхема статического ОЗУ К537РУ8А емкостью 2К×8. Эта

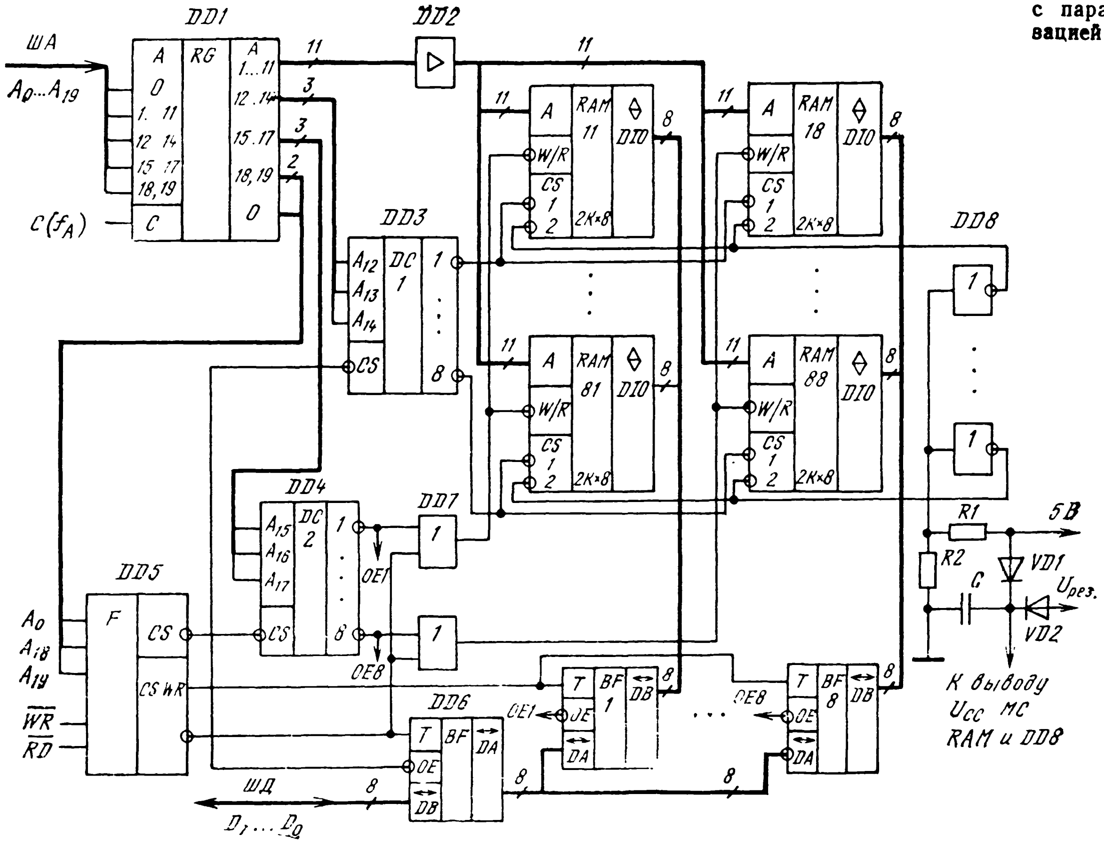


Рис. 4.8. Буферное ОЗУ с параллельной организацией

микросхема имеет два равнозначных входа CS_1, CS_2 для сигналов выбора. Условием доступа к микросхеме по адресным и информационным входам является равенство нулю указанных сигналов. При любых других комбинациях их значений микросхема не принимает адресный код, а ее выходы переходят в Z-состояние.

В каждой строке матрицы микросхемы объединены по одноименным входам CS_1 и CS_2. По линии CS_1 обеспечивается выбор микросхем строки сигналом $\overline{CS}=0$ с одного из выходов адресного дешифратора DD3, а по линии CS_2, подключенной к схеме обеспечения энергонезависимости ОЗУ,— блокировка микросхем по всем входам при сбоях или отключении основного питания 5 В.

В каждом столбце микросхемы объединены по информационным входам-выходам и входам WR/RD.

Одноименные адресные входы всех микросхем накопителя объединены в единую адресную шину, по которой поступает 11-разрядный код $A_{11} \ldots A_1$ с выхода регистра адреса DD1 через 11-разрядную группу усилителей DD2. Может оказаться необходимым разделение адресной шины из-за невозможности обеспечить управление адресными входами всех микросхем с помощью одной группы усилительных элементов, поскольку емкость одного входа микросхемы памяти равна 5 ... 10 пФ, а на один выход усилителя приходится 64 входа, что составляет емкостную нагрузку до 640 пФ. В таком случае объединяют одноименные адресные входы микросхем построчно с подключением адресной шины каждой строки к своей 11-разрядной группе усилительных элементов. Одноименные входы всех усилителей объединены в общую адресную шину и подключены к выходам адресного регистра.

Схема управления включает адресный регистр DD1, усилители шины адреса DD2, адресные дешифраторы выбора строки DD3 и столбца DD4 с логической схемой DD7, дешифратор выбора модуля DD5. Регистр DD1 служит для временного хранения кода адреса $A_0 \ldots A_{19}$, запись которого осуществляется сигналом на входе С с частотой f_A. Регистр формирует несколько выходных адресных шин: 11-разрядную $A_1 \ldots A_{11}$ к микросхемам накопителя для кода адреса ячейки памяти, трехразрядную $A_{12} \ldots A_{14}$ к дешифратору DD3 для кода адреса строки, трехразрядную $A_{15} \ldots A_{17}$ к дешифратору DD4 для кода адреса столбца и трехразрядную $A_0A_{18}A_{19}$ к логическому узлу DD5 для кода адреса модуля $A_{18}A_{19}$ и линию для бита A_0, определяющего организацию побайтной выборки данных.

К логическому узлу DD5 подведены также сигналы управления записью-считыванием $\overline{WR}$ и $\overline{RD}$. На выходах DD5 формируются три сигнала: сигнал $\overline{CS}$ выбора модуля, сигнал $CS \cdot WR$ и его инверсное значение $\overline{CS \cdot WR}$ для управления направлением передачи данных в буферах $BF_1 \ldots BF_8$ и в буфере шины данных DD6 соответственно. Логическая структура DD5 включает элементы, реализующие функции $\overline{(\overline{WR} \oplus \overline{RD})}$ $(A_{18}A_{91})$ $\overline{A_0}=\overline{CS}$, $CS \cdot WR$, $\overline{CS \cdot WR}$. Первое выражение относится к адресному селектору, встроенному в структуру узла DD5. В зависимости от значений разрядов кода $A_{18}A_{19}$ при наличии сигнала управления $\overline{WR}$ или $\overline{RD}$ селектор формирует сигнал $\overline{CS}$ выбора модуля, которым открываются дешифраторы DD3, DD4 и буфер шины данных DD6.

Следовательно, рассматриваемый модуль может быть дополнен тремя идентичными модулями для получения блока памяти емкостью 0,5М байт. Разряд A_0 позволяет строить блок памяти в 1М байт, состоящий из двух байтовых банков, каждый емкостью до 0,5М байт.

Буферы шины данных DD6 и шин столбцов $BF_1 ... BF_8$ предназначены для обеспечения двунаправленного обмена данными между внешней шиной данных ШД и накопителем, а также для сопряжения шины данных с микросхемами накопителя по нагрузке. В качестве буферов могут быть использованы, как показано на рис. 4.8, шинные формирователи типа К580ВА86 (ТТЛ) или К1834ВА86 (КМДП). Эти микросхемы-аналоги имеют два двунаправленных восьмиразрядных канала DA и DB, вход для сигнала разрешения $\overline{OE}$ и вход T для сигнала управления направлением передачи данных: при T=1 данные передаются от DA к DB, при T=0 наоборот. Сигнал $\overline{OE}$ определяет состояние выходов: при $\overline{OE}=0$ выходы находятся в функциональном состоянии, при $\overline{OE}=1$ — в Z-состоянии.

Сигналы разрешения $\overline{OE}_1 ... \overline{OE}_8$ формирует дешифратор DD4 выбора столбца: очевидно, будет открыт для передачи данных тот буфер, который получит на свой вход OE сигнал с состоянием лог. 0. Остальные буферы будут закрыты.

Сигналы T управления направлением передачи буферов формирует логический узел DD5.

Схема обеспечения энергонезависимости ОЗУ состоит из цепи индикации наличия основного питания 5 В: резисторы R1, R2 и инверторы DD8 по одному на строку накопителя и дополнительного (резервного) источника напряжения $U_{рез}=4,4 ... 5$ В, подключенного через диод VD2 к выводам напряжения питания U_{cc} микросхем памяти $RAM_{11} ... RAM_{88}$ и инверторов DD8.

При наличии основного питания на выходах инверторов DD8 присутствует напряжение низкого уровня, что обеспечивает доступ к микросхемам памяти, поскольку $\overline{CS}_2=0$. При отключении основного питания этот уровень повышается и закрывает доступ к накопителю по адресной и информационной шинам, поскольку $\overline{CS}_2=1$. Питание микросхем памяти и инверторов DD8 поддерживается от источника резервного напряжения через открытый диод VD2, в результате чего сохраняется содержащаяся в накопителе информация.

Выборка нужной ячейки памяти начинается с выбора кодом $A_0A_{18}A_{19}$ модуля: при совпадении этого кода с собственным адресом, «зашитым» в логическую схему DD5, на выходе узла DD5 формируется сигнал выбора $\overline{CS}=0$, открывающий доступ адресному коду к дешифраторам строк DD3 и столбцов DD4. На одном из выходов каждого дешифратора формируется сигнал выбора строки $\overline{CS}_i$ и столбца $\overline{OE}_j$. Сигнал $\overline{CS}_i$ открывает буфер шины данных DD6 и доступ ко всем микросхемам памяти выбранной строки $RAM_1 ... RAM_8$, а сигнал $\overline{OE}_j$ — к шине выбранного столбца через буфер BF_j.

При записи данных, когда $\overline{WR}=0$, сигналы $CS \cdot WR=1$ и $CS \cdot WR=0$ обеспечивают передачу данных от ШД до выбранной микросхемы RAM_{ij} через буфер DD6 от DB к DA и через буфер BF_j от DA к DB. Сигнал записи при-

сутствует только на входе WR/RD микросхем выбранного столбца, поскольку только на выходе одного элемента из группы DD8 будет 0. Остальные микросхемы накопителя на этом входе имеют 1, что соответствует режиму считывания. Однако информация с выходов этих микросхем в ШД попасть не может, так как закрыты буферы шин столбцов.

При считывании данных, когда $\overline{WR}=1$, сигналы $CS \cdot WR=0$ и $\overline{CS \cdot WR}=1$ изменяют направление передачи буферов от микросхем памяти к ШД, на входе WR/RD всех микросхем накопителя формируется сигнал считывания $\overline{WR}/RD=1$, но данные в ШД попадают только с выходов выбранной микросхемы RAM_{ij} через открытый буфер шины столбца BF_j.

Режим хранения обеспечивается сигналом $\overline{CS}=1$ на выходе DD5.

Описанный модуль ОЗУ может быть реализован на микросхемах К537РУ8А (RAM), 533ИР8 (DD1), 533ИД4 (DD3, DD4), 533ЛН1 (DD2), 533ЛЛ1 (DD7), 533ЛП5, 533ЛА4, 533ЛЕ1, 533ЛП1 (DD5), 765ЛН1 (DD8), К580ВА86 или К1834ВА86 (DD6, $BF_4 ... BF_8$).

Выполненный в виде микросборки модуль имеет следующие характеристики: емкость 128К×8 бит, ШД двунаправленная 8-разрядная, шина адреса 20-разрядная, минимальный цикл записи-считывания 350 нс, время выборки адреса 250 нс, потребляемая мощность в режиме обращения не более 6 Вт, при использовании шинных формирователей серии К1834 потребляемая мощность снижается до 2 Вт, температурный диапазон работоспособности ОЗУ — 10 ... +70° С, число внешних выводов 36. Микросборка выполнена на нитрид-кремниевой подложке, обладающей хорошей теплопроводностью, размером 85×85×1 мм. Подложка монтируется в алюминиевый корпус. Блок ОЗУ емкостью 0,5М байт состоит из четырех параллельно включенных микросборок и имеет размеры корпуса 130×110×35 мм [33].

4.3. Блоки памяти на микросхемах динамических ОЗУ

Для построения блоков оперативной памяти динамического типа применяют микросхемы динамических ОЗУ. Характеристика этих микросхем приведена в § 2.7.

Микросхемы динамических ОЗУ имеют ряд особенностей, существенно отличающих их от микросхем статических ОЗУ: мультиплексирование адресного кода, более сложные временные диаграммы сигналов управления, регенерация хранимой информации, значительное рассогласование входов и выходов с ТТЛ-линиями по сопротивлению и возможность появления помех типа отражений, к которым динамические микросхемы весьма чувствительны.

Указанные особенности микросхем памяти оказывают значительное влияние на структурные и схемотехнические решения при построении динамических ОЗУ, а также на режимы их работы. Как и для статических ОЗУ, задача реализации динамических ОЗУ многовариантна. Поэтому способы ее решения рассмотрим на некоторых примерах, обратив основное внимание на применение микросхем памяти и режимы управления их работой.

На рис. 4.9 приведена структурная схема блока динамического ОЗУ емкостью 64К байт для 8-разрядных микропроцессорных устройств, реализованных

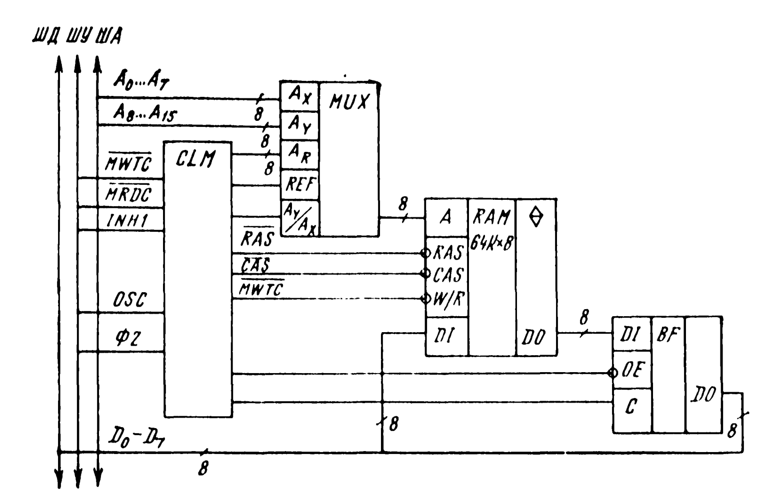


Рис. 4.9. Структура динамического ОЗУ

на комплекте БИС К580. Варианты реализации функциональных узлов приведены на рис. 4.10 и 4.11 [34].

Модуль памяти (рис. 4.10) DD1—DD8 построен на микросхемах К565РУ5 путем соединения их одноименных выводов, кроме информационных. Сигналы $\overline{RAS}$ и $\overline{CAS}$ формирует контроллер ОЗУ CLM (рис. 4.11), сигнал $\overline{MWTC}$ с шины управления подан на вход WR/RD. Для снижения степени рассогласования с ТТЛ управляющими элементами целесообразно подключение всех адресных и управляющих линий ко входам микросхем памяти осуществлять через резисторы сопротивлением 20 ... 30 Ом [29].

Буфер выходных данных DD13 реализован на параллельном 8-разрядном регистре К580ИР82. Он может быть построен также на других микросхемах регистров и магистральных приемопередатчиков, например К580ВА86. Сигналы управления регистром вырабатывает контроллер ОЗУ. Сигнал $\overline{OE}$ управляет выходами: при $\overline{OE}=0$ выходы открыты для считывания, при $\overline{OE}=1$ — переходят в Z-состояние, сигнал CE управляет входами: при CE=1 они открыты для записи, при CE=0 — блокированы.

В рассматриваемом варианте реализации блока ОЗУ буферизованы только его выходные линии. Возможны и другие способы соединения модуля ОЗУ с шиной данных: через буферы входных и выходных информационных линий, как на рис. 4.1, или через магистральный приемопередатчик типа К580ВА86 с объединением информационных входа и выхода каждой микросхемы, как на рис. 4.2.

Мультиплексор DD9—DD12 обеспечивает последовательный во времени ввод адресного кода строк $A_x\{A_0 ... A_7\}$ и столбцов $A_Y\{A_8 ... A_{15}\}$ в модуль ОЗУ. Адресные сигналы поступают на входы K1, K2 и K5, K6 микросхем мультиплексоров (рис. 4.10) и коммутируются на выходы под управлением сигнала (A_Y/A_x) на входе A при наличии на другом управляющем входе B(REF)

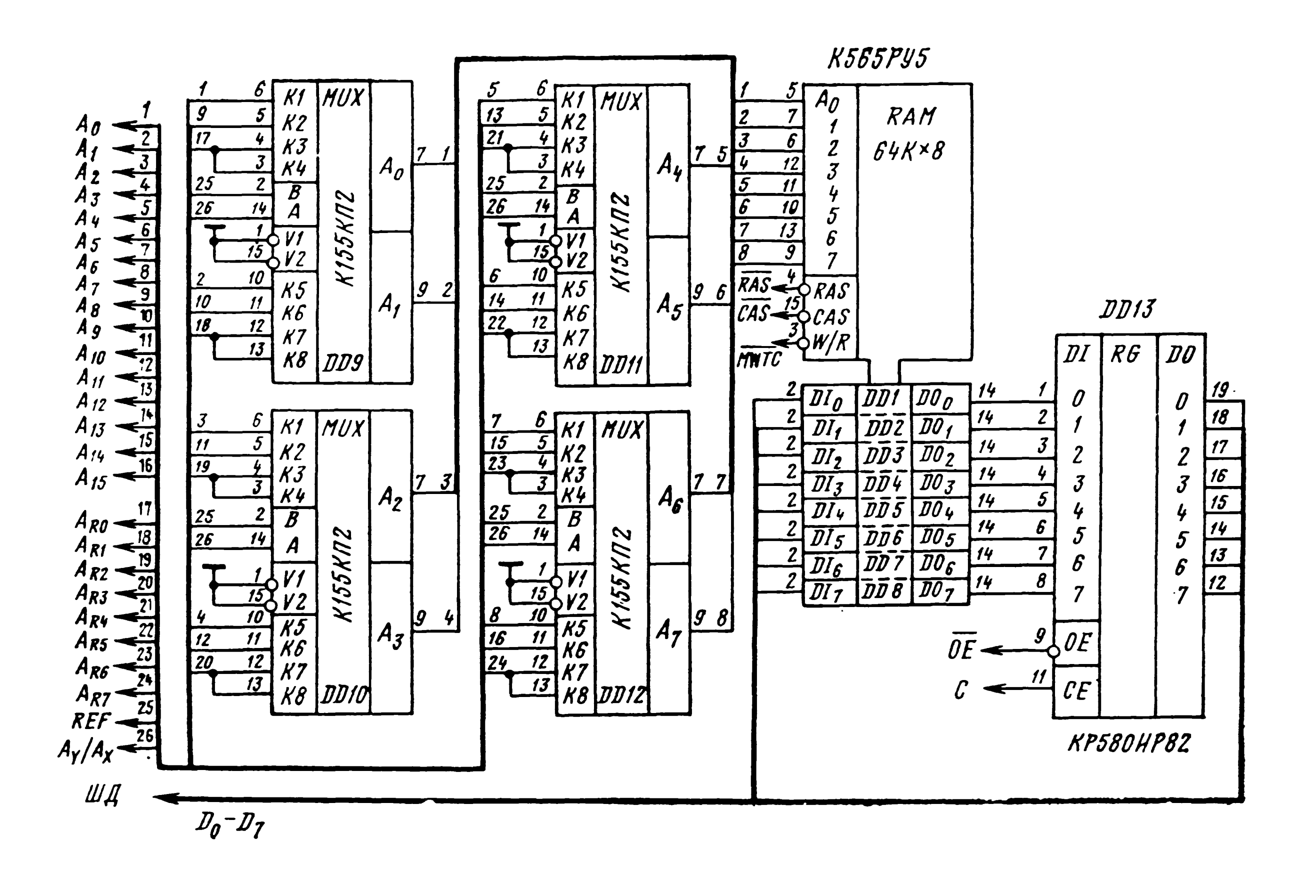


Рис. 4.10. Блок динамического ОЗУ

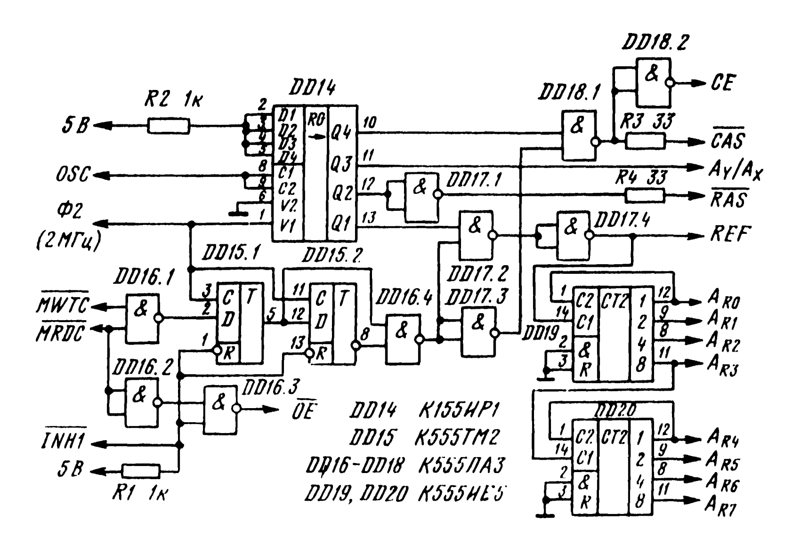


Рис. 4.11. Схема контроллера динамического ОЗУ

уровня 0. Условия коммутации адресных сигналов: при $A_Y/A_X=0$ к выходам подключаются каналы К1, К5 и, следовательно, на адресные входы ОЗУ поступает адрес строк A_X, при $A_Y/A_X=1$ к выходам подключаются каналы К2, К6 и к ОЗУ направляется код адреса столбцов A_Y.

Для управления мультиплексорами контроллер вырабатывает сигналы REF — признак режима регенерации и A_Y/A_X — сигнал мультиплексирования каналов. В режиме регенерации REF=1 мультиплексор коммутирует на выходы при изменении A_Y/A_X каналы К3, К4 и К7, К8. Но так как указанные каналы попарно соединены, то на результат коммутации сигнал A_Y/A_X не влияет: при любых его значениях на выходы мультиплексора поступают адреса регенерации A_R, вырабатываемые счетчиком DD19, DD20 контроллера. Эти сигналы адресуют только строки, сигналы адреса столбцов в этом режиме на адресных входах отсутствуют.

Для реализации мультиплексора кроме К155КП2 могут быть использованы микросхемы К555КП2, К555КП12 без изменения разводки посадочного места на печатной плате [8].

Контроллер ОЗУ (рис. 4.11) включает узел DD14—DD18 формирования сигналов управления модулем ОЗУ и мультиплексором адреса и узел DD19, DD20 формирования 8-разрядного адресного кода регенерации A_{R0}—A_{R7}.

Временные диаграммы формируемых контроллером сигналов управления приведены на рис. 4.12. Задающими являются выходные сигналы генераторной микросхемы КР580ГФ24 OSC с частотой 18 МГц и Ф2 с периодом 0,5 мкс. Входными для контроллера являются также сигналы $\overline{MWTC}$, $\overline{MRDC}$, $\overline{INH1}$, которые поступают из шины управления.

Сигналы управления мультиплексором формирует регистр DD14 и схема управления режимом обращения к модулю ОЗУ на элементах DD15, DD16.

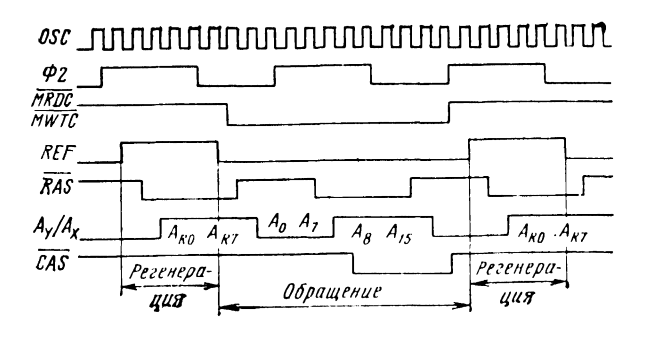


Рис. 4.12. Временны́е диаграммы сигналов управления динамического ОЗУ

При обращении к ОЗУ на выходе DD16.1 появляется сигнал с уровнем лог. 1, который по фронту Ф2 записывается в DD15.1 и появляется на выходе этого триггера. Второй триггер DD15.2 сохраняет свое нулевое состояние, имея на инверсном выходе 1. Поэтому выход DD16.4 переходит в состояние лог. 0 и обеспечивает REF=0, при котором мультиплексор коммутирует на адресные входы ОЗУ адреса строк A_X и столбцов A_Y. Ввод этих адресов в микросхему производят сигналы $\overline{RAS}$ и $\overline{CAS}$, которые формируют регистр DD14 и логические элементы DD17.1, DD18.1 так, чтобы было выполнено требование по временно́му сдвигу сигнала $\overline{CAS}$ относительно $\overline{RAS}$: $t_{SU(RAS-CAS)}$. Значения этого параметра в зависимости от типономинала микросхемы К565РУ5Б — К565РУ5Д лежат в пределах 30 ... 75 нс (табл. 2.34).

Одновременно с указанными сигналами в режиме обращения формируются сигналы CE=1 и $\overline{OE}$=0 (при $\overline{MRDC}$=0), обеспечивающие обмен модуля ОЗУ с шиной через буферный регистр DD13 для записи в ОЗУ (CE=1, $\overline{OE}$=1, выход DD13 отключен) и считывания из ОЗУ (CE=1, $\overline{OE}$=0) информации.

В конце цикла обращения к ОЗУ, как видно из рис. 4.12, контроллер формирует сигнал регенерации REF=1, который через мультиплексор коммутирует выходы счетчика DD19, DD20 на адресные входы ОЗУ и таким образом обеспечивает регенерацию информации в ЭП адресуемой строки каждой микросхемы памяти. По окончании сигнала REF счетчик адреса регенерации переходит в соседнее состояние и формирует на своих выходах адрес следующей строки.

При отсутствии обращения к ОЗУ $\overline{MWTC}$=1, $\overline{MRDC}$=1 или при наличии сигнала запрета $\overline{INH1}$=0 блок ОЗУ работает только в режиме регенерации. С каждым тактом Ф2 контроллер формирует сигналы $\overline{RAS}$, REF и код адреса очередной строки и инициирует работу модуля памяти по циклу регенерации.

Процесс регенерации прекращается при обращении микропроцессора к ОЗУ, и контроллер обрабатывает требование микропроцессора. В конце цикла обращения контроллер переводит блок ОЗУ в режим регенерации, продолжая этот процесс с адреса, на котором он был прерван.

Регенерация, осуществляемая по описанному алгоритму, получила название «прозрачной»: она незаметна для микропроцессора и не снижает скорость об-

работки программ. Условием для применения этого способа является наличие временных интервалов между двумя любыми обращениями микропроцессора к ОЗУ, достаточных для проведения одного цикла регенерации, т. е. регенерации при обращении к модулю ОЗУ по одному адресу.

Алгоритмом работы микропроцессора К580ВМ80 такие интервалы предусмотрены: минимальный цикл между двумя любыми обращениями к памяти состоит из трех тактовых периодов сигнала Ф2. При номинальной частоте 18 МГц генератора К580ГФ24 длительность такта Ф2 равна 0,5 мкс. Если учесть, что на выполнение одного цикла регенерации микросхем К565РУ5Б — К565РУ5Д требуется время 230 ... 460 нс (табл. 2.34), то очевидна возможность реализации в микропроцессорных устройствах на комплекте БИС К580 способа «прозрачной» регенерации.

При этом способе время полной регенерации ОЗУ емкостью 64К слов, рассчитанное с учетом того, что для регенерации по одному адресу в системе отведен один такт Ф2, составит около 200 мкс. Это время много меньше допустимого периода регенерации микросхем серии К565.

Структурная схема блока ОЗУ емкостью 128К байт на микросхемах К565РУ5 приведена на рис. 4.13, а второй вариант реализации контроллера CLM показан на рис. 4.14 [25]. Структура блока ОЗУ ориентирована на 16-разрядный интерфейс И41 и включает два байтовых банка данных, имеющих раздельные входы управления режимом $\overline{W}/R$, два буферных регистра с раздельным управлением разрешения выхода $\overline{OE}$, мультиплексор и контроллер. Мультиплексор, субмодули ОЗУ (банкн), буферные регистры аналогичны приведенным на рис. 4.10. Контроллер (рис. 4.14) отличается от варианта на

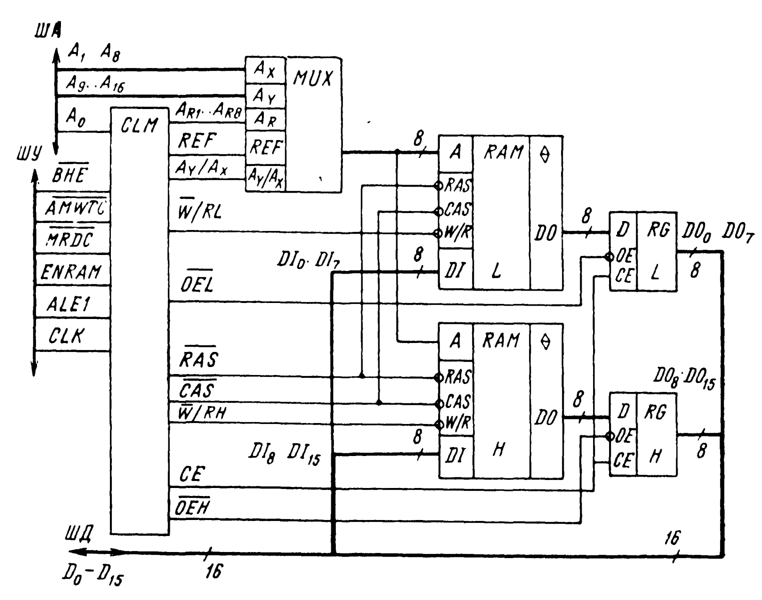


Рис. 4.13. Динамическое ОЗУ с интерфейсом И-41

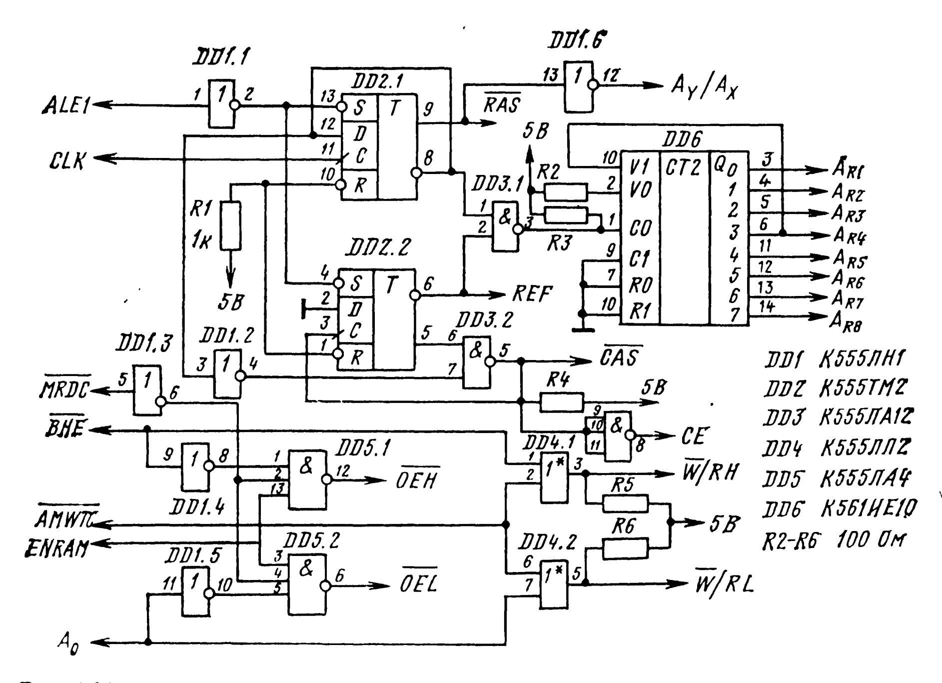


Рис. 4.14. Схема контроллера для блока ОЗУ на рис. 4.13

рис. 4.11 прежде всего наличием формирователей сигналов управления банками ОЗУ $\overline{W}$/RL и $\overline{W}$/RH и буферными регистрами $\overline{OEL}$ и $\overline{OEH}$.

При реализации контроллера по схеме на рис. 4.14 необходимо предусмотреть сопряжение выходов К561ИЕ10 со входами ТТЛ-микросхем с помощью буферного каскада, например, на микросхемах К561ПУ4.

Несколько иначе построены схемы формирования и других управляющих сигналов, но эти отличия не имеют принципиального значения, а введены для расширения конкретных примеров схемотехнических решений по реализации контроллера ОЗУ. Другой вариант контроллера с аналогичными функциями рассмотрен в [20].

Режим обращения к модулю ОЗУ инициируется сигналами ENRAM (разрешения обращения к ОЗУ), ALE1 [задержанный на 60 нс сигнал ALE — строб съема адреса с шины адреса системной магистрали], $\overline{AMWTC}$ (сигнал управления режимом записи данных в ОЗУ, упреждающий на такт аналогичный по назначению сигнал $\overline{MWTC}$), $\overline{MRDC}$ (сигнал управления чтением данных из ОЗУ). Тактовые импульсы CLK генерирует микросхема КР1810ГФ44 с частотой 5 МГц.

Режим адресации ячеек модуля определяют сигналы внешние CLK, ALE1 и формируемые контроллером $\overline{RAS}$, A_Y/A_X, REF (рис. 4.15). С приходом ALE1 триггеры DD2.1, DD2.2 устанавливаются в единичное состояние, что вызывает появление на инверсном выходе DD2.2 REF=0 (запрет регенерации) и на вы-

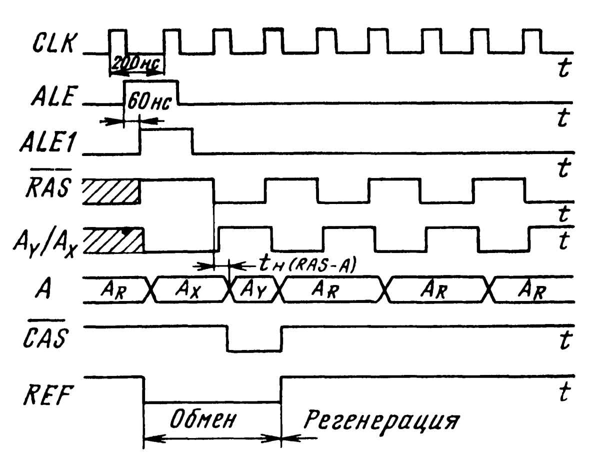


Рис. 4.15. Временные диаграммы сигналов управления блока ОЗУ на рис. 4.13

ходе DD1.6 сигнала $A_Y/A_X=0$ передачи младшего байта $A_1 \dots A_8$ адреса на адресные входы модуля ОЗУ. Заметим, что адресный код $A_0 \dots A_{19}$ и сигнал $\overline{BHE}$ записаны в буферные регистры системной магистрали и выставлены на линии ША и ШУ стробом ALE. В контроллере (рис. 4.14) сигнал ALE1 выполняет также роль строба: он однозначно устанавливает состояние триггеров DD2, фиксируя тем самым начало цикла обмена. Снятие сигнала ALE1 разблокирует триггеры DD2, в результате на выходе DD2,1, работающего в счетном режиме, сформируется сигнал $\overline{RAS}$, обеспечивающий ввод в модуль ОЗУ адреса строк $A_X\{A_1 \dots A_8\}$. На рис. 4.15 показано время удержания адреса A_X относительно сигнала $\overline{RAS}$, оно обеспечено элементом DD1.6 и мультиплексором DD9—DD12 (рис. 4.10) и достаточно для фиксации адреса строк на входном регистре в структуре микросхем памяти. С переключением DD2.1 сигнал A_Y/A_X принимает состояние лог. 1 и на выходы мультиплексора передается адрес столбца $A_Y\{A_9 \dots A_{16}\}$, который вводится в модуль ОЗУ стробирующим сигналом $\overline{CAS}$, формируемым элементом DD3.2.

С окончанием сигнала $\overline{CAS}$ триггер DD2.2 переходит в нулевое состояние, на его инверсном выходе формируется сигнал регенерации REF, переключающий на выходы мультиплексора адресный код регенерации $A_{R1} \dots A_{R8}$, формируемый счетчиком DD6 с частотой следования сигналов $\overline{RAS}$. При регенерации вводится только адрес строк, поэтому в этом режиме $\overline{CAS}=1$.

Режим доступа к модулю ОЗУ и управления его работой обеспечивают сигналы $\overline{BHE}$, A_0, $\overline{AMWTC}$, которые формируют на выходах DD4.1 и DD4.2 сигналы управления режимом банков ОЗУ для записи-считывания старшего байта $\overline{W}/RH$, младшего байта $\overline{W}/RL$ или двухбайтового слова $\overline{W}/RH=\overline{W}/RL$.

Сигналы ENRAM, $\overline{MRDC}$ вместе с $\overline{BHE}$, A_0 формируют на выходах DD5.1, DD5.2 сигналы управления выходами буферных регистров для вывода в режиме чтения байта из L-банка $\overline{OEL}=0$, из H-банка $\overline{OEH}=0$ или обоих банков одно-

временно $\overline{OEL}=\overline{OEH}=0$. Условием выполнения режима обмена является наличие сигнала CE разрешения входа буферного регистра. Этот сигнал формирует DD5.3 из сигнала $\overline{CAS}$.

Как видим, выбор банка памяти производят сигналы $\overline{W}/R$. Часто с этой целью используют сигналы $\overline{CAS}$, формируемые дешифратором старших разрядов адресного кода.

При отсутствии обращения к модулю ОЗУ он работает только в режиме регенерации. Контроллер формирует адреса регенерации, сигналы $\overline{RAS}$, REF и A_Y/A_X.

Регенерация будет производиться до очередного обращения к блоку ОЗУ, когда ALE1 = 1 и контроллер без задержки переходит в режим обмена.

В рассмотренном модуле ОЗУ реализован способ «прозрачной» регенерации. Использование данного способа регенерации существенно затруднено при повышении тактовой частоты микропроцессора или прн конвейерной организации выборки команд, когда длительность интервалов между обращениями к памяти недостаточна для цикла регенерации. В таких случаях реализуют алгоритмы «пакетной» или чаще всего распределенной регенерации. Алгоритм «пакетной» регенерации предполагает выполнение полной регенерацнн микросхемы в непрерывном интервале времени и вывод, таким образом, блока ОЗУ из режима обмена в каждый период регенерации на значительное время. В этом состоит основной недостаток способа [29].

Способ распределенной регенерации состоит в том, что после обращения для регенерации по одному адресу микросхемах открывается для режима обмена. Таким образом повышается степень «прозрачности» блока ОЗУ для микропроцессора.

Рассмотренные варианты построения динамических ОЗУ показывают, что наиболее трудоемкой является задача разработки контроллеров. Поэтому целесообразно использовать уже готовые устройства, изготовляемые в виде микросхем. В частности, для управления динамическим ОЗУ, реализованным на микросхемах К565РУ3, К565РУ6, предназначен контроллер К1801ВП1-030. Эта микросхема выполняет операции приема, хранения и преобразования адреса для ОЗУ, регенерации модуля ОЗУ, осуществляет связь модуля ОЗУ и буфера данных с магистралью МПИ [26].

Некоторое упрощение контроллеров обеспечивают встраиваемые в кристалл динамического ОЗУ функциональные узлы, обеспечивающие проведение регенерации. Например, в микросхеме К565РУ7 встроенный счетчик генерирует адреса регенерации. Для управления этим счетчиком используют режим «$\overline{CAS}$ — перед — $\overline{RAS}$». Таким образом, контроллер блока ОЗУ на микросхемах К565РУ7 может быть построен по рассмотренным структурным решениям с регенерацией сигналом $\overline{RAS}$ путем их некоторого усложнения: увеличения разрядности счетчика регенерации и число каналов мультиплексора [28]. Он может быть построен и по более простой схеме с использованием режима «$\overline{CAS}$ — перед — $\overline{RAS}$» и встроенного в кристалл К565РУ7 счетчика адресов регенерации.

4.4. Блок памяти на микросхемах РПЗУ

Решение практических задач по применению микросхем ПЗУ (МПЗУ, ППЗУ, РПЗУ) включает этап их программирования и этап встраивания в принципиальную схему разрабатываемого устройства. При использовании микросхем МПЗУ и ППЗУ программирование осуществляют предварительно, так что в устройстве эти микросхемы работают только в режимах считывания и хранения и для управления ими достаточно иметь вход для сигнала выбора микросхемы. Многие микросхемы ППЗУ имеют несколько таких входов, что позволяет повысить гибкость управления.

Микросхемы РПЗУ имеют более сложное управление, допускающее их программирование в составе устройства. Эти особенности сказываются на структуре контроллера ПЗУ.

Рассмотрим вопросы применения микросхем РПЗУ для построения блока программируемого ПЗУ, ориентированного на интерфейс И41 [25]. Структура блока (рис. 4.16) включает модуль РПЗУ емкостью 32К байт DD10—DD25 и контроллер, обеспечивающий управление модулем.

Модуль РПЗУ на микросхемах К573РФ5 организован в виде 16 страниц, каждая из которых состоит из двух байтовых банков данных: L содержит младшие байты, H — старшие. Емкость каждого банка определена микросхемой и равна 2К байт.

При построении модуля соединены одноименные адресные входы и выходы программирования (вывод 21) у всех микросхем, входы CS у микросхем в каждой странице и одноименные информационные выводы у микросхем, относящихся к одной группе банков, как показано на рис. 4.16. Адресные линии соединены с линиями ША $A_0 \dots A_{11}$. Причем каждая линия шины нагружена 16 входами, что обусловливает необходимость буферирования ША. Этот вопрос подробно рассмотрен в § 4.1. В данном случае он решается аналогично.

Информационные выводы соединены с одноименными линиями ШД по схеме: выводы микросхем всех L-банков с линиями $D_0 \dots D_7$ шины, H-банков с линиями $D_8 \dots D_{15}$.

Выводы CS микросхем каждой страницы подключены к дешифратору DD7, выводы OE микросхем L-банков подключены к выходам дешифратора DD8, а микросхем H-банков — к выходам дешифратора DD9. Дешифраторы DD7, DD8 и DD9 преобразуют адресный код $A_{12} \dots A_{14}$ в сигналы выбора страницы при считывании слова DD7, L-банка DD8 и H-банка DD9 при записи) программировании).

Кроме указанных дешифраторов в структуру контроллера входят адресное устройство DD1, DD2 и устройство формирования управляющих сигналов для режима записи DD3—DD6, VT1.

Блок памяти может работать в режимах хранения, считывания и программирования. Требования к управляющим сигналам микросхемы К573РФ5 в названных режимах приведены в табл. 3.14. Стирание информации производят облучением кристалла микросхемы УФ лучами с соблюдением требований, указанных в § 3.3.

Для обращения к блоку РПЗУ необходимо совпадение кода адреса блока, установленного перемычками S1—S4, и кода $A_{15} \dots A_{18}$, принятого с линий ША.

12—72

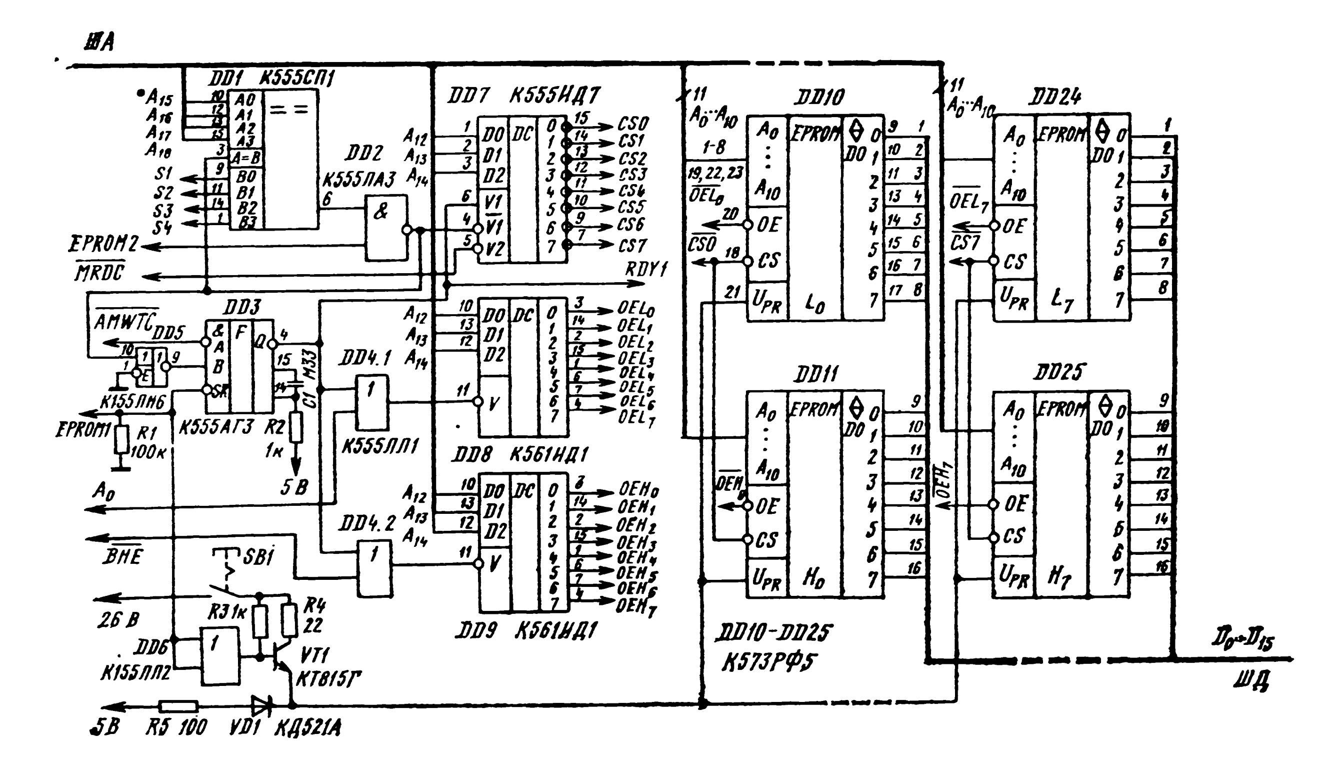


Рис. 4.16. Блок памяти на микросхемах РПЗУ

Выполнение этого условия контролирует компаратор DD1, на выходе которого при совпадении кодов появляется 1. Элемент DD2 анализирует уровень сигнала EPROM2 разрешения обращения к ПЗУ и при EPROM2=1 формирует сигнал разрешения для DD7 и других узлов контроллера.

В режиме считывания при $\overline{MRDC}$=0 DD7 выбирает страницу, формируя сигнал 0 на одном из своих выходов, соответствующем коду $A_{12}...A_{14}$. В это время выходы дешифраторов DD8, DD9 находятся в состоянии 0 из-за блокирующего действия сигнала 1 на их входах. Этот сигнал формирует DD3 при $\overline{AMWTC}$=1 и EPROM1=0 (запрещение обращения к блоку РПЗУ для программирования). Наличие 0 на входах OE всех микросхем означает, что они подготовлены к считыванию информации по выставленному на ША адресу. Но переходят в режим считывания только две микросхемы выбранной страницы.

Блок РПЗУ находится в режиме хранения при отсутствии обращения, когда DD7 закрыт и имеет 1 на всех выходах.

Режим программирования обеспечивают сигналы $\overline{AMWTC}$=0 и EPROM1=1 при выполнении условия обращения к блоку РПЗУ. Контроллер в этом режиме формирует сигналы управления, требования к которым приведены в табл. 3.14. На выходе DD3 формируется отрицательный импульс длительностью 50 мс, задаваемой времязадающими элементами R2, C1. Этот импульс блокирует DD7, обеспечивая тем самым на входах CS всех микросхем уровень 1, и открывает доступ к DD8, DD9 через элементы DD4.1 и DD4.2 сигналам выбора банков: A_0 и $\overline{BHE}$.

При A_0=0 и $\overline{BHE}$=0 дешифраторы DD8, DD9 открыты для формирования сигналов OEL=1 и OEH=1 на одном из своих выходов. Если равен 0 один из сигналов, то на выходе соответствующего дешифратора появится 1 и будет, следовательно, выбран для записи один из банков.

Записываемое слово или байт поступает на информационные выводы микросхем по линиям ШД. Записываются все разряды одновременно в выбранные дешифраторами DD8, DD9 микросхемы при поступлении на вход программирования U_{PR} напряжения 25 В. Это напряжение коммутирует на входы U_{PR} всех микросхем при закрытом ключе SB1 транзистор VT1, открываемый сигналом EPROM1 через элемент DD6. Диод VD1 необходим для развязки цепей напряжений питания 5 В и программирования. Запись длится 50 мс. Для задержки процессора на это время контроллер направляет ему сигнал $\overline{RDY1}$ низкого уровня для подтверждения обмена.

Таким образом, программирование блока РПЗУ встроенными средствами осуществляется в обычном цикле обращения для записи, но с удлинением длительности цикла.

Рассмотренный блок ПЗУ может быть существенно упрощен, если с контроллера снять функцию встроенного программатора. Возможны другие варианты контроллеров, в том числе применение микросхемы К588ВГ2 по способу, показанному на рис. 4.6 [21].

Изменение емкости блока ПЗУ в сторону ее уменьшения не требует изменений в схеме контроллера. При применении микросхем РПЗУ других типов

такие изменения необходимы, поскольку существуют различия управляющих сигналов в режиме программирования.

Наибольший эффект при реализации перепрограммируемой энергонезависимой памяти с минимальными аппаратными средствами позволяет получить микросхема К573РФ3, представляющая собой однокристальный блок РПЗУ емкостью 4К×16 бит. Достаточно сказать, что четыре такие микросхемы способны полностью заменить устройство памяти, приведенное на рис. 4.16, которое для своей реализации требует более 23 микросхем.

Микросхема в своей структуре содержит все функциональные узлы, которые имеет рассмотренный блок РПЗУ. Встроенные интерфейсные средства ориентированы на подключение к 16-разрядной магистрали МПИ без дополнительных элементов сопряжения. Встроенное адресное устройство, эквивалентное по выполняемой функции DD1 на рис. 4.16, но программируемое извне электрическими сигналами, позволяет подключать к магистрали до восьми микросхем и формировать таким образом блоки памяти емкостью до 64К байт.

Свойства и характеристики микросхем К573РФ3 приведены в § 3.3.

4.5. Быстродействующее буферное ОЗУ

Реализация буферного ОЗУ большой емкости и высокого быстродействия для устройств регистрации сигналов сопряжена с трудностями принципиального характера, обусловленными недостаточным быстродействием и сравнительно небольшой емкостью современных микросхем памяти, которые характеризуются следующими значениями частоты обращения к ним для записи или считывания: микросхемы ЭСЛ — не более 100 МГц, *n*МПД — 15 МГц, ТТЛШ — 10 ... 15 МГц, КМДП — 8 МГц. Указанные данные определены как величины, обратные времени цикла записи (считывания) микросхем памяти разных типов. Реальное быстродействие буферного ОЗУ будет ниже из-за задержек сигналов в схемах управления.

Следовательно, для построения буферной памяти с частотой обращения десятки мегагерц наиболее пригодны ЭСЛ-микросхемы ОЗУ. Однако их применение сопряжено со значительным расходом мощности источника питания и с необходимостью согласования с микросхемами других типов по напряжениям питания и логических сигналов.

В работе [42] показана возможность построения быстродействующих буферных ОЗУ на КМДП-микросхемах памяти, которые характеризуются сравнительно невысокой частотой обращения и низким уровнем энергопотребления. В частности, приведены параметры буферного ОЗУ для цифрового регистратора емкостью 24К×12 бит с частотой обращения 50 МГц, построенного на микросхемах К537РУ14А, допускающих адресное обращение с частотой не более 9 МГц.

В основу структурного построения ОЗУ положен принцип его распараллеливания на несколько каналов. Число каналов определяется в основном частотой f_T поступления данных, равной частоте преобразования АЦП, и временем цикла записи (считывания) микросхемы ОЗУ, выбранной для построения буферной памяти: $L=[f_T t_{WR}]$. Полученный результат следует округлить до ближайшего большего целого числа. Таким образом, буферное ОЗУ с частотой

обращения 50 МГц на микросхемах К537РУ14А (время записи 110 нс) должно иметь шестиканальную структуру.

Указанный способ построения буферных ОЗУ высокого быстродействия на микросхемах памяти с низкой частотой обращения может оказаться полезным для многих практических приложений. Поэтому рассмотрим его подробнее на примере задачи построения буферного ОЗУ емкостью 16К×8 бит с частотой записи (считывания) не менее 30 МГц. Для реализации ОЗУ выберем КМДП-микросхему памяти К537РУ14А. Требуемое число каналов ОЗУ равно L = 110 нс · 30 МГц = 4.

Функциональная схема устройства (рис. 4.17), составленная по аналогии со схемой, описанной в [42], содержит следующие основные узлы: модуль памяти DD24—DD55, четырехканальный тракт записи DD7—DD14, тракт считывания DD15—DD23 и модуль управления DD1—DD6.

Модуль памяти построен на 32 микросхемах К537РУ14А по восемь микросхем в каждом канале. Поскольку емкость одной микросхемы 4К×1 бит, то следовательно, в одном канале, может быть записано 4096 восьмиразрядных кодов данных $D_1 \dots D_8$, а в четырех каналах — 16К кодов. У всех микросхем памяти одноименные адресные входы $A_0 \dots A_{11}$ и входы сигналов управления CS, WR/RD соединены и выведены на общие шины.

Тракт записи имеет четырехканальную структуру, которая включает по четыре восьмиразрядных регистра в первой DD7—DD10 и во второй DD11—DD14 ступенях тракта. Таким образом в каждом канале ОЗУ имеется 2 регистра и 8 микросхем памяти. Регистры первой ступени предназначены для записи входных данных $D_1 \dots D_8$. Эти регистры открываются для записи сигналами $C_1 \dots C_4$ последовательно во времени: вначале первый регистр DD7, затем второй DD8 и т. д. Указанная последовательность записи данных в регистры определена временнóй диаграммой сигналов $C_1 \dots C_4$ (рис. 4.18), формируемых модулем управления и получаемых с выходов DD2.

Регистры второй ступени являются буферными и предназначены для приема данных одновременно из всех четырех входных регистров по единому сигналу C_5, формируемому DD5. После записи данных в буферные регистры входные регистры могут принимать новую информацию.

Тракт считывания включает восемь мультиплексоров DD15—DD22 и выходной восьмиразрядный регистр DD23. Число мультиплексоров определяется разрядностью кода данных $D_1 \dots D_8$, а число входов каждого мультиплексора — числом каналов L.

Соединение входов мультиплексоров с выходами модуля памяти осуществлено так, что на входы первого мультиплексора поступают первые разряды D_1 кодов данных всех каналов, на входы второго мультиплексора — вторые разряды D_2 и т. д. Одноименные адресные входы A_1, A_0 всех мультиплексоров соединены общей шиной.

Разрядность выходного регистра хранения определяет разрядность считываемого кода. Регистр имеет динамический вход управления C для исключения сбоев из-за быстрой смены сигналов на его информационных входах.

Модуль управления включает следующие элементы и функциональные узлы: формирователь DD1, DD2 сигналов управления $C_1 \dots C_4$ для регистров первой ступени тракта записи и адресных сигналов A_1, A_0 для мультиплексоров тракта

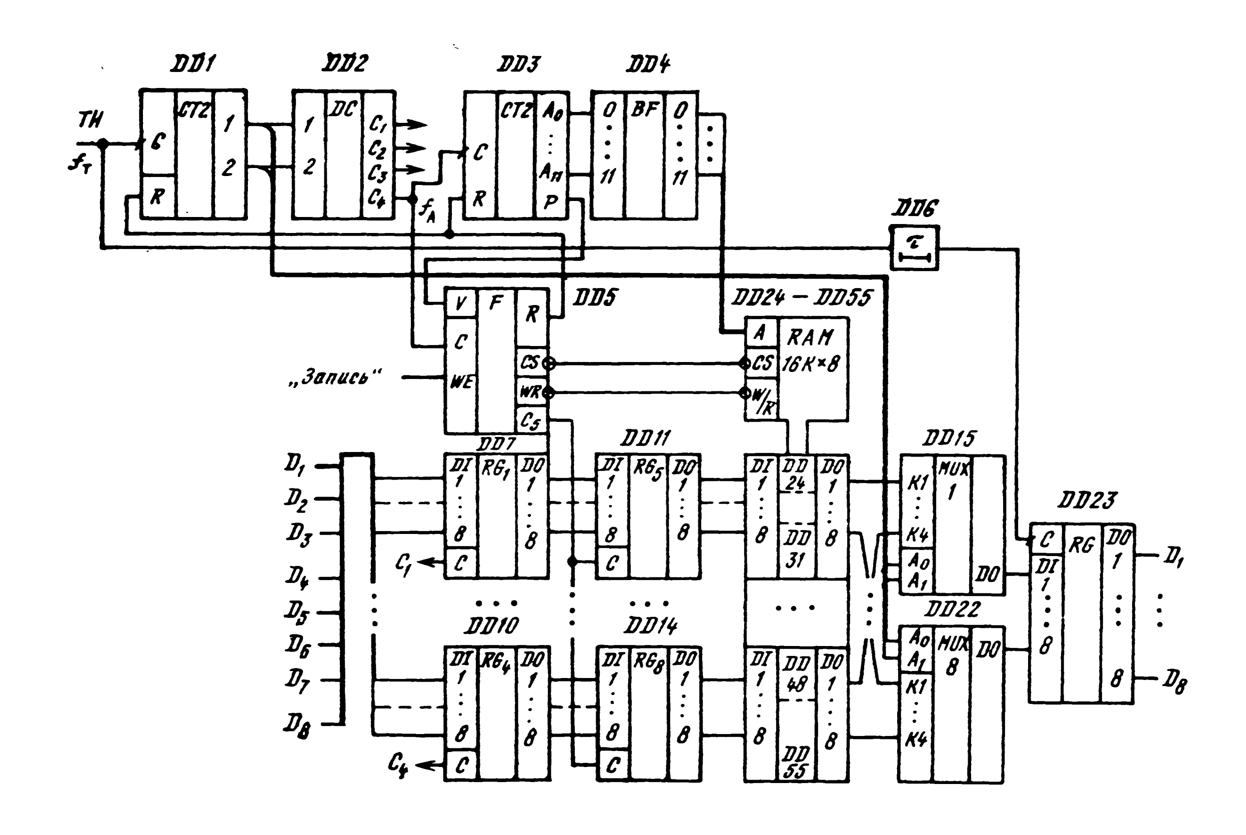


Рис. 4.17. Быстродействующее буферное ОЗУ с многоканальным трактом записи

Рис. 4.18. Временные диаграммы сигналов буферного ОЗУ

считывания, формирователь DD3, DD4 адресных сигналов $A_{11} \ldots A_0$ для модуля памяти; формирователь DD5 сигналов управления C_5 для буферных регистров тракта записи, $\overline{CS}$ и $\overline{WR}/RD$ — для модуля памяти, R — для приведения в нулевое состояние счетчиков DD1, DD3; элемент задержки DD6 тактовых импульсов (ТИ) с частотой f_T в цепи управления выходным регистром DD23.

Формирователь сигналов управления входными регистрами построен на двоичном счетчике DD1 и дешифраторе DD2. Счетчик работает с частотой ТИ f_T и проходит последовательно четыре состояния от 00 до 11. Эти состояния преобразуются дешифратором в серию сигналов $C_1 \ldots C_4$ с пространственно-временным разделением. Длительность каждого из сигналов равна периоду следования ТИ. С выходов счетчика снимается двухразрядный адресный код для мультиплексоров, под воздействием которого происходит коммутация того или иного входа мультиплексора на его выход. Поскольку смена адресного кода определяется частотой f_T, то к быстродействию мультиплексоров следует предъявить требование исходя из условия, чтобы задержка в появлении информационного сигнала на выходе с момента поступления адресного кода не превышала времени $1/f_T$.

При реализации формирователя необходимо учесть также значительную нагрузку на выходы счетчика DD1 из-за объединения одноименных адресных входов всех мультиплексоров. Возможно, потребуется включение на выходе счетчика дополнительного буфера с повышенной нагрузочной способностью.

Формирователь адресного кода для модуля памяти состоит из счетчика DD3 и буфера DD4. Счетчик имеет разрядность, равную разрядности адресного кода микросхем ОЗУ. В частности, для выбранной микросхемы КР537РУ14А необходим 12-разрядный код адреса $A_{11} \ldots A_0$. Входные сигналы счетчика снимаются с последнего выхода дешифратора и поэтому имеют частоту следования, равную $f_A = f_T/L$, т. е. в нашем примере 7,5 МГц. При переполнении счетчик вырабатывает сигнал переноса P, которым через формирователь DD5 осуществляется перевод буферного ОЗУ из режима записи в режим считывания изменением значения сигнала $\overline{WR}/RD$ с 0 на 1. Одновременно осуществляется обнуление счетчиков DD1, DD3 сигналом R.

Буфер DD4 служит для согласования адресной шины с выходами счетчика по емкости и току нагрузки. Необходимость в буфере обусловлена объединением одноименных адресных входов микросхем памяти и значительным увеличением вследствие этого нагрузки на выходы счетчика.

Формирователь DD5 выполняет несколько функций: во-первых, осуществляет запуск всего буферного ОЗУ по сигналу «Запись», с подачей которого обнуляются счетчики DD1, DD3 и формируется сигнал записи $\overline{WR}/RD=0$ на длительность всего цикла записи; во-вторых, формирует сигнал управления C5 для буферных регистров с частотой следования f_A (рис. 4.18), в-третьих, формирует сигнал $\overline{CS}$ в каждом периоде следования сигналов C_5, в-четвертых, переводит буферное ОЗУ в режим считывания по окончании цикла записи, т. е. при завершении перебора счетчиком DD3 всех адресов модуля памяти.

Выходы формирователя должны иметь достаточную нагрузочную способность, чтобы обеспечить управление объединенными входами микросхем памяти W/R и CS.

Буферное ОЗУ работает следующим образом. С поступлением импульса «Запись» устройство переводится в режим записи. Информация в виде кода данных $D_1 \dots D_8$, поступающая с выходов АЦП с частотой f_T, последовательно записывается во входные регистры. Затем сигналом C_5 открываются для информации все буферные регистры второй ступени. Далее информация переписывается в модуль памяти.

Цикл записи определяется перебором всех адресов ячеек памяти и имеет длительность $T_{WR}=t_{WR}\cdot 2^m$, где t_{WR} — длительность цикла записи данных в микросхему памяти по одному адресу, m — разрядность адресного кода модуля памяти. В нашем примере $t_{WR}=110$ нс, $m=12$ и, следовательно, $T_{WR}=$ $=1{,}3$ мкс.

По окончании цикла записи формируется сигнал переноса P и формирователь DD5 переводит ОЗУ сигналом $\overline{WR}/RD=1$ в режим считывания. Модуль управления в цикле считывания работает так же, как в цикле записи. Коды данных через мультиплексоры поступают в выходной регистр с частотой f_T.

Поскольку частота адресования модуля памяти меньше, чем f_T, на число $L=4$, то за один интервал обращения к памяти в тракте чтения осуществляется мультиплексирование всех четырех каналов. Длительность цикла считывания равна длительности цикла записи.

Таким образом, буферное ОЗУ, построенное на микросхемах памяти с частотой обращения не более 8 МГц, допускает запись и считывание данных с частотой более 30 МГц. Путем незначительных изменений в схеме устройства можно обеспечить считывание данных с более низкой частотой, чем частота записи, что может оказаться необходимым при сопряжении быстродействующего АЦП и микропроцессора с невысоким быстродействием.

Схема буферного ОЗУ обладает свойством наращивания разрядности путем добавления микросхем памяти в каждом канале и соответствующего числа мультиплексоров, а также увеличения разрядности выходного регистра.

Для повышения частоты обращения к буферному ОЗУ следует увеличить число каналов в соответствии с соотношением $L=f_T/f_A$. Например, обращаясь к задаче создания буферного ОЗУ с частотой обращения до 150 МГц, можно

сделать следующие оценки возможностей по реализации такого ОЗУ на современных микросхемах памяти. Если применить ЭСЛ (серия К1500) микросхемы с временем обращения 10 ... 15 нс, то понадобится устройство памяти с двух-, трехканальным трактом записи. При использовании КМДП-микросхем с временем обращения 100 нс (серия К537) и МДП-микросхем с временем обращения 50 нс (серия К132) тракт записи должен иметь 14 и 7 каналов соответственно.

Таким образом, применение метода распараллеливания тракта записи данных позволяет реализовать буферное ОЗУ с частотой обращения до 150 МГц и более на современных отечественных микросхемах памяти.

4.6. Буферное ОЗУ с переменной структурой

Для сопряжения устройств по скорости передачи и приема данных можно использовать буферное ОЗУ, которое способно изменять свою структуру в зависимости от режима работы. Например, буферное ОЗУ между источником информации, выдающим данные в последовательном коде с частотой f_1, и приемником информации с тактовой частотой приема данных $f_2 \gg Kf_1$, представленных также последовательным кодом, может быть реализовано на основе блока памяти и выходного K-разрядного параллельно-последовательного регистра (рис. 4.19, *а*) [42].

Блок памяти имеет одноразрядную организацию в режиме записи и K-разрядную в режиме считывания, где K=f2/f1. Управление структурой блока памяти осуществляют сигналом $\overline{WR}$/RD. В режиме записи при $\overline{WR}$/RD=0 последовательный код данных поступает на вход DI с частотой следования сигналов f_1. В каждом такте длительностью $1/f_1$ изменяется код адреса $A_0 ... A_{m-1}$ и на его вход DI поступает для записи один бит информации. Емкость блока памяти равна $2^m \times 1$ бит, где m — разрядность адресного кода.

В режиме считывания при $\overline{WR}$/RD=1 организация блока памяти преобразуется в K-разрядную. Частота адресного обращения для считывания информации сохраняется той же, что и при записи, т. е. f_1. Однако информация считывается в виде K-разрядного слова $DO_1 ... DO_K$. Требование к быстродействию блока памяти определяется соотношением $t_{CY} < 1/f_1$.

Регистр сдвига имеет K разрядов, K входов для записи параллельного кода данных и один выход для считывания данных последовательным кодом. Входы регистра соединены с выходами блока памяти. Выход регистра является выходом буферного ОЗУ. Запись в регистр осуществляют сигналами F_1, поступающими на вход WE с частотой f_1, а считывание — сигналами F_2 на входе C регистра с частотой следования f_2, в K раз более высокой, чем частота записи f_1. Отсюда вытекает требование к быстродействию регистра: средняя задержка распространения сигнала через один разряд должна быть меньше длительности такта считывания, т. е. $t_{PAV} < 1/f_2$.

Функциональная схема буферного ОЗУ приведена на рис. 4.19, *б*. Блок памяти состоит из K модулей ОЗУ $RAM_1 ... RAM_K$, дешифратора DD1 и мультиплексора DD2. Счетчик DD3 служит для формирования адресных сигналов для блока памяти под воздействием сигналов F_1 с частотой следования f_1.

Число модулей ОЗУ должно быть равно K. Каждый из них может быть построен на одной или нескольких микросхемах памяти так, чтобы общая

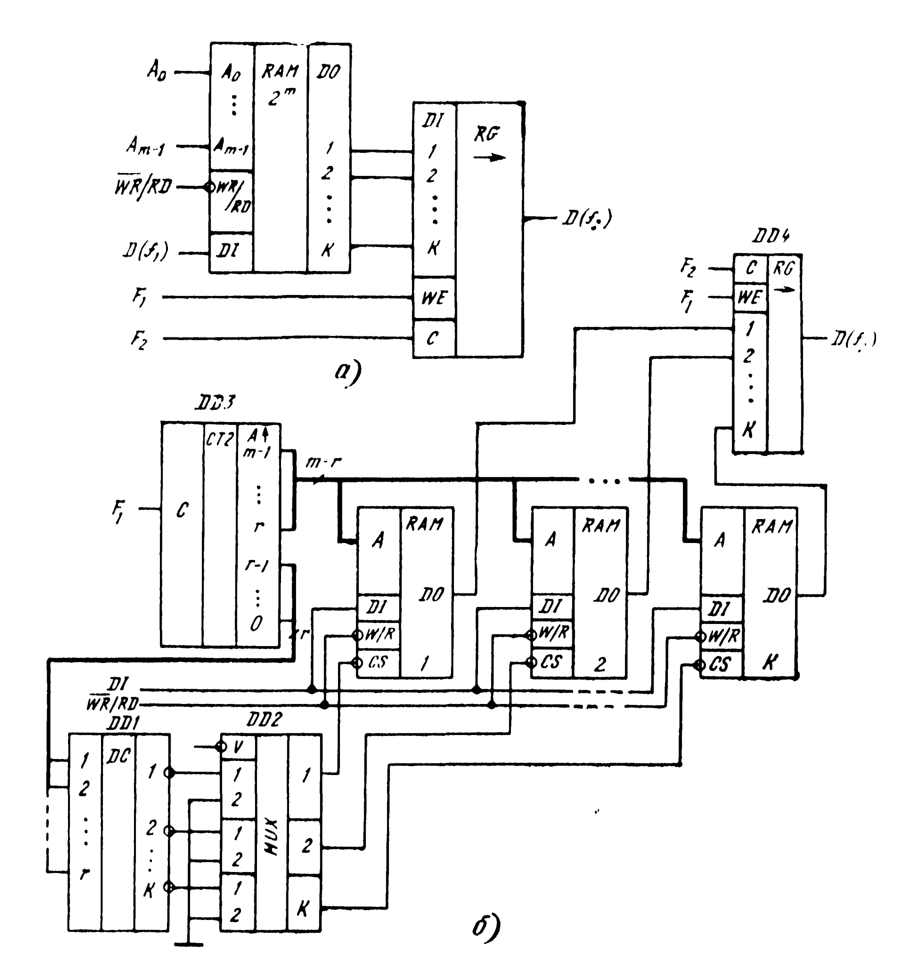


Рис. 4.19. Буферное ОЗУ с переменной структурой:
а — структурная схема; б — функциональная схема

информационная емкость модуля была не меньше $M_{БЗУ}/K$, где $M_{БЗУ}$ — информационная емкость буферного ОЗУ, задаваемая среди исходных показателей для разработки.

Информационные входы модулей объединены в один DI, так что данные поступают на все модули одновременно. Соединены также входы для управляющих сигналов $\overline{WR}/RD$ и одноименные входы адресных сигналов. Сигналы выбора $\overline{CS}$ формируются для каждого модуля дешифратором DD1 адресных сигналов $A_0 \dots A_{r-1}$, составляющих группу из r младших разрядов кода адреса буферного ОЗУ. Информационный выход каждого модуля соединен с соответствующим входом регистра сдвига DD4.

Преобразование структуры блока памяти осуществляет мультиплексор DD2 под воздействием сигнала WR/RD. Мультиплексор может быть представлен двухканальной структурой с K разрядами в каждом канале и с K-разрядным выходом, т. е. 2(K)—1(K). Равнозначным будет представление функционального узла DD2 в виде K двухканальных мультиплексоров с общим входом V для сигнала управления, как показано в функциональной схеме буферного ОЗУ. При $\overline{V}=0$ на выход в каждом мультиплексоре коммутируется канал 1, а при $\overline{V}=1$ — канал 2. К первому каналу подключен выход дешифратора DD1, ко второму — корпус.

В режиме записи сигналом $\overline{WR}/RD=0$, подаваемым на вход мультиплексора, выходы дешифратора DD1 подключаются ко входам CS модулей памяти. При переборе адресов $A_0 \dots A_{r-1}$ от нулевого до конечного поочередно открываются для записи первый модуль, затем второй и т. д. Входная информация при этом заносится в модули побитно так, что два соседних разряда входной кодовой последовательности размещаются в соседних модулях в элементах памяти с одним адресом.

В режиме считывания сигнал $\overline{WR}/RD=1$, поданный на вход V мультиплексора, коммутирует на входы CS всех модулей нулевой потенциал, обеспечивая тем самым доступ к ним для считывания данных по всем K выходам одновременно.

Считываемые данные записываются в выходной регистр по сигналам F_1 с тактовой частотой f_1. Затем они считываются с выхода регистра побитно последовательно во времени по сигналам F_2 с тактовой частотой $f_2=Kf_1$.

Адресный m-разрядный код буферного ОЗУ $A_0 \dots A_{m-1}$ разделен на две части: r младших разрядов $A_0 \dots A_{r-1}$ адресуют модули $RAM_1 \dots RAM_K$, а m—r старших разрядов $A_r \dots A_{m-1}$ адресуют элементы памяти в модуле.

Работает буферное ОЗУ в двух режимах: в режиме записи кодовой последовательности при переборе адресов в естественном порядке их следования с тактовой частотой f_1 до заполнения накопителей всех модулей и в режиме считывания этой последовательности с тактовой частотой f_2. Считывание осуществляется в два этапа: вначале данные считываются с выходов блока памяти параллельным K-разрядным кодом с тактовой частотой f_1 в регистр сдвига, затем записанный в регистр код считывается с его выхода с частотой f_2. Освобожденный регистр в следующем цикле адресного обращения к блоку памяти вновь заполняется K-разрядным кодом данных, который затем считывается и т. д. до освобождения накопителей модулей памяти.

Очевидно, в общем случае требование перебора адресных кодов в естественном порядке их возрастания не является обязательным. Однако для некоторых применений это требование выполняется, например при реализации полнографических средств отображения информации телевизионного типа. В буферное ОЗУ таких средств информация заносится побитно для каждой точки информационного поля и в таком же порядке считывается, поступая на вход видеоусилителя канала.

Последовательность разработки буферного ОЗУ с переменной структурой включает следующие этапы:

1. Формирование исходных данных, в частности, определение информационной емкости буферного ОЗУ $M_{БЗУ}$, частоты поступления входной последовательности данных f_1, частоты f_2 считывания выходной последовательности данных.

2. Предварительный расчет структурной схемы ОЗУ:

а) определение числа модулей памяти разрядности выходного регистра, числа выходов дешифратора и мультиплексора: $K=f_2/f_1$;

б) расчет информационной емкости одного модуля памяти: $M_{RAM}=M_{БЗУ}/K$;

в) определение разрядности адресного кода и его составных частей: $m=\log_2 M_{БЗУ}$, $r=\log_2 K$, $m-r=\log_2 M_{RAM}$.

3. Выбор микросхем памяти и разработка модуля памяти:

а) определение требований к емкости и времени цикла обращения: $M_{мс}<<M_{RAM}$; $t_{CY}<1/f_1$;

б) выбор микросхем статических или динамических ОЗУ по значениям основных параметров: времени цикла, емкости и потребляемой мощности;

в) расчет числа выбранных микросхем памяти в одном модуле ОЗУ: $K_{мс}=M_{RAM}/M_{мс}$;

г) разработка схемы модуля ОЗУ при необходимости его построения на нескольких микросхемах памяти;

д) определение алгоритма работы модуля ОЗУ в режимах записи и считывания.

По данному этапу целесообразно сделать некоторые пояснения. При выборе микросхем памяти следует принять во внимание, что модули памяти могут быть реализованы на микросхемах статических и динамических ОЗУ. При использовании микросхем динамических ОЗУ следует учитывать особенности управления режимом их работы: мультиплексирование адресного кода, наличие двух стробирующих сигналов $\overline{RAS}$ и $\overline{CAS}$, обеспечивающих доступ к микросхеме по адресным входам, возможность использования сигнала $\overline{RAS}$ в качестве сигнала выбора микросхемы, аналогичного по значению сигнала $\overline{CS}$ микросхемы статического ОЗУ, необходимость обеспечения регенерации хранимой информации в течение определенного техническими условиями времени — периода регенерации. Указанные особенности обусловливают усложнение рассмотренного схемотехнического решения (рис. 4.19, *б*), ориентированного на микросхемы статических ОЗУ. Но надо иметь в виду, что информационная емкость микросхем динамических ОЗУ значительно выше, чем микросхем статических ОЗУ (см. табл. 2.2), и поэтому при построении ОЗУ с большой информационной емкостью им отдают предпочтение.

При выборе микросхем статических ОЗУ надо учитывать режим доступа к ним: асинхронный или тактируемый. Этот вопрос подробно рассмотрен в § 2.1. Здесь уместно напомнить, что при асинхронном доступе сигнал выбора $\overline{CS}$ можно подавать как уровнем, так и импульсом, а при тактируемом доступе — только импульсом. Практически последнее условие означает, что при каждом адресном обращении должно быть обеспечено изменение состояния сигнала на входе CS микросхемы памяти. Обратившись к функциональной схеме буферного ОЗУ (рис. 4.19, *б*), заметим по этому поводу, что в ней указанное условие выполнено, поскольку сигналы выбора $\overline{CS}$ дешифратор DD1 формирует при

изменении младших разрядов адресного кода. Поэтому при возможности реализации модуля на одной микросхеме памяти она может быть выбрана как из группы асинхронных, так и из группы тактируемых микросхем статических ОЗУ (табл. 2.1).

При построении модуля на нескольких микросхемах появляется необходимость в дешифраторе выбора микросхем, на входы которого подают младшие или старшие разряды адресного кода модуля.

Число выходов дешифратора определяется числом $K_{мс}$ микросхем памяти в модуле, а число входов — выражением $\log_2 K_{мс}$. Для сопряжения модуля со схемой управления буферного ОЗУ, т. е. с мультиплексором DD2 и дешифратором DD1, дешифратор выбора микросхем памяти должен иметь вход E для сигнала управления, выполняющий функции входа CS для сигнала доступа к модулю.

4. Выбор микросхем дешифратора, мультиплексора, регистра сдвига:

а) при выборе микросхемы дешифратора следует учитывать требования к числу входов r и выходов K, к форме представления выходных сигналов (прямая или инверсная) в зависимости от типа входа CS микросхем памяти;

б) при выборе микросхемы мультиплексора надо учитывать, что для рассматриваемых ОЗУ требуются двухканальные мультиплексоры, число которых определяется числом модулей памяти K, поэтому желательно иметь микросхему, содержащую несколько таких мультиплексоров; например, в состав многих серий входят микросхемы двухканальных мультиплексоров с четырехразрядными каналами, т. е. 2(4)—1(4). Такая микросхема может быть представлена как содержащая четыре двухканальных мультиплексора с одноразрядными каналами, т. е. 4(2—1);

в) при выборе микросхемы регистра надо исходить из требований к его разрядности K, быстродействию $t_{PAV} < 1/f_2$, к структуре (параллельно-последовательного типа) и к совместимости с микросхемами памяти.

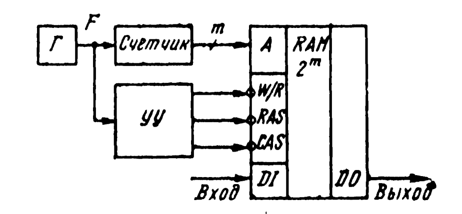
4.7. Устройство задержки цифровых сигналов

Микросхемы памяти статического и динамического типа с одноразрядной организацией можно эффективно использовать для выполнения функции задержки цифровых сигналов. Принцип построения такого устройства на микросхемах динамического ОЗУ иллюстрирует рис. 4.20.

Собственно элементом задержки является микросхема ОЗУ или несколько микросхем, объединенных для увеличения емкости. Для обеспечения работы микросхемы памяти необходимы генератор тактовых импульсов, двоичный счетчик и другие узлы для формирования адресных и управляющих сигналов.

Генератор и двоичный счетчик формируют последовательность адресных кодов с тактовой частотой F и, следовательно, с периодом их следования $T = 1/F$. Синхронно с адресным кодом формируются сигналы управления. Микросхема должна работать в режиме «считывание — модификация — запись», при котором по одному адресу считывается бит информации и затем производится запись нового бита, поступившего на вход микросхемы. Таким образом, цифровые сигналы, записанные в накопитель при одном переборе всех адресов 2^m, где m — разрядность адресного кода, будут считаны из него при следующем переборе адресов. Время заполнения накопителя $2^m \cdot T_ц$ и составляет время

Рис. 4.20. Устройство задержки цифровых сигналов на микросхемах динамического ОЗУ



задержки цифровых сигналов микросхемой памяти. Временем задержки можно управлять, изменяя емкость накопителя и тактовую частоту.

Вариант реализации устройства задержки на микросхемах К565РУ6 приведен на рис. 4.21 [10, 56]. Четыре микросхемы памяти DD15—DD18 объединены в модуль емкостью 64К бит. Модуль может быть запрограммирован на четыре значения времени задержки с помощью дешифратора DD14 двух старших разрядов адресного кода A_{15}, A_{16} и переключателя SA1.

Формирование адресных сигналов $A_1 \dots A_{16}$ осуществляет двоичный счетчик DD6—DD9, причем в зависимости от положения переключателя SA1 два старших разряда могут принимать различные значения: при положении 4 счетчик формирует полный набор комбинаций 16-разрядного адресного кода. В этом режиме дешифратор DD14, имея на своих входах A, B все возможные комбинации сигналов A_{15}, A_{16}, формирует последовательно стробы $\overline{CAS}$ для всех четырех микросхем памяти. Таким образом используется вся емкость модуля ОЗУ и тем самым обеспечивается наибольшая длительность задержки сигналов. В другом крайнем положении 1 переключателя адресные сигналы A_{15}, A_{16} имеют нулевые значения и не участвуют в формировании адресных кодов Поэтому сигнал выбора микросхемы формируется только на одном выходе дешифратора DD14 (вывод 7). Следовательно, в формировании длительности задержки участвует только одна микросхема памяти DD15 емкостью 16К бит. Промежуточные положения 3 и 2 переключателя SA1 обеспечивают включение в режим формирования задержки трех и двух микросхем соответственно.

Генератор на элементах DD1.1 и DD1.2 формирует колебания с частотой 4 МГц, которые счетчиком DD2 преобразуются в четыре последовательности импульсов с частотами 2; 1 МГц; 500 и 250 кГц. Последовательность импульсов с частотой 250 кГц является входной для адресного формирователя DD6—DD9 и формирователя сигнала $\overline{RAS}$ на R5, C3, C4 и DD4.1, задержанного на 200 нс относительно сигнала тактовой частоты для обеспечения надежной записи адреса в микросхему памяти. При использовании других микросхем в рассматриваемых функциональных узлах необходимо в расчет задержки сигнала $\overline{RAS}$ принимать требуемое значение временного параметра $t_{H(RAS-A)}$ микросхемы памяти (табл. 2.34).

Импульсные последовательности 250 и 500 кГц используются для формирования сигнала $\overline{WR}$/RD (DD4.2, DD3.4, DD4.3) и тактового сигнала для выходного буферного триггера DD17.

Адресный код подводится к микросхемам памяти через мультиплексор DD10—DD13.1, управляемый сигналами, которые формируют элементы DD3.3

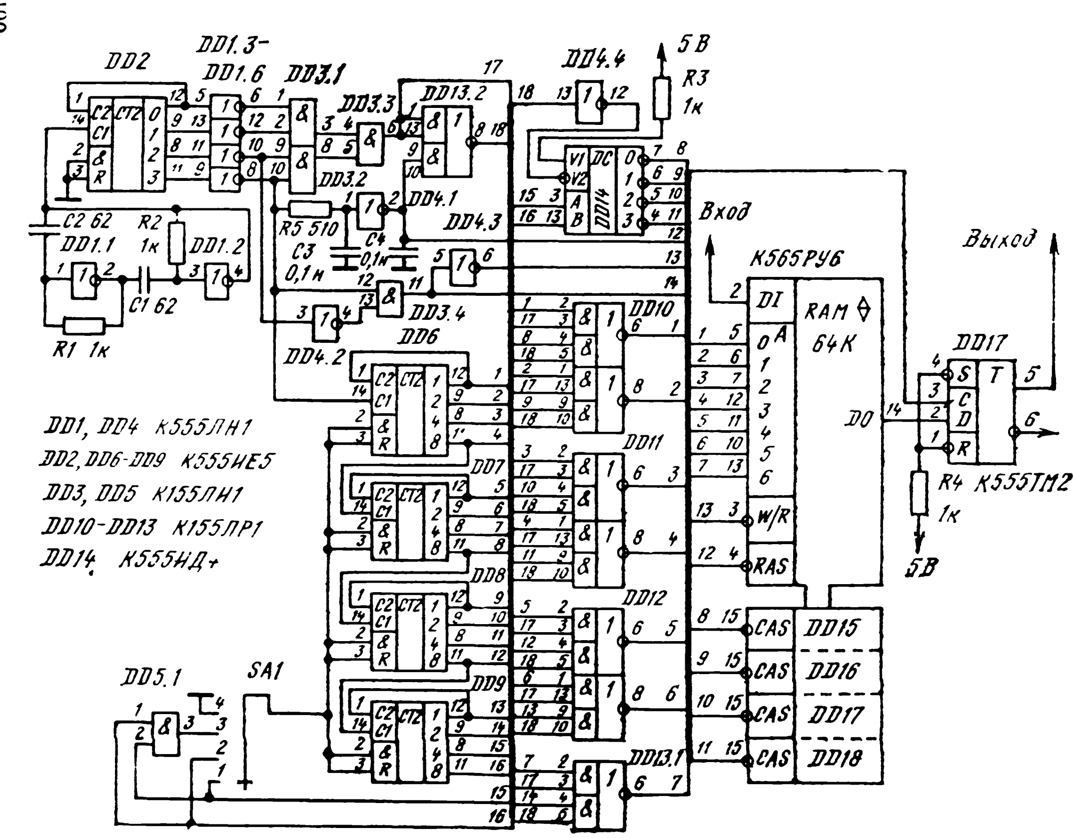


Рис. 4.21. Устройство задержки цифровых сигналов на микросхемах статических ОЗУ

и DD13.2. Вначале в микросхемы памяти вводится адрес строки $A_1 ... A_7$, сопровождаемый сигналом $\overline{RAS}$, затем адрес столбца $A_8 ... A_{14}$, сопровождаемый сигналом $\overline{CAS}$ при активном уровне сигнала $\overline{RAS}$. Сигнал $\overline{CAS}$ здесь является и сигналом выбора микросхемы.

Регенерация содержимого микросхем памяти происходит в каждом цикле обращения. Длительность цикла 4 мкс. Следовательно, адресация всех строк микросхем осуществляется за время 0,5 мс, что значительно меньше максимально допустимого периода регенерации, равного 1 или 2 мс в зависимости от типа микросхемы (табл. 2.34).

Возможности рассмотренного устройства по задержке цифровых сигналов определяются положением переключателя SA1 и составляют 65,5; 131; 196,6; 262 мс при положениях от 4 до 1 соответственно. Очевидно, эти возможности могут быть легко расширены увеличением числа микросхем памяти и введением соответствующих изменений в схему контроллера: увеличением разрядности счетчика-формирователя адресов, дешифратора DD14 и числа позиций переключателя SA1.

Применение описанного устройства особенно эффективно при необходимости формирования длительных задержек, когда применение регистровых цепей становится нецелесообразным по ряду причин, в том числе из-за повышенной опасности сбоев. Действительно, для выполнения функций описанного устройства понадобятся регистровые линейки, состоящие из более чем 65 тыс. разрядов.

Среди возможных применений программируемых устройств задержки на микросхемах памяти интерес может представить реализация на их основе эффекта реверберации звука [10].

4.8. Многоразрядные регистры сдвига на микросхемах ОЗУ

Микросхемы статических ОЗУ, имеющие словарную организацию, позволяют получать эффективные решения по реализации функций многоразрядных регистров сдвига. Наиболее подходящими для этой цели являются микросхемы ОЗУ с тактируемой записью и асинхронным считыванием, такие как КР531РУ11. Основные свойства этой микросхемы рассмотрены в § 2.4. Здесь лишь отметим, что запись данных при $\overline{WR}=0$ происходит по положительному перепаду тактового сигнала C. Спустя время удержания адресных сигналов относительно сигнала C $t_{H(C-A)}=15$ нс они могут быть изменены.

В режиме считывания при RD=1 выборка четырехразрядного слова производится адресным кодом при наличии сигнала разрешения выхода $\overline{OE}=0$. Сигналы $\overline{WR}$ и C в этом режиме могут иметь произвольные состояния.

Принципиальная схема цифрового узла с функциями 64-разрядного последовательного регистра сдвига приведена на рис. 4.22 [54]. Она включает микросхему памяти DD1 (КР531РУ11) с организацией 16×4 бит, счетчик-формирователь адресного кода DD2 (К555ИЕ19) и инвертор DD3 (К555ЛН1). Выходы микросхемы ОЗУ соединены с ее информационными входами по схеме:

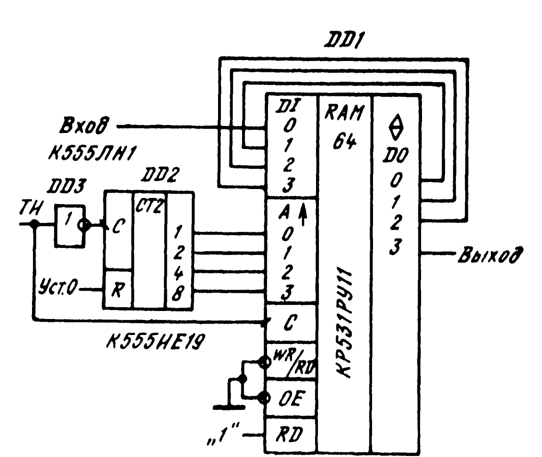


Рис. 4.22. Многоразрядный регистр сдвига на микросхемах статических ОЗУ

$DO_0=DI_1$, $DO_1=DI_2$, $DO_2=DI_3$. Входом регистра является вход микросхемы DI_0, а его выходом — DO_3. Кроме основного выхода в устройстве могут быть использованы промежуточные выходы DO_0, DO_1, DO_2, размещенные по структуре эквивалентного регистра через 16 разрядов. Импульсы сдвига (тактовые импульсы ТИ) подают на вход С. Одновременно эти импульсы воздействуют на вход счетчика DD2, обеспечивая циклический перебор адресных кодов. Микросхема ОЗУ установлена в режим, допускающий запись и считывание данных: $\overline{WR}=0$, $\overline{OE}=0$, RD=1. Поэтому при записи данных по установленному адресу они через время выборки $t_{A(A)}$ появятся на выходах микросхемы.

Алгоритм работы цифрового узла построен на разделении во времени циклов записи и считывания данных за счет задержки формирования очередного адресного кода счетчиком DD2 относительно момента поступления ТИ. Для пояснения рассмотрим процессы в схеме узла на нескольких тактах его работы.

Допустим, что в исходном состоянии все ячейки накопителя обнулены, на выходах микросхемы DD1 данные имеют состояние лог. 0, на адресных входах присутствует адресный код первой ЯП накопителя $A_3 \dots A_0=0000$. На вход регистра подан первый бит данных D_1, следовательно, на информационных входах $DI_0 \dots DI_3$ микросхемы DD1 находится код D_1000.

С приходом первого ТИ в первую ЯП записывается указанный код данных, затем спустя время задержки переключения счетчика К555ИЕ19 100 нс на выходах DD2 появляется следующая кодовая комбинация 0001, адресующая вторую ЯП. Поскольку в этой ЯП находятся нули, то на выходе DD1 появятся сигналы с состоянием лог. 0. Отметим, что по завершению записи D_1 спустя время $t_{CYW}=45$ нс после подачи ТИ на вход регистра должен быть подан второй бит D_2.

С приходом второго ТИ во вторую ЯП записывается комбинация D_2000. Затем на выходах DD2 формируется адрес третьей ЯП и на выходе появляется ее содержимое: 0000. К этому моменту на вход регистра поступит третий бит данных D_3 и т. д.

Описанный процесс продолжается до момента поступления шестнадцатого ТИ, когда заканчивается заполнение всех 16 ячеек накопителя кодами данных, в младших разрядах которых размещены биты входной кодовой последовательности $D_1 \dots D_{16}$. С окончанием этого ТИ счетчик DD2 переходит в начальное состояние и формирует адрес первой ЯП, где записан код D_1000. Поэтому на выходах DD1 появляются эти данные и первый бит D_1 можно снять с выхода DO_0. Это эквивалентно прохождению этим битом шестнадцати разрядов регистра. С приходом следующего, семнадцатого, ТИ в первую ЯП запишется код $D_{17}D_100$, а на выходах DD1 появится код D_2000. В восемнадцатом такте во вторую ЯП будет записан код $D_{18}D_200$, а на выходах DD1 появится содержимое третьей ЯП, т. е. код D_3000, и т. д. На 32-м такте на выходы DD1 будет выведен код $D_{17}D_100$, что эквивалентно перемещению бита D_1 через следующие 16 разрядов регистра и его появлению на втором промежуточном выходе DO_1.

Продолжение анализа работы цифрового узла приведет к следующим результатам: на 48-м такте на выходах появится код $D_{33}D_{17}D_10$, на 64-м такте — код $D_{49}D_{33}D_{17}D_1$. Таким образом, первый бит D_1 входной кодовой последовательности пройдет весь «регистр» через 64 такта и окажется на его выходе DO_3. Следом за ним на выходе регистра появится D_2, затем D_3 и т. д.

Быстродействие регистра определяется минимальной длительностью такта $t_W = t_{PAV(DD3)} + t_{PAV(DD2)} + t_{A(A)}$ при условии, что время записи t_{CYW} меньше задержек срабатывания DD3 и DD2. При реализации рассмотренного узла на микросхемах серии К555 и КР531РУ11 минимальная длительность такта равна 150 нс, что соответствует наибольшей частоте следования ТИ 6 МГц.

Для применения в качестве регистров сдвига можно выбирать также микросхемы статических ОЗУ, не имеющие особенностей микросхемы КР531РУ11, но допускающие контроль записываемой информации. Таким свойством обладают, например, микросхемы КР132РУ2 и К565РУ2 емкостью 1К×1 бит. Для перевода выводов этих микросхем в Z-состояние требуется снять разрешающий сигнал выбора $\overline{CS}$. Следовательно, в режиме адресного обращения для записи выходы не могут принять Z-состояния. Это позволяет использовать указанные микросхемы как 1024-разрядные регистры сдвига с последовательным вводом и выводом данных. С помощью такого цифрового узла можно реализовать устройства задержки цифровых сигналов, подобные рассмотренным в § 4.7.

4.9. Устройства хранения и индикации кодовых последовательностей

Микросхемы памяти с одноразрядной организацией широко применяют для записи, временного хранения и выдачи для регистрации или индикации кодовых последовательностей.

Принцип действия таких устройств основан на последовательной во времени поразрядной записи кодовой последовательности в накопитель микросхемы при переборе адресов с нулевого до конечного. Записанная информация может сохраняться и затем по требованию выводится так же, как записывалась, т. е. последовательно во времени поразрядно по мере изменения адресов. В отличие от устройства задержки здесь нет необходимости в режиме «считыва-

ние — модификация — запись» и поэтому снимается ограничение номенклатуры микросхем ОЗУ, пригодных для применения в устройствах.

Примером использования микросхемы ОЗУ в качестве буферной памяти кодовых последовательностей может служить аналого-цифровое устройство для исследования и регистрации электрических сигналов [31].

Устройство (рис. 4.23) включает аналого-цифровой преобразователь (АЦП) DA1, DD5—DD8, буферную память DD3, мультиплексор DD4, счетчик-формирователь адресов DD2, генератор тактовых импульсов DD1. Аналого-цифровой преобразователь реализован по принципу поразрядного уравновешивания на микросхемах компаратора DA1 (К521СА3), регистра последовательного приближения DD5 (К155ИР17), буферного регистра DD7 (К155ТМ7), цифро-аналогового преобразователя (ЦАП) DD6 (К572ПА1).

Микросхема статического ОЗУ имеет емкость 2^m бит, где m — разрядность адресного кода. Генератор и счетчик формируют адресные коды в стартстопном или непрерывном режиме. Тактовая частота, с которой производится дискретизация входного аналогового сигнала U_x, зависит от динамических параметров элементов АЦП, главным образом от времени установления ЦАП DD6.

При выборе микросхемы памяти необходимо обеспечить соответствие ее быстродействия тактовой частоте. В работе [31] использована микросхема К565РУ2 емкостью 1К бит. Вместо нее можно применить любую другую микросхему, например КР537РУ3 емкостью 4К бит (m = 12), имеющую меньшее энергопотребление и один источник питания. Генератор DD1 и счетчик-формирователь адреса DD2 могут быть реализованы по схемам на рис. 4.21 с изменением параметров времязадающей цепи генератора для получения нужной тактовой частоты.

Устройство может работать в режимах измерения, хранения измерительной информации и ее вывода для индикации или регистрации в цифровой и аналоговой форме представления.

При наличии на входе «Измерение» сигнала 1 АЦП с частотой тактовых импульсов выбирает значения напряжения аналогового сигнала U_x и преобра-

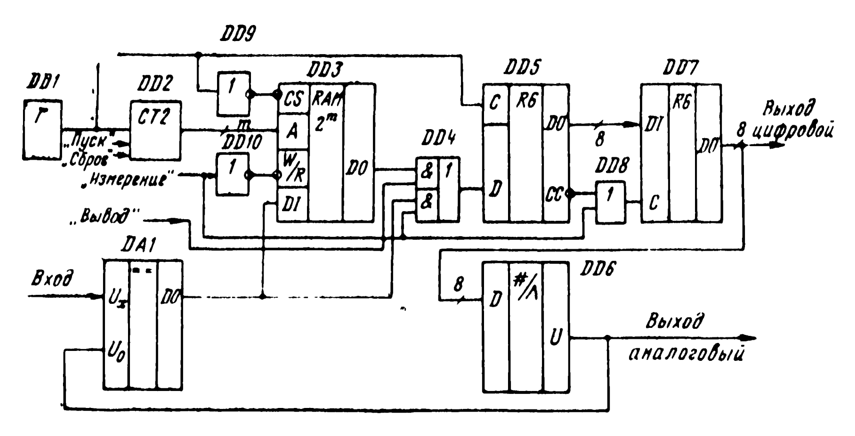


Рис. 4.23. Устройство аналого-цифрового преобразования сигналов с буферной памятью

зует их в восьмиразрядный цифровой код, снимаемый с выхода буферного регистра DD7. Микросхема памяти включена параллельно цепи преобразования и находится в режиме записи. Цифровые сигналы с выхода DA1 поступают на вход микросхемы памяти и поразрядно записываются в накопитель по мере изменения адресов. При переборе всех адресов в микросхему емкостью 4К бит можно записать цифровые коды 512 выборок. Эта информация может быть сохранена заданное время при снятии разрешения со входа «Измерение». Микросхема в этом случае находится в режиме считывания, но мультиплексор DD4 при отсутствии сигнала разрешения «Вывод» закрывает ее выход для считывания.

В режиме вывода DD3 включена через DD4 в цепь преобразования считываемых с ее выхода по мере возрастания адресов сигналов в восьмиразрядный параллельный код на выходе DD7 и в соответствующий ему аналоговый уровень напряжения на выходе ЦАП DD6. Выходные сигналы можно подать на регистрирующее устройство и индикатор, например на экран осциллографа. В режиме вывода измерительной информации из накопителя мультиплексор DD4 исключает из цепи преобразования компаратор DA1 и, следовательно, изменения его состояния под воздействием сигнала на входе U_x не влияют на вывод информации.

Время одного измерения равно длительности установления на выходе DD7 цифрового кода, отображающего значения амплитуды выборки входного сигнала U_x. Для формирования кода необходимы восемь тактов. При тактовой частоте 100 кГц время одного измерения равно 80 мкс. Следовательно, для измерения сигнала в 512 выборках (точках) необходимо время 41 мс.

Если в схеме использовать быстродействующие ЦАП, например К1118ПА1 или ПА2 с временем установления менее 100 нс, компаратор К521СА1, то можно повысить тактовую частоту до 3 МГц и снизить время измерения сигнала в 512 точках до 1,2 мс. В таком устройстве могут быть применены микросхемы серий К132, К541 и многие из серии К537.

Увеличение емкости буферной памяти можно осуществить соединением нескольких микросхем ОЗУ в модуль и введением в схему управления дешифратора выбора микросхем.

На рис. 4.24 приведена схема устройства, обладающего благодаря наличию в его структуре микросхемы статического ОЗУ DD17 набором практически полезных возможностей [36]. Оно позволяет побитно заносить информацию по требуемому адресу, наблюдать на экране осциллографа содержимое каждого элемента памяти матрицы накопителя, проверять исправность микросхемы памяти способом занесения и считывания 0 и 1 в весь массив элементов памяти построчно или по столбцам в разных вариантах сочетаний темных (ЭП заполнены 0) и светлых (ЭП заполнены 1) вертикальных и горизонтальных полос в матрице с наблюдением этой картины на экране осциллографа. Причем для отображения информации может быть использован серийный осциллограф любого типа, имеющий вход Z.

Устройство можно использовать в качестве составной части программатора микросхем ППЗУ и РПЗУ, так как оно позволяет в режиме ручного набора запрограммировать матрицу ОЗУ с контролем на экране осциллографа всей матрицы и с возможностью побитной коррекции информации. Затем эта ин-

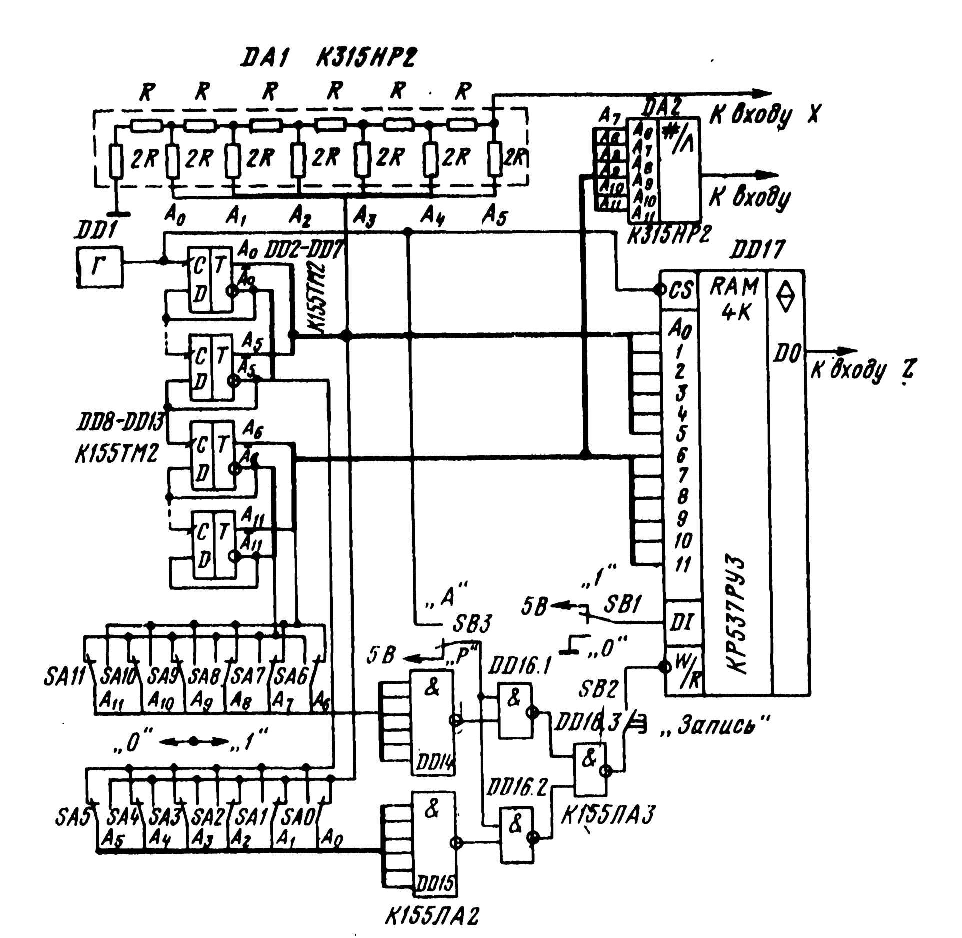


Рис. 4.24. Устройство для записи, хранения кодовых последовательностей и выдачи их на экран осциллографа

формация в режиме побитного считывания должна быть передана на вход микросхемы ППЗУ или РПЗУ.

Следует обратить внимание и на возможность использования устройства в учебных целях для построения макетов для изучения микросхем памяти и режимов их работы.

В структурную схему устройства включены генератор DD1 и счетчик-формирователь адресных кодов DD2—DD13, наборное поле SA0—SA11 для ручного набора адреса, формирователь сигнала записи DD14—DD16, подаваемый на вход WR/RD замыканием кнопки SB2, два цифро-аналоговых преобразователя (ЦАП) DA1, DA2, формирующих напряжения развертки для осциллографа. Они могут быть реализованы на резисторах, соединенных в матрицу

R—2R, но в этом случае нужно отобрать резисторы с малым допуском на разброс сопротивлений.

Схемы ЦАП позволяют получать на экране осциллографа растр, состоящий из 4096 точек, расположенных в форме матрицы 64×64.

Схема DA1 преобразует сигналы шести младших разрядов адреса в 64 точки строки. Каждой точке соответствует один шаг приращения напряжения на выходе DA1. Пока формируются 64 точки строки, напряжение на выходе DA2 неизменно, так как на выходы этого ЦАП поданы старшие разряды кода адреса, которые примут очередное состояние только после всех 64 комбинаций младших разрядов. С каждым приращением напряжения на выходе ЦАП DA2 формируемая строчка перемещается вниз на один шаг и таких шагов при переборе всех комбинаций старших разрядов 64. Частота смены адресов достаточно высокая, например 100 кГц, так что вследствие проявления эффекта динамической индикации на экране отображается матрица, состоящая из 4096 точек.

Однако точка на экране — это только указатель расположения элемента памяти в матрице накопителя. Если уменьшить яркость луча осциллографа, то изображение матрицы исчезнет. Для отображения на экране содержимого накопителя выход микросхемы памяти непосредственно, как на рис. 4.24, или через предварительный формирователь подают на вход Z осциллографа.

Микросхема памяти работает постоянно в режиме считывания по непрерывно перебираемым адресам. Нарушение этого режима вызывают кратковременные нажатия кнопки SB2 для записи информации в ручном, когда переключатель SB3 находится в положении «Р», или в автоматическом режиме, когда SB3 переведен в положение «А».

Считываемая информация отображается на экране в виде светящихся точек, если бит имеет значение 1, и темных мест, если значение 0.

Для записи бита информации необходимо переключатель SB3 перевести в положение «Р» и набрать адрес элемента памяти переключателями наборного поля. Затем кратковременным нажатием кнопки SB2 в микросхему памяти по набранному адресу вносится бит, равный 0 или 1 в зависимости от положения переключателя SB1. Заносимый бит автоматически переносится на экранное изображение матрицы накопителя. Избирательная адресация обеспечена дешифратором DD14—DD16, на выходе которого формируется сигнал записи $\overline{WR}$/RD=0 только в момент появления на выходах адресного счетчика кода, соответствующего набранному.

В автоматическом режиме (SB3 в положении «А») сигнал записи формируется в каждом такте. Поэтому можно занести в накопитель или все 1, или все 0, или чередующиеся темные и светлые строчки либо столбцы, если вход DI соединить с выходом счетчика A_0 или A_6 соответственно. Полосы могут быть более широкими, если использовать сигналы с других выходов адресного счетчика.

При необходимости можно вводить информацию в микросхему памяти с телеграфного ключа, редактировать ее и затем выводить на передачу. Устройство такого типа для выполнения функций автоматического телеграфного ключа с селективной памятью описано в [52].

На основе рассмотренного способа практического использования микросхем ОЗУ могут быть построены более сложные устройства индикации аналого-цифровой и графической информации, предназначенные для совместной работы с микропроцессорами [48].

4.10. Формирователи цифровых и аналоговых сигналов на микросхемах ППЗУ

Применение микросхем ППЗУ позволяет эффективно решать задачи по разработке логических узлов с меньшими затратами аппаратных средств по сравнению с их аналогами на комбинационных микросхемах [37, 65, 66]. Это свойство микросхем ППЗУ широко применяют при построении дешифраторов, формирователей управляющих сигналов, кодопреобразователей, устройств сопряжения, знакогенераторов и т. д.

Следует обратить внимание и на то обстоятельство, что микросхемы ППЗУ могут быть запрограммированы пользователем под конкретную задачу. Имея в своем распоряжении несколько «чистых» микросхем ППЗУ, разработчик может на основе одного типа микросхемы реализовать различные функциональные узлы. Способы и режимы программирования микросхем ППЗУ рассмотрены в § 3.4.

Эти же задачи можно решить и с помощью микросхем РПЗУ, причем даже с еще более высокой эффективностью, поскольку они допускают неоднократное программирование. Однако чаще применяют микросхемы ППЗУ: они дешевле, проще в программировании и обладают более высоким быстродействием.

Рассмотрим ряд примеров применения микросхем ППЗУ для выполнения функций по формированию сигналов.

На рис. 4.25 приведена схема мультиплексора адресных сигналов, реализованного на трех микросхемах КР556РТ5, который заменяет аналогичное устройство на четырех микросхемах К155КП2 (рис. 4.10) в контроллере динамического ОЗУ.

Микросхемы DD1, DD2 предназначены для передачи на адресные входы микросхем динамических ОЗУ адресов строк $A_X\{A_0 \dots A_7\}$ и столбцов $A_Y\{A_8 \dots A_{15}\}$, поступающих с линий шины адреса: линии A_X подведены ко входам DD1, линии A_Y — ко входам DD2. Микросхема DD3 служит для передачи адресов регенерации A_{R0}—A_{R7}, которые формирует счетчик регенерации.

Все микросхемы ППЗУ запрограммированы одинаково: в каждую ячейку микросхемы занесен код адреса этой ячейки. Таким образом, при обращении к микросхеме по определенному адресу получим на выходах код этого адреса.

При объединении микросхем в модуль учтено, что они имеют открытые коллекторные выходы. Поэтому для соединения одноименных выходов применен способ «Монтажное ИЛИ» с подключением к ним напряжения питания через нагрузочные резисторы. Сопротивления резисторов выбраны из условия ограничения наибольшего выходного тока любой микросхемы предельно допустимым значением.

Управляющие сигналы A_Y/A_X и REF поданы на входы CS1—CS4 микросхем так, чтобы обеспечить заданный режим их работы. В режиме обмена магистрали с ОЗУ сигнал регенерации REF=0 блокирует микросхему DD3,

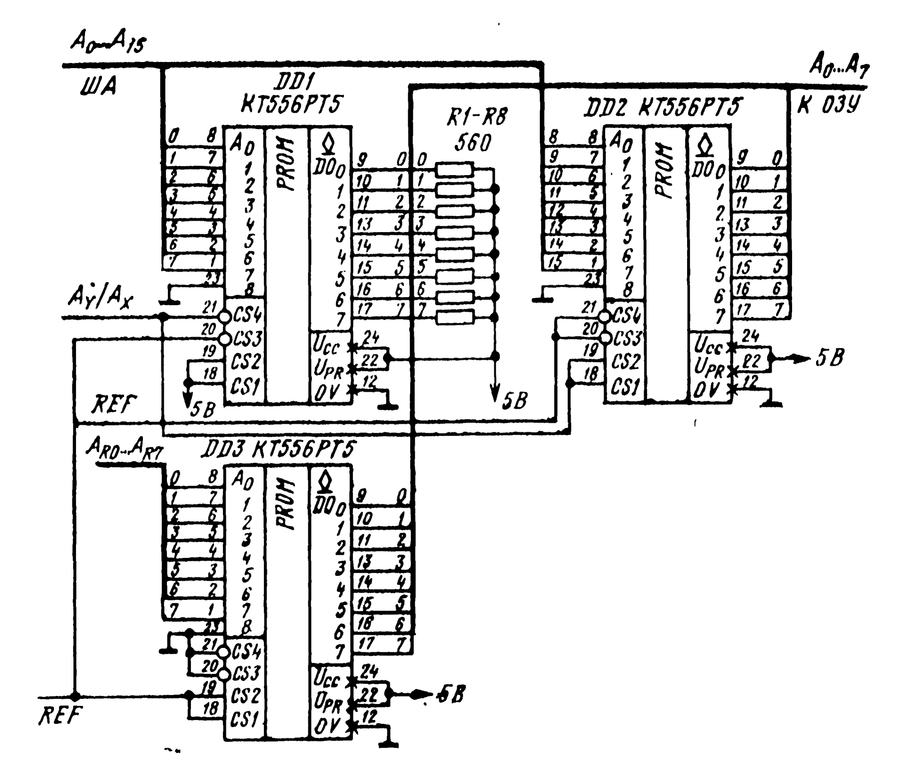


Рис. 4.25. Микросхемы ППЗУ в качестве мультиплексора адреса для динамического ОЗУ

что приводит ее выходы в состояние лог. 1. Микросхемы DD1, DD2 сигналом A_Y/A_X поочередно открываются и передают на адресные входы блока ОЗУ сигналы адреса строк при $A_Y/A_X=0$ и столбцов при $A_Y/A_X=1$.

В режиме регенерации сигнал REF=1 блокирует микросхемы DD1, DD2 и открывает микросхему DD3 для передачи в блок ОЗУ адресов строк A_{R0}—A_{R7}.

На основе микросхем ППЗУ можно построить и другие функциональные узлы контроллеров ОЗУ и ПЗУ.

Пример реализации формирователя управляющих сигналов представлен на рис. 4.26. Устройство построено на микросхеме DD5, в которую предварительно заносят коды заданных временных последовательностей сигналов. Для подготовки таблицы программирования (карты прожига) необходимо каждому коду адреса, начиная с нулевого, поставить в соответствие выходной код, который определен видом временных диаграмм.

Задающий генератор DD1 и счетчик DD2—DD4 формируют код адреса. В непрерывном режиме работы этих узлов на адресных входах DD5 происходит перебор адресов от нулевого до конечного с частотой F_0, в результате на

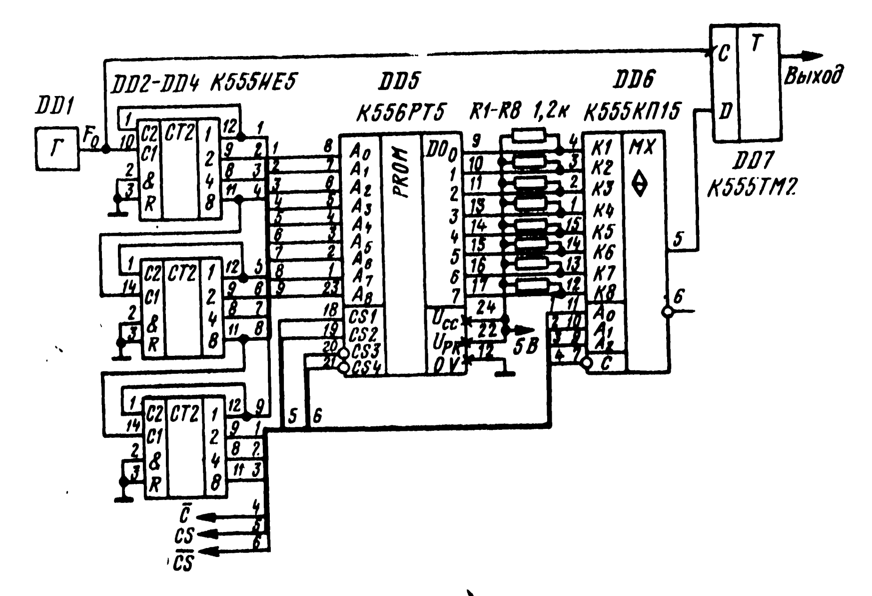


Рис. 4.26. Формирователь сигналов управления с программируемой временной диаграммой

выходах этой микросхемы формируются запрограммированные временные диаграммы. Взаимный сдвиг сигналов на выходах кратен длительности такта $T_0 = 1/F_0$. Это надо учитывать при оценке возможности использования такого способа реализации генератора управляющих сигналов. Например, для микросхемы КР556РТ5 минимальная длительность такта определяется временем цикла считывания и равна 50 нс. Следовательно, частота смены адресов на ее входах F_0 не должна превышать 20 МГц. Исходя из этого выбирают микросхемы и способ реализации генератора DD1 и счетчика адресов.

Например, при расчете быстродействия устройства, приведенного на рис. 4.26, следует исходить из того, что с учетом времени установления счетчика DD2—DD4, равного 200 нс, минимальная длительность такта T_0 не может быть меньше 300 нс, а наибольшая частота F_0, следовательно, не должна превышать 3 МГц. Если принять в расчет максимальные значения временных параметров, то частота будет еще ниже.

При наличии на выходе схемы мультиплексора DD6 устройство можно использовать в качестве одноканального формирователя кодовых последовательностей заданного вида с возможностью изменять вид последовательностей в автоматическом режиме, как показано на рис. 4.26, или под воздействием управляющего кода $A_0 \ldots A_2$, подаваемого на DD6 от другого источника.

При $A_0A_1A_2 = 000$ на вход DD6 коммутируется последовательность, получаемая с выхода DO_0 микросхемы DD5, при коде 100 — последовательность с выхода DO_1 и т. д. В автоматическом режиме эти последовательности циклически чередуются с периодом в 512 тактов. Триггер DD7 необходим для исключения влияния процессов установления кодов счетчика на выходной сигнал.

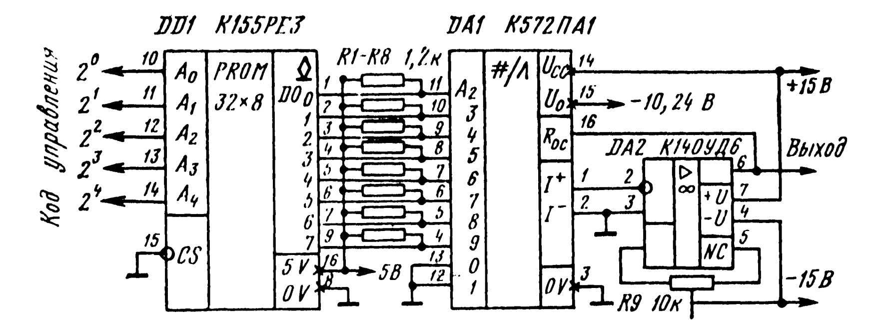


Рис. 4.27. Формирователь аналоговых сигналов заданной формы

Входы C и CS расширяют возможности устройства в отношении гибкости управления его работой, наращивания емкости ППЗУ и за счет этого увеличения количества вариантов кодовых последовательностей.

Для уменьшения периода последовательностей можно ограничить используемое адресное пространство микросхемы ППЗУ, сократив разрядность изменяемого адресного кода и соответственно разрядность счетчика-формирователя. В таком случае целесообразно использовать микросхему ППЗУ меньшей емкости.

Некоторое видоизменение рассмотренной схемы путем замены мультиплексора цифро-аналоговым преобразователем позволяет получить генератор аналоговых сигналов с заданными характеристиками.

На рис. 4.27 приведен фрагмент схемы синтезатора аналоговых сигналов, построенный на основе микросхемы ППЗУ К556РЕ3. Формирователь адресных кодов в этом устройстве может быть выполнен по схеме на рис. 4.26. Микросхема DD1 содержит кодовые комбинации, определяющие форму аналогового сигнала, который формирует цифро-аналоговый преобразователь DA1 при последовательном переборе адресов DD1. Операционный усилитель на выходе DA2 обеспечивает формирование уровней напряжения в диапазоне 0 ... 10,24 В. Заметим, что при необходимости можно ввести схему управления значением и полярностью опорного напряжения и получать биполярные выходные сигналы.

Точность задания синтезируемой функции зависит от разрядности ППЗУ и ЦАП и определяется значением младшего разряда цифрового кода и шкалой преобразования ЦАП. В данном примере она равна 40 мВ. Повышение точности задания функции достигается увеличением разрядности ППЗУ и ЦАП.

Центральным элементом устройства является ППЗУ, которое предварительно программируется цифровыми кодами заданной функции (сигнала). Для составления карты прожига необходимо найти на одном периоде изменения синтезируемой функции, равном 2^m тактам, где m — разрядность кода ППЗУ, ее значения в 2^m точках отсчета: по одной в каждом такте, в масштабе от 0 до 2^n, где n — разрядность ЦАП. В рассматриваемом примере $m=5$, $n=8$. Затем значение каждой выборки отображают восьмиразрядным кодом, учитывая при этом, что наибольшее значение функции соответствует единичному набору разрядов кода. Номер отсчета является адресом ячейки ППЗУ, куда требуется занести цифровой код данной выборки функции.

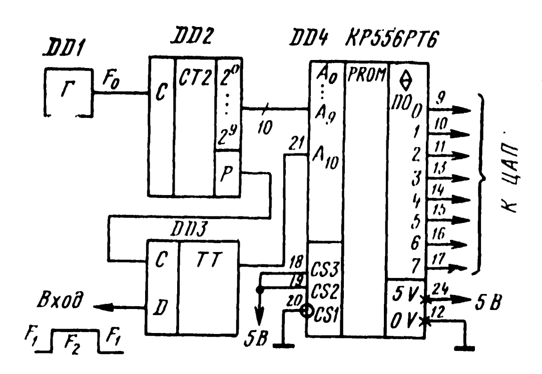


Рис. 4.28. Преобразователь дискретных сигналов в двухтональные

На основе рассмотренного принципа могут быть реализованы генераторы стимулирующих воздействий в измерительных системах, в том числе генераторы с управляемой формой колебаний, генераторы тона в цифровых электромузыкальных инструментах и т. д.

Такое устройство можно применить для автоматического управления исполнительным прибором (переключателем, регулятором и т. п.). Тогда в микросхему ППЗУ необходимо занести программу, соответствующую кода управляющего воздействия на входах DD1. При объединении нескольких микросхем с использованием входа CS появляется возможность синтезировать несколько функций, записав предварительно их коды в микросхемы ППЗУ.

Может представить интерес для многих применений вариант использования микросхемы ППЗУ, приведенный на рис. 4.28. Устройство аналогично рассмотренному по принципу построения, но имеет более широкие возможности по синтезу сигналов, что обусловлено увеличением емкости ППЗУ и схемой управления. Триггер DD3 под воздействием входного цифрового сигнала формирует на выходе сигнал управления старшим разрядом кода адреса A_{10} микросхемы ППЗУ DD4. Таким способом адресное пространство DD4 разделено на две страницы, в каждую из которых заносят коды разных функций.

При работе устройства на выходе ЦАП (см. рис. 4.27) будут формироваться сигналы, соответствующие одной из двух функций, а именно той из них, которая выбрана значением сигнала на входе DD3. Устройство может быть использовано, например, для преобразования двоичного сигнала в двухтональный сигнал звуковой частоты. Для реализации этой возможности следует одну страницу, соответствующую $A_{10}=0$, запрограммировать функцией синуса с периодом $T_1=1/F_1$, а вторую, соответствующую $A_{10}=1$,— функцией синуса с периодом $T_2=1/F_2$, где F_1, F_2 — выбранные частоты. Далее надо определить, как разместить в адресном пространстве страниц коды функций. Потребуем, чтобы функции укладывались в адресном пространстве целым числом периодов $П_1$, $П_2$ соответственно. Тогда из равенства адресного пространства страниц следует $П_1T_1=П_2T_2$ или $F_2/F_1=П_2/П_1$.

Для примера выберем $F_1=1400$ Гц, $F_2=2100$ Гц, тогда $П_2/П_1=3/2$, т. е. полный цикл перебора адреса для первой страницы соответствует двум периодам частоты 1400 Гц, а для второй — трем периодам частоты 2100 Гц.

Для составления карты прожига необходимо найти значения 1024 выборок на интервале двух периодов первой функции для страницы ППЗУ при $A_{10}=0$ и на интервале трех периодов второй функции для страницы $A_{10}=1$. Учитывая, что номер выборки является адресом ячейки ППЗУ, занести в карты первой и второй страниц ППЗУ 8-разрядные коды выборок функций.

При возможности снизить требования к точности задания функций можно использовать микросхемы меньшей емкости, например две микросхемы К155РЕЗ, объединив их одноименными выводами и используя вход CS для сигнала адреса страниц.

Напротив, если требования к точности задания функций повышены, то следует применять микросхемы с большей емкостью. Для синтеза синусоидальных колебаний целесообразно использовать микросхемы МПЗУ со стандартными прошивками синус-функций (см. § 3.1).

В рабочем режиме устройства на рис. 4.28 переключение страниц ППЗУ производит сигнал на входе DD3: при 0 на выходе ЦАП устройства появляется сигнал с частотой $F_1=1400$ Гц, считываемый с первой страницы, при 1 — сигнал $F_2=2100$ Гц, считываемый со второй страницы. Наибольшая частота синтезируемых колебаний определяется предельной частотой операционного усилителя, временем установления ЦАП и временем цикла считывания микросхемы ППЗУ.

4.11. Знакогенераторы на микросхемах МПЗУ

Знакогенераторы предназначены для преобразования кодов буквенно-цифровой информации в электрические сигналы, необходимые для получения визуального изображения символов с помощью средств отображения информации. Для кодирования буквенно-цифровых символов (знаков) используют стандартные коды отображения информации КОИ-7 (семиразрядный) и КОИ-8 (восьмиразрядный).

Наибольшее распространение получили знакогенераторы, реализованные на основе матриц-накопителей ПЗУ, в которых хранится информация о начертании всех знаков алфавита. Примерами микросхем МПЗУ с записанными кодами букв разных алфавитов, цифр, математических и мнемонических знаков являются: К155РЕ21 (буквы русского алфавита), К155РЕ22 (буквы латинского алфавита), К155РЕ23 (арифметические знаки и цифры), К155РЕ24 (дополнения к символам в указанных микросхемах), К555РЕ4 (буквы русского и латинского алфавитов, прописные и строчные, цифры и арифметические знаки, всего — коды 160 символов), К505РЕЗ, КР568РЕ1, КР568РЕ2 и др. Описание названных и им подобных по назначению микросхем МПЗУ приведено в § 3.1.

Рассмотрим ряд схемотехнических решений по применению микросхем МПЗУ в знакогенераторах.

Типичный вариант реализации блока памяти знакогенератора на микросхемах серии К155 приведен на рис. 4.29 [5, 35]. Микросхемы МПЗУ DD1—DD4 объединены одноименными адресными входами и выходами, причем объединение выходов ОК выполнено по схеме «Монтажное ИЛИ» с подключением к ним нагрузочных резисторов и источника напряжения питания. Входы CS использованы для выбора нужной из микросхем старшими разрядами кода адреса a_5, a_6.

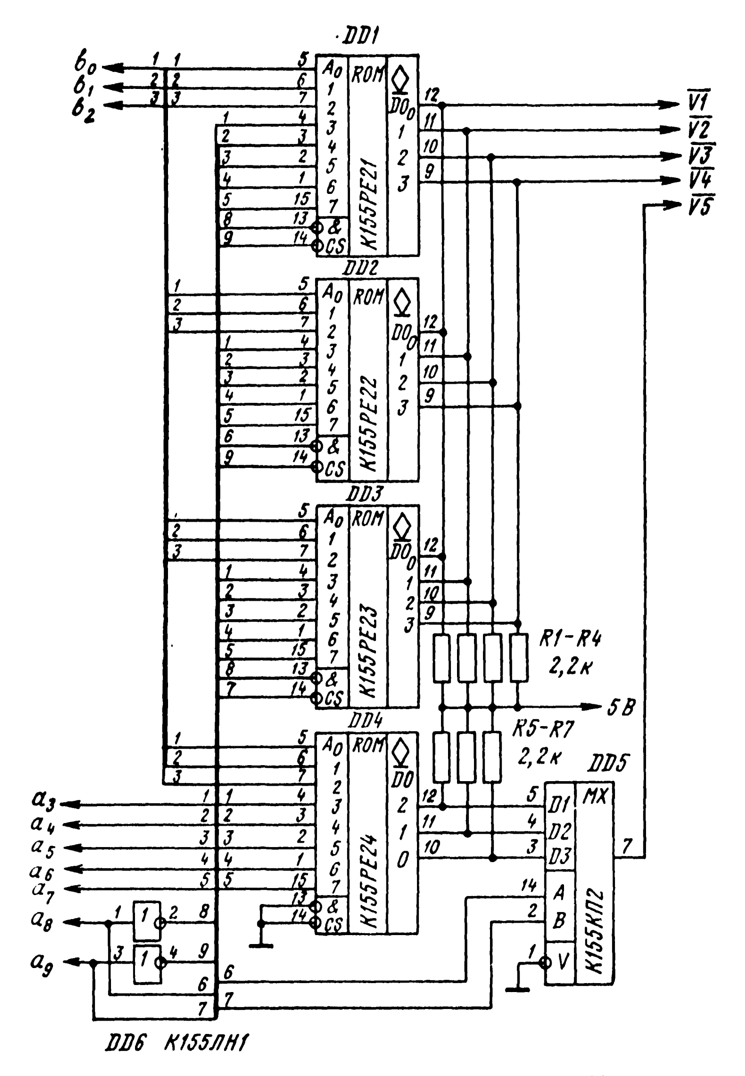


Рис. 4.29. Знакогенератор на микросхемах МПЗУ серии К155

Выходы микросхемы К155РЕ24 представляют собой дополнения к выходам трех основных микросхем и распределены следующим образом: выход DO_2 (вывод 10) относится к микросхеме К155РЕ21, выход DO_1 (вывод 11) — к К155РЕ22, выход DO_0 (вывод 12) — к К155РЕ23. Коммутацию выходов в соответствии с указанным распределением осуществляет мультиплексор DD5, управляемый кодом a_6a_5: при коде 11 на выход мультиплексора коммутируется DO_2, этим же кодом выбирается микросхема К155РЕ21 (DD1), при коде 10

коммутируется DO_1 и подключается к четырем выходам выбранной микросхемы К155РЕ22 (DD2), при коде 01 коммутируется DO_0 в дополнение к выходам микросхемы К155РЕ23.

Блок памяти имеет десять адресных входов b_0, b_1, b_3, $a_0 \dots a_6$ и пять выходов $V_1 \dots V_5$. Напомним, что в ПЗУ знакогенератора используется двухкоординатный принцип адресации (см. § 3.1).

Первой адресной координатой является код знака, второй — код номера строки матрицы. Применительно к микросхемам МПЗУ серии К155, в которых знаки (символы) закодированы в соответствии с семиразрядным кодом КОИ-7 (табл. 3.3) и имеют формат матрицы 5×7, адресные входы имеют следующее распределение: b_0, b_1, b_2 — для сигналов выборки строки матрицы, $a_0 \dots a_6$ — для сигналов кода КОИ-7 выборки знака, из них сигналы двух старших разрядов a_5a_6 предназначены для выборки микросхемы, а пять младших — $a_0 \dots a_4$ — для выборки самого знака в микросхеме. Заметим, что на адресные входы микросхемы $A_0 \dots A_2$ поступают сигналы $b_0 \dots b_2$, на входы $A_3 \dots A_7$ — сигналы $a_0 \dots a_4$. Сигналы a_5a_6 поступают в прямом или инверсном представлении на входы CS_1 и CS_2 микросхем, обеспечивая выбор одной из них.

На выходах $V_1 \dots V_5$ формируются сигналы низкого уровня, отображающие считываемый символ в матричном формате из пяти столбцов и семи строк, т. е. знак разворачивается за семь обращений по адресу $b_2b_1b_0$, как показано на рис. 3.2 на примере выборки буквы Ю.

Поскольку каждая из трех микросхем вместе с дополнением К155РЕ24 запрограммирована на 32 символа, то общая емкость знакогенератора на основе рассмотренного блока памяти составляет 96 символов формата 5×7.

Схема сопряжения блока памяти с устройством отображения зависит от типа устройства. Например, сопряжение с матричным индикатором можно реализовать по схеме, приведенной на рис. 4.30. Представлен знакогенератор 32 арифметических знаков с отображением генерируемых символов на матричном индикаторе формата 5×7 типа АЛС340А. Индикатор представляет собой (рис. 4.31) матрицу светодиодов, расположенных на пересечениях столбцов $C_1 \dots C_5$ (Column — столбец) и семи строк $R_1 \dots R_7$ (Row — строка). В индикаторе предусмотрен вывод для сигнала точки P (Point — точка).

Блок памяти состоит из микросхем МПЗУ К155РЕ23 и К155РЕ24. Он может быть расширен до полной схемы, как на рис. 4.29. Формирователь кода развертки $b_0b_1b_2$ выполнен на трехразрядном счетчике К155ИЕ5. Согласование выходов микросхем МПЗУ с индикатором осуществлено с помощью инверторов и транзисторов КТ315Г, необходимых для усиления тока. Обычно предусматривают подключение выходов ОК через резисторы к источнику питания. Если быстродействие не имеет существенного значения, как в данном случае, то резисторы можно не использовать. Дешифратор К155ИД10 обеспечивает мультиплексное управление строками индикатора.

Считываемый символ определяет код $A_0 \dots A_4$, который поступает на входы микросхем МПЗУ. Выбираемые этим кодом символы показаны в табл. 3.3. Два старших разряда кода КОИ-7 a_5a_6 здесь не использованы, поскольку нет необходимости в выборе микросхемы.

Счетчик ИЕ5 под воздействием тактовых импульсов с частотой F (сотни герц) перебирает адреса строк в естественном порядке их следования. Де-

Рис. 4.30. Знакогенератор с матричным индикатором

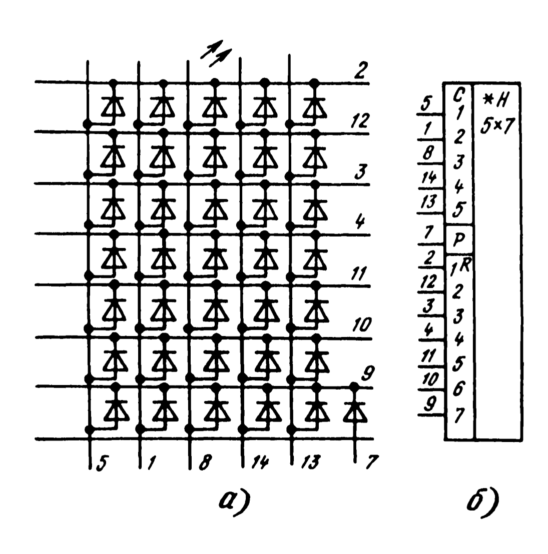


Рис. 4.31. Матричный индикатор АЛС340А:

а — схема; *б* — условное обозначение

шифратор ИД10 под действием адресных сигналов на своих входах активизирует низким уровнем строки матрицы так, чтобы через светодиоды выбранных транзисторами столбцов протекал ток от источника питания U_{cc}.

Выбор столбцов индикатора определяется состоянием выходов микросхем МПЗУ: при лог. 0 (активное состояние) соответствующий инвертор закрывается, а транзистор на его выходе открывается, обеспечивая ток через один светодиод матрицы.

Если выходы микросхемы РЕ23 и РЕ24 находятся в высокоомном состоянии, то подключенный к этому выходу инвертор открыт, а транзистор закрыт. В результате цепь от источника питания к светодиодам этого столбца разрывается.

Активизация строк матрицы индикатора дешифратором происходит синхронно с перебором содержимого области памяти, отведенной под один символ и определяемой кодом $a_0 \dots a_4$. Синхронизм обеспечен тем, что код адреса строк $b_0b_1b_2$ поступает одновременно на дешифратор и на микросхемы памяти. Для микросхем памяти коды выбора символа и его развертки составляют единый адресный код $A_7 \dots A_0$, три младших разряда которого $A_0A_1A_2$ являются кодом развертки, а пять остальных $A_3 \dots A_7$ — кодом выбора символа.

При использовании для отображения информации экрана дисплея параллельный код, снимаемый с выходов $V_1 \dots V_5$ блока памяти, необходимо преобразовать в последовательность сигналов. Решить эту задачу можно с помощью мультиплексора или параллельно-последовательных регистров сдвига.

Знакогенераторы могут быть построены с меньшим числом микросхем памяти и межсоединений на плате, если использовать микросхему К555РЕ4. В накопителе микросхемы содержится 160 символов формата 7×11: прописные и строчные буквы русского и латинского алфавитов, цифры и арифметические знаки. Однако ее применение оказывается возможным при условии преобразования внешнего 12-разрядного адресного кода в 11-разрядный код адреса микросхемы. Причины, которыми вызвана указанная необходимость, подробно рассмотрены в § 3.1.

Для решения этой задачи можно использовать предварительно запрограммированную микросхему ППЗУ, например КР556РТ4, подключив ее выходы к определенным адресным входам микросхемы К555РЕ4, как показано на рис. 4.32 [54].

Внешний код адреса состоит из четырех разрядов $b_0 \dots b_3$ кода развертки знака по строкам матрицы и восьми разрядов $a_0 \dots a_7$ кода КОИ-8 для выборки знака из накопителя МПЗУ. Часть разрядов адресного кода, а именно $a_7a_6a_5b_3b_2b_1$, подаются на входы ППЗУ соответственно $A_5 \dots A_0$ и в преобразованном виде поступают на адресные входы К555РЕ4.

Соответствие между кодами на входах $A = a_7a_6a_5b_3b_2b_1$ и выходах $DO = DO_3DO_2DO_1DO_0$ микросхемы ППЗУ представлено в 16-ричной системе исчисления в табл. 4.3.

При сочетании двух рассмотренных микросхем получается модуль памяти знакогенератора, содержащий 160 символов формата 7×11, выбираемых восьмиразрядным кодом КОИ-8 $a_7 \dots a_0$ и развертываемых четырехразрядным ко-

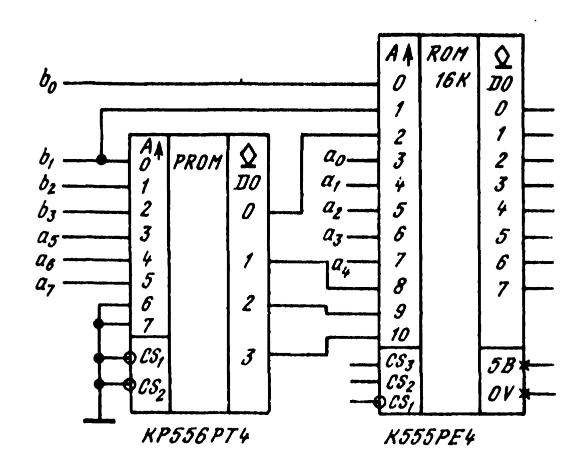


Рис. 4.32. Знакогенератор на микросхеме К555РЕ4

дом $b_3b_2b_1b_0$. Три старших разряда кода знака $a_7a_6a_5$ определяют деление содержащихся в микросхеме К555РЕ4 символов на группы:

001 — цифры и арифметические знаки;

010 — прописные буквы латинского алфавита;

011 — строчные буквы латинского алфавита;

110 — строчные буквы русского алфавита;

111 — прописные буквы русского алфавита.

Пример реализации на основе микросхемы ППЗУ К155РЕ3 преобразователя двоично-десятичного кода в семиэлементный для управления индикатором приведен на рис. 4.33.

Таблица 4.3. Соответствие между кодами на входах и выходах микросхемы ППЗУ в 16-ричной системе исчисления

A	DO	A	DO	A	DO	A	DO
OB	0	12	5	1C	6	36	1
09	2	13	5	1D	A	37	1
08	3	14	4	1E	B	38	1
OA	3	15	8	IF	1	39	E
OC	2	16	1	30	1	3A	F
OД	0	17	1	31	C	3B	F
OE	1	18	0	32	D	3C	E
OF	1	19	6	33	D	3D	B
10	0	1A	7	34	C	3E	1
11	4	1B	7	35	9	3F	1

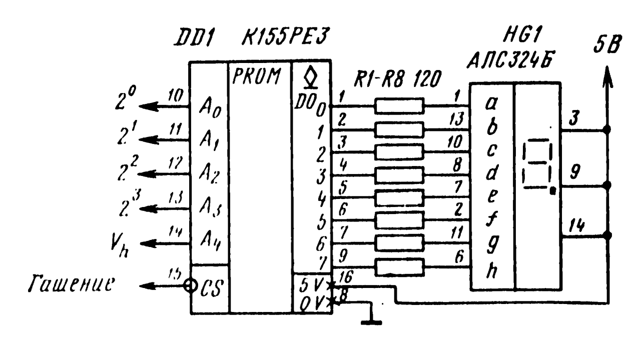


Рис. 4.33. Преобразователь двоично-десятичного кода в семиэлементный код управления индикатором

Для построения различных логических устройств, особенно устройств управления с нерегулярной логикой формирования выходных сигналов, целесообразно применять микросхемы ПЛМ [66].

Характеристика микросхем ПЛМ приведена в § 3.2. Способы их применения в устройствах аналогичны микросхемам ППЗУ матричного типа. Основное отличие состоит в режимах программирования. Алгоритм и режимы программирования микросхем ПЛМ изложены в § 3.4.

5. МИКРОСХЕМЫ ПАМЯТИ НА ЦИЛИНДРИЧЕСКИХ МАГНИТНЫХ ДОМЕНАХ

Для построения внешних ЗУ с повышенным быстродействием и с полностью электронной системой управления, вводом и выводом информации могут быть использованы микросхемы памяти на цилиндрических магнитных доменах (ЦМД): К1602РЦ1 (90К, 64К, 32К бит для модификаций А, Б, В соответственно), К1602РЦ2 (266,5К бит), К1602РЦ3 (1,067М бит). Указанные микросхемы построены по аналогичным принципам, имеют в основе своих режимов одинаковые физические явления, характеризуются одной системой параметров и управляющих воздействий и, наконец, изготовлены по аналогичным конструктивным решениям.

Цилиндрический магнитный домен — это область цилиндрической формы в тонкой монокристаллической магнитной пленке, имеющая намагниченность в направлении, противоположном намагниченности окружающей магнитной среды (рис. 5.1) [19]. Толщина пленки и размеры ЦМД составляют 1 ... 3 мкм. Пленку формируют методом эпитаксиального наращивания на диэлектрической подложке. При ее изготовлении обеспечивают направление оси анизотропии, перпендикулярное плоскости пленки. Следовательно, вектор намагничивания может быть направлен вертикально вниз или вверх. Наличие или отсутствие ЦМД в определенных точках магнитной пленки (информационной среды) отождествляется с двоичными значениями бита информации 1 и 0.

Рис. 5.1. Цилиндрический магнитный домен

Основным фактором, определяющим условия возникновения, существования и исчезновения ЦМД, является величина напряженности магнитного поля, пронизывающего в перпендикулярном направлении тонкую магнитную пленку. При малых напряженностях поля домены имеют произвольную форму. С повышением напряженности они приобретают вид ЦМД, причем их диаметр тем меньше, чем больше напряженность поля. При достижении некоторого критического значения напряженности поле уничтожает (аннигилирует) ЦМД. Таким образом, изменяя напряженность поля в отдельных участках магнитной пленки, можно генерировать ЦМД и уничтожать их. Существует определенный диапазон значений напряженности магнитного поля, в котором создаются в пленке наилучшие условия для существования ЦМД. Рассмотренный физический фактор лежит в основе принципа действия элементов ЗУ на ЦМД.

Подобно тому, как ОЗУ и ПЗУ в аппаратуре строятся на БИС памяти, основной конструктивной и функциональной частью ЗУ на ЦМД является микросхема ЗУ на ЦМД. Она включает ЦМД-кристалл, два миниатюрных постоянных магнита, две катушки с ортогональными обмотками. Эта конструкция помещена в корпус размерами примерно 3×3×1 см.

ЦМД-кристалл представляет собой подложку из диэлектрика, например граната, на которой сформирована тонкая магнитная пленка (феррит-граната) с перпендикулярным направлением оси магнитной анизотропии. Эта пленка и является доменосодержащей средой. На поверхности ЦМД-кристалла формируют элементы управления ЦМД и объединяют их в функциональную схему ЗУ. В упрощенном варианте эта схема представлена на рис. 5.2. Она включает: генератор ЦМД, выполняющий функцию узла ввода информации в ЗУ (узла записи), регистры ввода-вывода и хранения информации, переключатель ввода-вывода, репликатор-аннигилятор ЦМД, детектор ЦМД. Все названные элементы управления ЦМД изготавливают на поверхности кристалла в виде тонкопленочных аппликаций из металла и пермаллоя.

Постоянные магниты необходимы для создания магнитного поля смещения с напряженностью $H_{см}$, достаточной для сохранения ЦМД. Катушки с ортогональными обмотками располагаются снаружи кристалла и при подведении к ним переменного тока с взаимно сдвинутой на 90° фазой создают на поверхности магнитной пленки вращающееся магнитное поле, необходимое для продвижения ЦМД по поверхности кристалла (в объеме магнитной пленки).

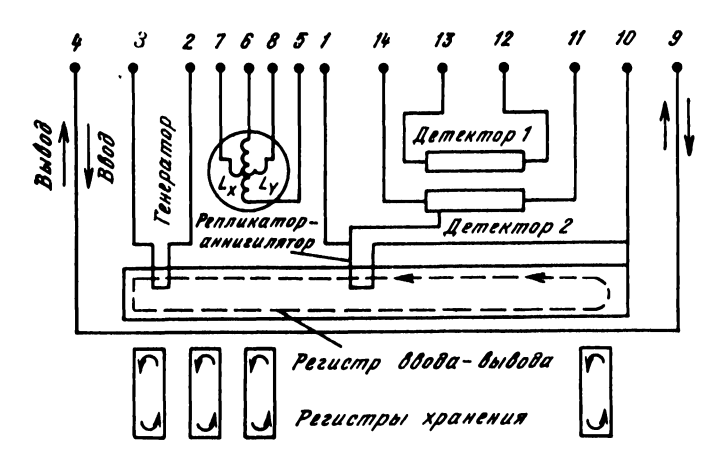


Рис. 5.2. Структура микросхемы ЗУ на ЦМД

Кратко рассмотрим устройство и принцип действия элементов управления ЦМД (рис. 5.3). Генератор ЦМД (рис. 5.3, *а*) представляет собой тонкопленочную токопроводящую петлю на поверхности пленки. Для формирования ЦМД через петлю пропускают импульс тока в направлении, при котором магнитное

Рис. 5.3. Элементы ЦМД-микросхемы памяти:
а — генератор, репликатор-аннигилятор ЦМД; *б* — регистр; *в* — детектор ЦМД

поле петли частично компенсирует поле смещения и благодаря этому создает условия для возникновения ЦМД. При снятии тока ЦМД сохраняется полем смещения. Так записывают в кристалл 1. При необходимости записать 0 в соответствующем такте импульс тока в петлю не подается и, следовательно, ЦМД не образуется.

Репликатор предназначен для деления ЦМД на два, а также для ввода домена в регистр хранения и вывода из него. Устроен репликатор аналогично генератору и представляет собой тонкопленочный проводник на поверхности пленки. Если через репликатор пропустить ток с амплитудой I_1 в указанном на рисунке направлении, его магнитное поле ослабляет поле смещения в области пленки между генератором и репликатором, что приводит к увеличению размеров домена до полосовой конфигурации. При этом частично домен заходит под репликатор. Если затем увеличить амплитуду тока до значения I_2, то домен начинает сжиматься и в зависимости от режима генератора может либо полностью, либо частично перейти в репликатор. В первом случае происходит перемещение домена из одного участка пленки в другой. Таким образом домен вводится в регистр. Во втором случае домен делится на две части. Так можно осуществлять считывание информации из регистра без ее разрушения. Устройство управления вводом-выводом ЦМД в регистры хранения и из них получило название «переключатель ввода-вывода ЦМД».

Аннигилятор — устройство, предназначенное для уничтожения доменов. Оно может быть совмещено с репликатором и выполнять свою функцию при пропускании через петлю тока с амплитудой I_3, при которой создаваемое под петлей магнитное поле имеет напряженность, превышающую критическое значение, когда ЦМД исчезает (аннигилирует).

Регистры построены на пермаллоевых аппликациях Т-образной и полосковой формы (рис. 5.3, *б*). Форма аппликаций может быть другой, например «шевронной», но принцип работы регистра одинаков. Аппликации выполняют функции продвигающих элементов. Обязательным условием режима продвижения ЦМД является наличие вращающегося магнитного поля на поверхности пленки, которое создают две катушки с ортогональными обмотками, питаемые переменным током с частотой примерно 100 ... 200 кГц и с взаимно сдвинутой фазой. Это поле намагничивает аппликации, придавая им свойства элементарных магнитов с положительным и отрицательным полюсом. Причем характер намагниченности аппликаций изменяется по мере вращения вектора напряженности, управляющего продвижением поля H_y, как показано на рис. 5.3, *б* для четырех положений указанного вектора.

Наводимые на аппликациях перемещающиеся магнитные полосы северные «+» и южные «—» притягивают или отталкивают домены, которые могут рассматриваться как элементарные магнитики с расположенными вверху — южным, а внизу — северным полюсами. В результате цилиндрический домен скачкообразно перемещается под аппликациями, втягиваясь каждые четверть оборота управляющего поля под ближайший положительный полюс, наведенный в этот момент в аппликациях. За один оборот управляющего поля домен перемещается на один шаг продвигающей схемы, который можно уподобить разряду регистра сдвига.

Обычно регистры выполняют в виде замкнутых контуров, составленных из продвигающих элементов рассмотренного типа. В таком регистре, как во всяком кольцевом регистре, ЦМД перемещается по кольцу под воздействием вращающегося поля. На этом принципе работают регистры хранения в микросхемах ЦМД.

Детектор ЦМД выполняет функции устройства считывания информации. Он представляет собой (рис. 5.3 *в*) магниторезистивные аппликации, обладающие способностью изменять сопротивление в зависимости от наличия или отсутствия под ними ЦМД. Показанный на рисунке вариант реализации детектора предполагает подключение к двум магниторезистивным элементам $R_д$ внешних резисторов и источника напряжения в диагональ образованного моста. В другую диагональ включают усилитель считывания. При считывании 0, т. е. при отсутствии ЦМД, мост уравновешен и ток на входе усилителя отсутствует. При считывании 1 это равновесие нарушается за счет изменения сопротивления одного из магниторезистивных элементов, под которым находится домен. Это нарушение равновесия моста приводит к появлению тока на входе усилителя и, как следствие, к изменению уровня напряжения на его выходе. Заметим, что детекторы ЦМД могут быть построены и по другим схемам, но единым остается принцип детектирования ЦМД.

Вернемся теперь к рис. 5.2 и рассмотрим работу устройства управления ЦМД в различных режимах. Запись и считывание информации в ЗУ на ЦМД производят последовательным кодом, который при записи вводится поразрядно в цепь генератора, а при считывании поразрядно выводится через цепь детектора.

Рабочий режим микросборки ЦМД обеспечивается напряжением питания детектора и питанием переменным током катушек, создающих вращающееся поле. Этим полем записываемая информация перемещается в регистр ввода-вывода (РВВ). При заполнении РВВ (в нашем примере для наглядности схема ЗУ упрощена, в частности, регистры показаны в виде линий) включается импульс тока в переключатель ввода-вывода и записанное в РВВ слово переносится в регистры хранения: переносится ЦМД, а там, где ЦМД отсутствует, место в регистре хранения этого разряда остается «пустым».

В режиме хранения записанные в разрядные регистры биты информации под воздействием вращающегося поля перемещаются по кольцу в пределах своего регистра. Информация, таким образом, находится в постоянном движении. Однако она сохраняется и при отсутствии питания благодаря наличию постоянного магнитного поля смещения, в котором находится кристалл ЦМД.

В режиме считывания выбираемое слово вначале переключателем ввода-вывода переносится в РВВ, а затем перемещается по РВВ к репликатору и с его помощью выводится через детектор на выход последовательно во времени по одному биту в такт. При необходимости стирания информации в репликатор посылаются импульсы тока стирания, т. е. он становится аннигилятором ЦМД.

В реальных микросхемах ЦМД принята страничная организация обмена данными. Под страницей данных понимают последовательность информационных ЦМД, определяемую количеством регистров хранения информации и выводимую из регистров хранения в одном такте вращающегося магнитного поля.

Например, микросхема ЦМД 1602РЦ1А имеет организацию 641×144 бит. Следовательно, в структуре этой микросборки имеется 144 регистра хранения на 641 позицию, т. е. бит, каждый. Страницей в данном случае является последовательность бит информации длиной 144 единиц, т. е. ЦМД или «пустых» мест. Одним из временных параметров является время считывания страницы данных микросхемы ЦМД.

Рассмотренную структуру микросхемы ЗУ на ЦМД следует отнести к упрощенным. Реальные структуры значительно сложнее, причем сложность прямо зависит от информационной емкости. Например, у микросхем К1601РЦ2 и РЦ3 разделены регистры ввода и вывода, введены более эффективные режимы управления и т. д. Перспективы развития этого направления ЗУ связывают с получением микросхем, точнее микросборок, с информационной емкостью сотни мегабит, снижением потребляемой мощности и упрощением управления их работой.

Современные микросхемы ЦМД характеризуются следующими параметрами: информационная емкость до 16М бит, рабочая частота (частота вращающегося поля) 150 ... 200 кГц, среднее время выборки бита информации — единицы миллисекунд, потребляемая мощность порядка одного ватта.

Основным достоинством ЗУ на ЦМД является отсутствие у них электромеханических устройств и, следовательно, лучшие показатели по надежности, быстродействию, устойчивости к механическим воздействиям. Недостатком является пока еще высокая стоимость в расчете на один бит.

Применение внешних ЗУ над ЦМД-микросхемах в микропроцессорных измерительно-вычислительных комплексах вместо накопителей на ГМД позволяет значительно повысить надежность работы аппаратуры, особенно в экстремальных условиях: вибрации, повышенном содержании влаги и пыли и т. д.

Применение микросхем ЗУ на ЦМД связано с рядом особенностей, обусловленных спецификой архитектуры микросхем ЗУ и множеством функциональных сигналов управления. Среди этих особенностей важнейшими являются следующие:

большое число управляющих сигналов;

адресация и идентификация данных;

алгоритмы доступа к данным;

операции информационного обмена.

Для реализации устройств управления ЦМД-памятью выпускаются специализированные микросхемы серии К1806 [68]. Микросхема К1806ВП1-103 служит для формирования временной последовательности сигналов управления для ЦМД-микросхем ЗУ К1602РЦ2, организации стартстопного режима работы микросхем, выполнения операций поиска, записи, чтения информации.

Микросхема К1806ВП1-157 имеет восьмиразрядную шину данных и может использоваться в составе микропроцессорных систем с адресацией, соответствующей устройству ввода-вывода или ячейками памяти в адресном пространстве микропроцессора. Функциональные сигналы управления, алгоритмы страничной адресации соответствуют микросхеме К1806ВП1-103. Вариант применения названных микросхем для управления ЦМД-памятью в контроллере для измерительно вычислительных комплексов предложен в работе [69].

СПИСОК ЛИТЕРАТУРЫ

1. **Адамов Ю. Ф., Кравченко Л. Н., Сапельников А. Н., Хлыбов А. И.** Скоростные цифровые микросхемы на арсениде галлия серии К6500// Электронная промышленность. — 1990. — Вып. 8. — С. 69.
2. **Андреев В. В., Щербаков С. И.** Комплекс для программирования микросхем// Микропроцессорные средства и системы. — 1990. — Вып. 2. — С. 68.
3. **Большие** интегральные схемы запоминающих устройств: Справочник/ Под ред. А. Ю. Гордонова, Ю. Н. Дьякова. — М.: Радио и связь, 1990. — 288 с.
4. **Бондаренко А. А., Скороходов В. Ф.** Устройство контроля уровня выходных сигналов микросхем памяти// Микропроцессорные средства и системы. — 1990. — Вып. 3. — С. 77.
5. **Бирюков С., Краснов Е.** Свето-информационное табло// Радио. — 1987. — № 6. — С. 17.
6. **Бокарев А. В., Гаморин М. Ю., Кабанов А. И.** БИС адаптера магистралей СМ ЭВМ и микроЭВМ «Электроника 60»// Микропроцессорные средства и системы. — 1987. — Вып. 3. — С. 3.
7. **Боулен М.** Энергонезависимое ЗУПВ с литиевыми батареями// Электроника. — 1983. — Вып. 13. — С. 49.
8. **Вениаминов В. Н., Лебедев О. Н., Мирошниченко А. И.** Микросхемы и их применение. Изд. 3-е. — М.: Радио и связь. — 1989. — 240 с.
9. **Власенко В.** Применение ППЗУ// Радио. — 1987. — № 11. — С. 27.
10. **Враскин Н., Годин С.** Цифровой реверберaтор// В помощь радиолюбителю. — 1986. — Вып. 95. — С. 29.
11. **Гладышев В. В.** Энергонезависимое ОЗУ в качестве имитатора ПЗУ// Микропроцессорные средства и системы. — 1988. — Вып. 2. — С. 32.
12. **Горшков А. Н.** Генератор импульсов, встраиваемый в микропроцессорную систему// Микропроцессорные средства и системы. —1988. — Вып. 2. — С. 63.
13. **Горшков Д., Зеленко Г., Озеров Ю., Попов С.** Персональный радиолюбительский компьютер «Радио-86РК»// Радио. — 1986. — № 4. — С. 24, № 5. — С. 31.
14. **ГОСТ** 2.743—82. Обозначения условные графические в схемах. Элементы цифровой техники.
15. **ГОСТ** 19480—89. Микросхемы интегральные. Термины, определения и буквенные обозначения электрических параметров.
16. **ГОСТ** 17467—88. Микросхемы интегральные. Основные размеры.
17. **ГОСТ** 17021—88. Микросхемы интегральные. Термины и определения.
18. **ГОСТ** 26765.51—86. Интерфейс магистральный параллельный МПИ системы электронных модулей. Общие требования к совокупности правил обмена информацией.
19. **ГОСТ** 28111—89. Микросборки на цилиндрических магнитных доменах. Термины и определения.
20. **Дианов А. П., Щелкунов Н. Н.** Организация динамической памяти микросхем// Микропроцессорные средства и системы. — 1987. — Вып. 4. — С. 75.
21. **Джиган В. И., Лужецкий С. Г.** Модуль электрически перепрограммируемого ПЗУ для микроЭВМ семейства «Электроника 60»// Микропроцессорные средства и системы. — 1988. — Вып. 1. — С. 85.
22. **Дианов А. П., Щелкунов Н. Н.** Методика программирования микросхем ПЗУ// Микропроцессорные средства и системы. — 1985. — Вып. 3. — С. 75.

23. **Дианов А. П., Щелкуиов Н. Н.** Модули программирования логических схем// Микропроцессорные средства и системы. — 1986. — Вып. 5. — С. 40.
24. **Жихарев В. И.** Программатор на базе микроЭВМ «Электроника ДЗ-28»// Микропроцессорные средства и системы. — 1986. — Вып. 5. — С. 40.
25. **Иваиов С. Н., Романов А. Ф., Чернышов Ю. Н.** Одноплатная микроЭВМ на МПК БИС серии К1810// Микропроцессорные средства и системы. — 1986. — Вып. 6. — С. 8.
26. **Интерфейсные** БИС микропроцессорного комплекта К1801// Микропроцессорные средства и системы. — 1988. — Вып. 4. — С. 89.
27. **Калинин И. С., Лапиров А. В., Шик М. В.** Одноплатный микроконтроллер с малым потреблением энергии// Микропроцессорные средства и системы. — 1990. — Вып. 1. — С. 70.
28. **Курмаев О. Ф., Балабанов А. А.** Контроллер динамической памяти// Микропроцессорные средства и системы. — 1988. — Вып. 1. — С. 79.
29. **Коффрон Д., Лонг В.** Расширение микропроцессорных систем. — М.: Машиностроение, 1987. — 320 с.
30. **Коваль А.** Автомат световых эффектов на ППЗУ// В помощь радиолюбителю. — 1991. — Вып. 108. — С. 3.
31. **Кутыркин С. Б., Маньжов Б. Н., Шиндов В. С.** Аналого-цифровое устройство для исследования и регистрации электрических сигналов// Электронная промышленность. — 1985. — Вып. 9. — С. 15.
32. **Коноплев Е. А.** Программатор РПЗУ с ультрафиолетовым стиранием// Микропроцессорные средства и системы. — 1989. — Вып. 3. — С. 6.
33. **Кардащук М. Д., Вешняков В. И., Мороз-Подворчан О. Г.** Микросборка статического ОЗУ емкостью 1М бит// Управляющие системы и машины. — 1990. — № 6. — С. 16.
34. **Еремин Ю. А., Морозов А. Г.** Контроллер динамического ОЗУ для микропроцессорных устройств// Микропроцессорные средства и системы. — 1986. — Вып. 3. — С. 75.
35. **Евдокимов Е. В., Коваленко В. И., Перепечай Т. А.** Светоинформационный платформенный указатель// Автоматика, телемеханика и связь. — 1991. — Вып. 2. — С. 30.
36. **Лебедев О. Н.** Микросхемы памяти и их применение. — М.: Радио и связь, 1990. — 160 с.
37. **Лукьянов Д. А.** ПЗУ — универсальный элемент цифровой техники// Микропроцессорные средства и системы. — 1986. — Вып. 1. — С. 75.
38. **Лукьянов Д. А.** Схемотехника универсальных программаторов ПЗУ// Микропроцессорные средства и системы. — 1985. — Вып. 3. — С. 84.
39. **Лукьянов Д., Богдан А.** «Радио-86РК» — Программатор ПЗУ// Радио. — 1987. — № 8. — С. 21, № 9. — С. 24; 1988. — № 2. — С. 24.
40. **Лукьянов Д.** Радио о «Радио-86РК»// Радио. — 1986. — № 10. — С. 32.
41. **Ланцов А. Л., Зворыкин Л. Н., Осипов И. Ф.** Цифровые устройства на комплементарных МДП-интегральных микросхемах. — М.: Радио и связь. — 1983. — 272 с.
42. **Мурзин С. В., Рябцев Б. Е., Шилин А. С.** Быстродействующее ОЗУ для цифровых регистраторов// Управляющие системы и машины. — 1991. — Вып. 3. — С. 32.
43. **Мячев А. А., Никольский О. А.** Стандартные интерфейсы микропроцессорных систем// Микропроцессорные средства и системы. — 1984. — Вып. 1. — С. 27.
44. **Марченко В. В., Стригина С. Н.** Программатор РПЗУ серии К573// Микропроцессорные средства и системы. — 1990. — Вып. 3. — С. 20.
45. **Международная** конференция по интегральным схемам 1990 г.// Электроника. — 1990. — № 5.
46. **Найденов А. В., Романенко В. А.** Программатор ППЗУ на базе микроЭВМ «Электроника К1-20»// Микропроцессорные средства и системы. — 1986. — Вып. 5. — С. 34.
47. **ОСТ** 25969—82. Система малых электронных вычислительных машин. Интерфейс И41. Технические требования.

48. **Овчинников Л. Г., Сороченко Н. И.** Устройство индикации// Микропроцессорные средства и системы. — 1987. — Вып. 4. — С. 46.
49. **Полупроводниковые** запоминающие устройства и их применение/ В. А. Андреев, В. В. Баранов, Н. В. Бекин и др.; Под ред. А. Ю. Гордонова. — М., Радио и связь, 1981. — 343 с.
50. **Полупроводниковые** БИС запоминающих устройств: Справочник/ Под ред. А. Ю. Гордонова, Ю. Н. Дьякова. — М.: Радио и связь, 1986. — 360 с.
51. **Пузаков А.** ПЗУ в спортивной аппаратуре// Радио. — 1982. — № 1. — С. 22.
52. **Пузаков А.** Телеграфный ключ с селективной памятью// В помощь радиолюбителю. — 1987. — Вып. 99. — С. 27.
53. **Применение** интегральных микросхем в электронной вычислительной технике: Справочник/ Под ред. Б. Н. Файзулаева, Б. В. Тарабрина. — М.: Радио и связь, 1986. — 384 с.
54. **Пухальский Г. И., Новосельцева Т. Я.** Проектирование дискретных устройств на интегральных микросхемах: Справочник. — М.: Радио и связь, 1990. — 304 с.
55. **Полупроводниковые** запоминающие устройства/ Под ред. Ю. М. Смирнова. — М.: Высшая школа, 1989. — 157 с.
56. **Рао В.** Использование ЗУПВ для формирования длительных задержек// Электроника. — 1983. — № 7. — С. 62.
57. **Современное** состояние и перспективы развития специализированных ИС// Радиоэлектроника за рубежом. Обзоры. — 1990. — Вып. 4. — С. 1.
58. **Полупроводниковые** БИС ЗУ// Радиоэлектроника за рубежом. Обзоры. — 1990. — Вып. 6. — С. 1.
59. **Семейство** ЭВМ «Электроника К1»/ Под ред. Л. Н. Преснухина. — М.: Высшая школа, 1988. — 191 с.
60. **Сергеев А.** Динамическое питание ПЗУ// Радио. — 1987. — № 12. — С. 26.
61. **Стрелков Н. В., Кокарев А. В.** Устройство защиты памяти микроЭВМ// Микропроцессорные средства и системы. — 1990. — Вып. 4. — С. 65.
62. **Чурков В. М., Акумов Л. П.** Система программирования микросхем, развиваемая пользователем// Микропроцессорные средства и системы. — 1989. — Вып. 2. — С. 44.
63. **Шуман Д.** Снижение мощности потребления устройств памяти на СППЗУ путем стробирования// Электроника. — 1983. — № 10. — С. 56.
64. **Щелкунов Н. Н., Дианов А. П.** Процедуры программирования логических матриц// Микропроцессорные средства и системы. — 1986. — Вып. 2. — С. 71.
65. **Щелкунов Н. Н., Дианов А. П.** ПЗУ вместо произвольной логики. Микропроцессорные средства и системы. — 1986. — Вып. 1. — С. 83.
66. **Щербаков О. А.** Особенности применения ПЛМ в микропроцессорных системах// Микропроцессорные средства и системы. — 1986. — Вып. 2. — С. 80.
67. **Хвощ С. Т., Варлинский Н. Н., Попов Е. А.** Микропроцессоры и микроЭВМ в схемах автоматического управления: Справочник/ Под общ. ред. С. Т. Хвоща. — Л.: Машиностроение, 1987. — 679 с.
68. **Шмат В. К.** Специализированные БИС управления для СБИС ЗУ ЦМД// Микропроцессорные средства и системы. — 1987. — Вып. С. 3.
69. **Шмат В. К.** Контроллер на основе СБИС ЗУ ЦМД для измерительно-вычислительных комплексов// Микропроцессорные средства и системы. — 1987. — Вып. 6. — С. 9.
70. **Элементная** база ЭВМ сверхвысокой производительности// Зарубежная радиоэлектроника (Специальный выпуск). — 1988. — № 7.

71 Назаров Н. Программатор для микросхем К155РЕ3 // В помощь радиолюбителю. — [illegible] 1982 Вып. 79 — с. 26–32.

155

МрБ

- В книге описаны функциональные возможности и режимы работы полупроводниковых микросхем памяти для оперативных (ОЗУ) и постоянных (ПЗУ) запоминающих устройств. Приведены электрические параметры микросхем статических и динамических ОЗУ, масочных (МПЗУ), программируемых пользователем (ППЗУ) и репрограммируемых (РПЗУ) постоянных запоминающих устройств. Рассмотрены методы программирования микросхем ППЗУ и РПЗУ и способы их реализации.
- Основное внимание уделено вопросам практического применения микросхем памяти в разработках электронных устройств различного назначения: блоков ОЗУ и ПЗУ микропроцессорных устройств, цифровых устройств задержки сигналов, знакогенераторов для устройств отображения информации, формирователей цифровых и аналоговых сигналов и других устройств цифровой и измерительной техники.
- Приведены рекомендации по выбору микросхем памяти для практических разработок, по схемотехнической реализации режимов управления микросхемами всех видов при записи, хранении, считывании информации, регенерации и программировании. Даны развернутые примеры применения микросхем памяти с детальным описанием содержания схемотехнических решений
- Книга знакомит читателей также с микросхемами запоминающих устройств на цилиндрических магнитных доменах.

Издательство «Радио и связь»